

В. Л. Шило

Популярные цифровые микросхемы

Издательство «Радио и связь»

651



Основана в 1947 году
Выпуск 1145

В. Л. Шило

Популярные цифровые микросхемы

2-е издание, исправленное

Справочник



Москва
«Радио и связь»
1989

ББК 32.844
Ш81
УДК 621.397.62—519:64

Шило В. Л.

Ш81 Популярные цифровые микросхемы: Справочник. — 2-е изд., исправленное. — М.: Радио и связь, 1989. — 352 с., ил. (Массовая радиобиблиотека. Вып. 1145)
ISBN 5-256-00572-3

Приведены сведения о трех самых распространенных в радиолюбительской практике видах цифровых микросхем: ТТЛ, КМОП и ЭСЛ. Кратко рассмотрены основы их схемотехники, показаны структуры, цоколевки и дано описание работы более 300 типов массовых цифровых микросхем: логических элементов, триггеров, регистров, счетчиков, мультиплексоров, арифметических и др. Даны рекомендации по их применению. Во второе издание (первое вышло в 1987 г.) внесены необходимые исправления.

Для подготовленных радиолюбителей и специалистов народного хозяйства, разрабатывающих и применяющих импульсно-цифровую аппаратуру.

Ш $\frac{2403000000-168}{046(01)-89}$ КБ-9-50-89 ББК 32.844

Научно-популярное издание

Массовая радиобиблиотека. Вып. 1145

ШИЛО ВАЛЕРИЙ ЛЕОНИДОВИЧ

ПОПУЛЯРНЫЕ ЦИФРОВЫЕ МИКРОСХЕМЫ

Справочник

Руководитель группы МРБ И. Н. Суслова
Редакторы Т. В. Жукова, И. Н. Суслова
Художественный редактор Н. С. Шеин
Технический редактор Л. А. Горшкова
Корректор Т. С. Власкина

ИБ № 2216

Сдано в набор 24.01.89. Подписано в печать 11.09.89. Т-16337. Формат 84×108¹/₃₂. Бумага тип. № 2. Гарнитура литературная. Печать высокая. Усл. печ. л. 18,48. Усл. кр.-отт. 18,48. Уч.-изд. л. 21,87. Тираж 100 000 экз. Изд. № 22967. Зак. № 273. Цена 1 р. 90 к.

Издательство «Радио и связь». 101000 Москва, Почтамт, а/я 693

Владимирская типография Госкомитета СССР по печати.
600000, г. Владимир, Октябрьский проспект, д. 7

ISBN 5-256-00572-3

ПРЕДИСЛОВИЕ

Предлагаемая книга посвящена схемотехнике самых массовых серий микросхем — цифровых малой и средней степени интеграции. Известно, что в 70-е—80-е годы в аппаратуре доминируют три вида таких микросхем: ТТЛ, КМОП и ЭСЛ. Их выпускают сотнями миллионов штук в год. Возможно, многие из них будут изготавливать до конца столетия.

В каждом из трех видов микросхем существуют преемственно развивающиеся серии. Имея описание микросхемы, можно реализовать ее свойства полностью. Каждая группа микросхем (к примеру, счетчиков, регистров) имеет сейчас много схемотехнических применений. Варианты схемотехники отображают как ход развития микросхем, так и расширение запросов потребителей. Вдумчивый читатель может проследить путь развития схемотехники от простейших микросхем до современных и перспективных. Кроме того, полезно сравнить, как исходные устройства оптимизируются и трансформируются под схемотехнику ТТЛ, КМОП и ЭСЛ.

Автор надеется, что книга будет полезна и начинающим, и опытным радиолюбителям, а также студентам и молодым специалистам. Они смогут осваивать цифровую электронику на практике: познакомившись с отдельными узлами и с параметрами крупносерийных микросхем, легче изучить теорию логических преобразований.

Книга состоит из трех глав. Глава первая — наибольшая по объему, поскольку посвящена микросхемам ТТЛ. В ней рассмотрена не только их номенклатура, но и даны некоторые теоретические сведения (например, о триггерах), общие и для двух других глав.

Во второй главе описаны самые экономичные массовые микросхемы логики КМОП. Отметим, что микросхемы КМОП разрабатывали после внедрения в аппаратуру первых серий ТТЛ, поэтому во многом копировали их структуру. Микросхемы КМОП почти не потребляют энергию от источника питания, когда сигналы не поступают, т. е. во время ожидания. При обработке сигналов ток потребления микросхем тем больше, чем выше скорость работы устройства. Микросхемы ТТЛ потребляют статический ток, сравнимый по силе с динамическим. Отметим, что на предельных скоростях работы токи потребления как для микросхем КМОП, так и для ТТЛ сопоставимы по уровням.

Читателю, по-видимому, будет интересно по материалам первой и второй глав самостоятельно сравнить устройство однотипных микросхем ТТЛ и КМОП. Следует подчеркнуть, что в ряде стран наращивается выпуск особых серий микросхем КМОП с шифром 74С (здесь цифра 74 заимствуется от названия массовых серий ТТЛ, буква С — от сокращения CMOS, в русском варианте — КМОП).

Микросхемы серии 74С по уровням электрических сигналов, напряжению питания, структуре и цоколевке в точности соответствуют мик-

росхемам ТТЛ серии 74LS (т. е. отечественной серии К555). Более новые, высококачественные варианты, называемые 74НС (H — high), соответствуют серии 74LS и по быстродействию, они постепенно вытесняют ее из многих видов цифровой аппаратуры. В последние годы разработаны микросхемы КМОП с условным названием FACT (фирма Fairchild), скорость переключения которых сопоставима с перспективными микросхемами ТТЛ типа 74ALS (серия КР1533).

В третьей главе рассмотрены микросхемы ЭСЛ. Это самая скоростная логика является, пожалуй, самой спорной. Потребителей отпугивает очень большая рассеиваемая мощность. Однако разработчики ЭСЛ много раз «спасали» эту логику от наступления ТТЛ, открывая с ее помощью, новые возможности увеличения быстродействия цифровых устройств. В настоящее время быстродействие ЭСЛ достигло субнаносекундного диапазона (серия К1500), а перспективные серии ТТЛ работают пока еще со скоростью в 3...4 раза меньшей.

В книге используются таблицы номенклатуры и таблицы состояний. В таблицах номенклатуры перечисляются отечественные микросхемы, приводятся их зарубежные аналоги. В каждую таблицу сводятся микросхемы определенного типа для нескольких сходных серий. Наличие микросхемы в серии отмечается крестиком. По мере появления новых микросхем читатель может самостоятельно сделать отметки в этих таблицах. Таблицы состояний отображают логические функции микросхем. Здесь, как и на принципиальных схемах, использованы мнемонические обозначения, которые сведены в табл. П.1, приведенную в Приложении.

Зная буквенно-цифровое обозначение, с помощью табл. П.2 можно найти в этой книге интересующую микросхему ТТЛ серий К155, К555, К531, КР1533 и КР1531. В таблице микросхемы перечислены в алфавитном порядке букв, входящих в их обозначение.

Наименования отечественных цифровых микросхем отличаются от соответствующих зарубежных. Вместе с тем в иностранных радиолюбительских журналах, а также в переводных изданиях можно найти много полезных вариантов применения микросхем. С целью ориентировки в зарубежных названиях микросхем ТТЛ в табл. П.3 показана связь их с отечественными аналогами. Таблица П.4 поможет найти в книге микросхемы КМОП серий К176 и К561 по их буквенно-цифровому обозначению. С соответствием наименований зарубежных и отечественных микросхем КМОП можно познакомиться по табл. П.5. Микросхемы ЭСЛ наносекундной (К500) и субнаносекундной серий (К1500) можно отыскать по табл. П.6 и П.7, где они перечисляются в порядке возрастания их условных номеров.

Во втором издании книги исправлены ошибки и опечатки, часть которых была замечена читателями. Для контроля достоверности материала в книгу добавлен § 2.13. Изготовив по предложенной схеме (рис. 2.81) несложный испытательный прибор, читатель сможет самостоятельно проверить работу микросхем ТТЛ и КМОП, правильность цоколевок и таблиц состояний.

1. ЦИФРОВЫЕ МИКРОСХЕМЫ ТТЛ

1.1. ОБЩИЕ СВЕДЕНИЯ ОБ ЭЛЕМЕНТАХ ТТЛ

В цифровой микросхеме простейшие логические операции осуществляются с помощью логических элементов. В начале развития микроэлектроники каждая микросхема содержала обычно всего один логический элемент, подобный тому, который показан на рис. 1.1, *а*. По мере развития технологии на кристалле микросхемы стали размещать наборы таких элементов, а затем соединять их в логические структуры. При этом принципиальная схема логического элемента не менялась.

Однако с течением времени импульсные параметры микросхемы оказывались недостаточными и приходилось расширять диапазоны быстродействия, экономичность и помехоустойчивость микросхем за счет новой принципиальной схемы логического элемента. За четверть века последовательно сменилось около десятка таких схем. Чтобы их можно было легко различать, им присваивали сокращенные условные обозначения. В обозначении, как правило, присутствует буква Л — начальная от слова логика. Этим словом в свое время условно назвали цифровой ключ.

Устройство элемента резисторно-транзисторной логики, сокращенно РТЛ (рис. 1.1, *а*), отображает наличие в схеме компонентов: резисторов и переключательного транзистора. В 60-х годах микросхемы РТЛ довольно широко выпускались в гибридном толстопленочном исполнении.

Присоединим на вход А логического элемента DD1 (рис. 1.1) переключатель S1, движок которого может занимать два положения В и Н. В положении В на вход А подается напряжение высокого уровня $U^1_{вх} = U_{и.п}$, а в положении Н — низкого $U^0_{вх}=0$. На рис. 1.1, *а* на вход А подан сигнал высокого уровня. Тогда от положительного полюса источника питания $U_{и.п}$ через резистор R1 в базу транзистора втекает насыщающий базовый ток $I_Б$, являющийся здесь входным током высокого уровня $I^1_{вх}$. Таким образом, элемент РТЛ включается входным напряжением высокого уровня. По-другому, это входное напряжение можно назвать активным логическим сигналом элемента РТЛ.

Действительно, если в схеме (рис. 1.1, *а*) переключатель S1 находится в положении Н, транзистор VT1 открывающего тока получать не будет и поэтому закроется. Через вход А логического элемента DD1 будет стекать на землю очень малый входной ток низкого уровня $I^0_{вх} = I^0_{КБО}$, т. е. ток утечки перехода коллектор-база транзистора VT1. Этим током управлять нельзя.

На этапе ламповых ЭВМ широко использовалась логика со входными диодами. В транзисторном варианте она называется ДТЛ-диодно-

транзисторная логика. Этот элемент показан на рис. 1.1, *б*. Он имеет как бы обратный способ действия по сравнению с РТЛ. Входные резисторы, снижающие принципиально время включения элемента РТЛ, заменены входными диодами VD1—VD3. Транзистор VT1 активно закрывается дополнительным внешним напряжением смещения $-U_{см} = -1...-2$ В. Диод VD4 отделяет входную матрицу VD1—VD3.

Элемент ДТЛ DD1 (рис. 1.1, *б*) можно включить, если через переключатель S1 его вход A заземлить. Тогда диод VD1 откроется, напряжение в точке схемы Σ понизится до 0,7 В (это прямое падение напряжения на кремниевом диоде). Отрицательное напряжение $-U_{см}$ переведет транзистор VT1 в режим отсечки, он разомкнется. На выходе Q появится напряжение высокого уровня $U^1_{вых} \approx U_{и.п}$. Отметим, что от входа логического элемента ДТЛ в это время стекает на землю входной ток низкого уровня $I^0_{вх} = (U_{и.п} - 0{,}7\ В)/R1$.

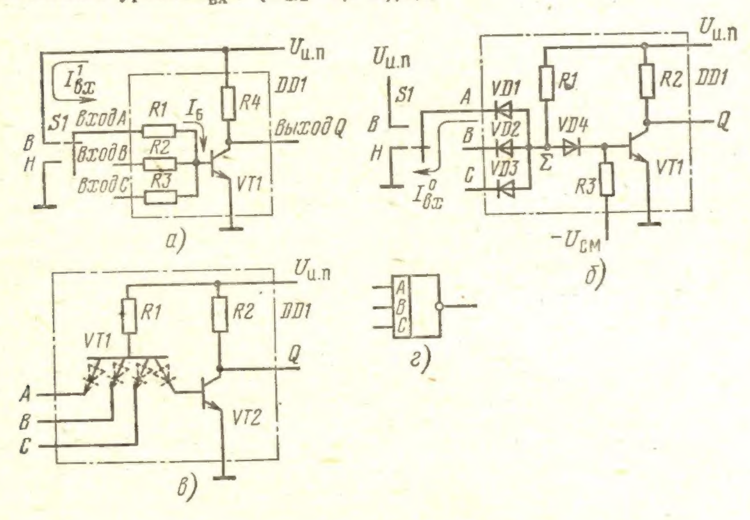


Рис. 1.1. Первые логические элементы ТТЛ:

а — однотранзисторный элемент РТЛ; *б* — элемент ДТЛ; *в* — простейший элемент ТТЛ

Когда на вход A от переключателя S1 будет подано напряжение высокого уровня $U^1_{вх}$, VD1 закроется и поэтому входной ток $I^1_{вх}$ высокого уровня окажется пренебрежимо малым. На выходе Q появится выходное напряжение низкого уровня $U^0_{вых} < 0{,}3$ В, так как транзистор VT1 получит от источника питания $U_{и.п}$ через диод VD4 большой открывающий ток $I_Б$ (учтем, что $U_{и.п}$ существенно превышает $-U_{см}$). Таким образом, в схеме ДТЛ база ключевого транзистора VT1 непосредственно не связана с источником сигнала, в данном случае с переключателем S1. Следовательно, транзистор не примет многие помехи от источника.

Нетрудно видеть, что в элементе ДТЛ входным запускающим является ток низкого уровня, следовательно, для такой схемы активное— входное напряжение низкого логического уровня $U^0_{вх}$. Переход к низкому запускающему уровню оказался необходимым для обслуживания источников кодовых, цифровых, командных сигналов — кнопок, переключателей и контактов реле. Замыканию их контактов на провод с нулевым потенциалом сопутствует гораздо меньше ложных импульсов запуска (так называемый дребезг контактов), чем при их замыкании на высокий потенциал.

После перехода к широкому выпуску интегральных полупроводниковых микросхем ДТЛ довольно быстро выяснилось, что для улучшения электрических параметров цифровых микросхем выгоднее заменить матрицу диодов VD1—VD4 (рис. 1.1, *б*) многоэмиттерным транзистором VT1 на рис. 1.1, *в*. Поэтому название ДТЛ трансформировалось в ТТЛ, т. е. транзисторно-транзисторная логика. Одно время существовало со-

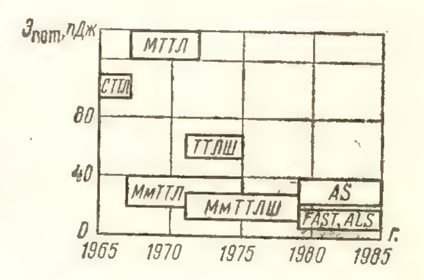


Рис. 1.2. Развитие ТТЛ (СТТЛ — среднего быстродействия; МТТЛ— мощные; МмТТЛ — маломощные; ТТЛШ — с переходом Шотки; МмТТЛШ — маломощные с переходом Шотки; AS—перспективные сверхскоростные с переходом Шотки; ALS—перспективные экономичные с переходом Шотки; FAST — компромиссные между AS и ALS)

кращение $T^2Л$, но оно не привилось (в отличие от названия более поздней интегральной инжекционной логики, сокращенно $И^2Л$, для которой не было принято сокращение ИИЛ).

Элемент ТТЛ (рис. 1.1, *в*) на дискретных компонентах не строился, так как многоэмиттерный транзистор разработали лишь на этапе интегральной схемотехники. Четыре *р-n* перехода транзистора VT1 образуют матрицу диодов, соответствующую диодам VD1—VD4 элемента ДТЛ (рис. 1.1, *б*).

Рассмотренные трехвходовые элементы РТЛ, ДТЛ и ТТЛ имеют функциональное обозначение, показанное на рис. 1.1, *г*.

Существуют следующие разновидности микросхем ТТЛ: три ранних без применения *р-n* переходов с барьером Шотки (стандартные, маломощные и мощные), две со структурами Шотки ТТЛШ, а также три новые, перспективные, усовершенствованные ТТЛШ, условно называемые FAST, AS и ALS. На рис. 1.2 (в координатах потребляемая логическим элементом мощность — годы) показана взаимосвязь вариантов ТТЛ.

Быстродействие самых разных по схемотехнике цифровых микросхем принято сравнивать по так называемому времени задержки распространения сигнала $t_{зд,р}$, т. е. по интервалу времени от подачи входного импульса до появления выходного. Если принять во внимание потребляемую элементом мощность $P_{пот}$, то можно подсчитать энергию, необходимую этому цифровому элементу для переноса одного бита информации $Э_{пот}=t_{зд,р}\cdot P_{пот}$. По диаграмме (рис. 1.2) можно определить,

что за двадцатилетие энергия $Э_{пот}$, затрачиваемая в элементе ТТЛ, была уменьшена со 120...140 до 5...20 пДж, т. е. примерно на полтора порядка. Основная часть этой экономии получена в результате многократного уменьшения времени $t_{зд,р}$. Одновременно путем усовершенствования технологических методов изготовления полупроводниковых структур удалось снизить в 2—3 раза и потребляемую мощность $P_{пот}$.

Интересно, что теоретически наименьшая энергия переноса единицы информации равна произведению kT. Здесь k — постоянная Больцмана, T — абсолютная температура. Произведение kT — это энергия элементарного шумового выброса. Для T=300 К $Э_{пот}=kT=1{,}38\cdot10^{-23}\cdot300=4\cdot10^{-9}$ пДж. Таким образом, современные микросхемы, а следовательно и ЭВМ, построенные на этой элементной базе, потребляют энергию, на девять порядков большую по сравнению с теоретическим пределом. Эту «энергетическую пропасть» полезно, однако, сравнить с результатом развития, отображенным на диаграмме (см. рис. 1.2): может быть, к теоретическому пределу $Э_{пот}=kT$ удастся приблизиться через 120 лет?

Сейчас в блоках аппаратуры можно встретить все перечисленные варианты микросхем ТТЛ. Напряжения питания у них одинаковые $U_{и.п}=5$ В±10 %, а входные и выходные логические уровни совместимы. Микросхемы ТТЛ более новых серий имеют улучшенные электрические параметры, но расположение их выводов (т. е. цоколевка) остается прежним. Полная электрическая и конструктивная совместимость однотипных микросхем ТТЛ из разных серий снимает многие проблемы развития и улучшения параметров аппаратуры и стимулирует наращивание степени внутренней интеграции вновь выпускаемых микросхем, когда на одном кристалле размещается все большее число функциональных узлов, многие из которых ранее были самостоятельными микросхемами.

Основная номенклатура применяемых сейчас микросхем ТТЛ имеет средний уровень интеграции. Советуем читателям самостоятельно подсчитать (естественно, приблизительно) число транзисторов в микросхеме, например регистра (см. § 1.15). На кристалле микросхемы такой сложности располагается 1000 и более транзисторов.

Сейчас все более доступными становятся большие интегральные схемы (БИС). Это микропроцессоры, контроллеры к ним, запоминающие устройства, программируемые логические матрицы и многое другое. Число транзисторов в БИС приближается к 100 000. Микропроцессорная сверхбольшая интегральная схема (СБИС) имеет 350 000 транзисторов при числе разрядов процессора 32. Все же для решения аппаратурных задач небольшого объема и для создания местных, локальных узлов в так называемой цифровой среде, состоящей из многих БИС, требуются и простые микросхемы.

Анализируя работу микросхем в цифровой аппаратуре, можно условно определить, что до 20 % из них должны работать с предельными скоростями во входных устройствах приема данных, а примерно 60 % — с умеренными в обрабатывающей, т. е. процессорной части. Остальные микросхемы могут быть низкоскоростными, экономичными. Они работают в индикаторных и регистрирующих устройствах. В общих чертах это соотношение существует и между объемами выпуска быстродействующих, стандартных и низкоскоростных микросхем ТТЛ.

Исходная схема элемента ТТЛ 60-х годов оказалась пригодной для масштабного моделирования: номиналы резисторов в ней можно было увеличивать или уменьшать в определенное число раз. Этим приемом пропорционально изменяют как быстродействие, так и потребляемую мощность для микросхем разных серий. Существенные изменения

в схему логического элемента были внесены лишь на этапе внедрения структур Шотки. В 80-е годы (см. рис. 1.2) энергию $Э_{пот}$ старались снижать путем постепенного уменьшения объема интегрального транзистора.

1.2. СХЕМОТЕХНИКА ЭЛЕМЕНТОВ ТТЛ

Логическую функцию в элементе ТТЛ выполняет многоэмиттерный транзистор (рис. 1.3, *а*). Ко входу логического элемента присоединен управляющий переключатель S1, движок которого может занимать два положения — В и Н. В положении В на вход поступит напряжение высокого уровня, т. е. питающее напряжение $U_{и.п}$, в положении Н — напряжение низкого уровня, соответствующее нулю потенциала (потен-

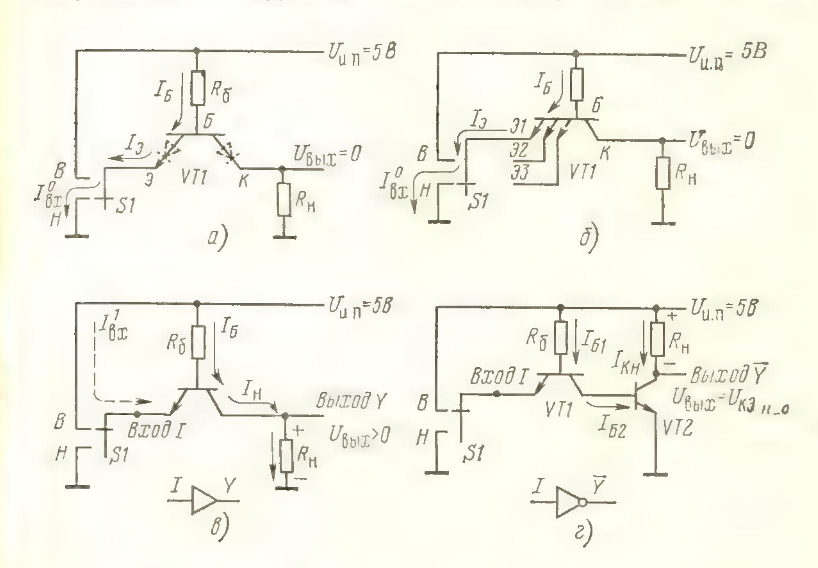


Рис. 1.3. К поясненью работы входа ТТЛ с многоэмиттерным транзистором:

а — путь входного тока; *б* — путь входного тока при нескольких входах; *в* — токи в транзисторе VT1 при высоком входном уровне; *г* — токи в простейшем инверторе

циал земли, вход заземляем). Если на вход (см. рис. 1.3, *а*) подано низкое напряжение, появляется входной стекающий ток низкого уровня $I^0_{вх}$: от провода питания $U_{и.п}=5$ В через базовый резистор $R_б$, через переход база — эмиттер транзистора VT1, далее через контакт Н переключателя S1 на землю. Силу базового тока $I^0_{вх}=I_Б=\left(U_{и.п}-U_{БЭ}\right)/R_б$ нормирует резистор $R_Б$. В скоростных и экономичных микросхемах номиналы $R_Б$ взаимно отличаются в 15 раз.

На рис. 1.3, *б* показан транзистор VT1 с тремя эмиттерами Э1—Э3 (два из них не присоединены). Уровень тока $I^0_{вх}$ логического элемента DD1 соответствует предыдущему случаю. Более того, если все три эмиттера, т. е. логических входа DD1, соединить вместе, ток $I^0_{вх}$ практически не изменится. Таким образом, неиспользуемые входы можно оставлять разомкнутыми. Если заземлен хотя бы один из входов элемента ТТЛ (рис. 1.3, *б*), смена логических уровней на остальных входах не влияет на выходное напряжение $U_{вых}$.

В обеих схемах (рис. 1.3, *а*, *б*) $U_{вых}=0$. Когда хотя бы один эмиттер у транзистора VT1 заземлен, ток $I^0_{вх} \approx I_Б$ течет на землю по пути с малым сопротивлением, т. е. через переход база — эмиттер и переключатель S1. Переход база — коллектор транзистора VT1 открыться не может, так как на нем нет избыточного напряжения более 0,7 В $= U_{БЭ}$.

Переведем движок переключателя в положение В (рис. 1.3, *в*). Теперь переход эмиттер—база транзистора VT1 будет закрыт, так как нет разности потенциалов между эмиттером и базой, поскольку эти электроды присоединены к общему проводу питания. От положительного полюса источника питания $U_{и.п}=5$ В на вход I поступает лишь входной ток утечки высокого уровня $I^1_{вх}$, не превышающий при нормальной температуре нескольких наноампер и направленный «навстречу» эмиттерной стрелке, указывающей проводимость транзистора (напомним, что токи протекают в цепях от высокого потенциала к низкому).

Большой по силе ток базы $I_Б$ теперь течет через открытый переход база-коллектор (т. е. вправо на рис. 1.3, *в*), а затем через резистор нагрузки $R_н$ к нулевому потенциалу. На коллекторе VT1 появляется напряжение высокого уровня

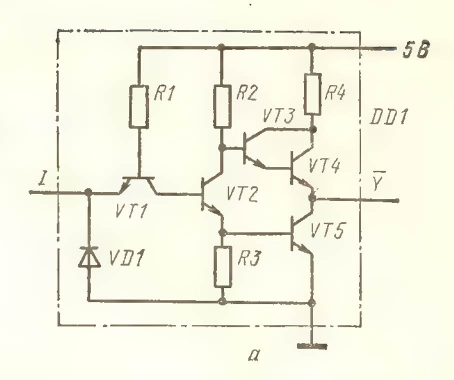
$$U^1_{вых} \approx U_{и.п}\left[R_н/(R_н+R_б)\right]. \qquad (1.1)$$

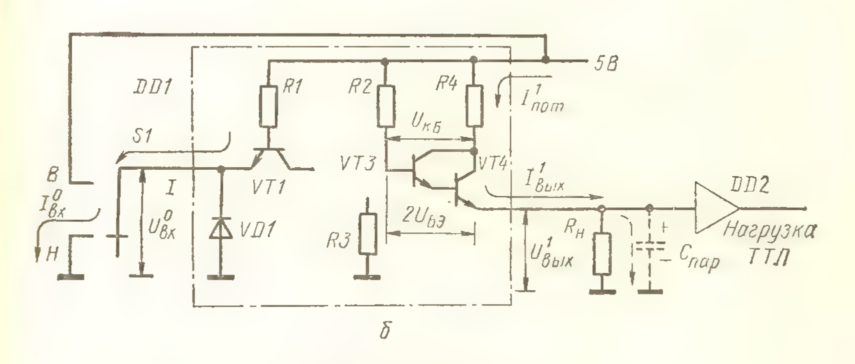
Таким образом, на рис. 1.3, *в* показан одновходовой элемент ТТЛ, не изменяющий фазу входного сигнала. Когда на вход I подается напряжение низкого уровня Н, на выходе Y будет также напряжение низкого уровня, а входному сигналу высокого уровня В будет соответствовать выходное напряжение высокого уровня $U^1_{вых}>0$. Такой элемент назовем неинвертирующим. Напомним, что здесь активное, включающее — входное напряжение низкого уровня, когда через управляющий переключатель S1 на землю стекает большой входной ток $I^0_{вх}$. Например, для стандартных элементов ТТЛ (основа серии К155) ток одного входа $I^0_{вх}=1{,}6$ мА.

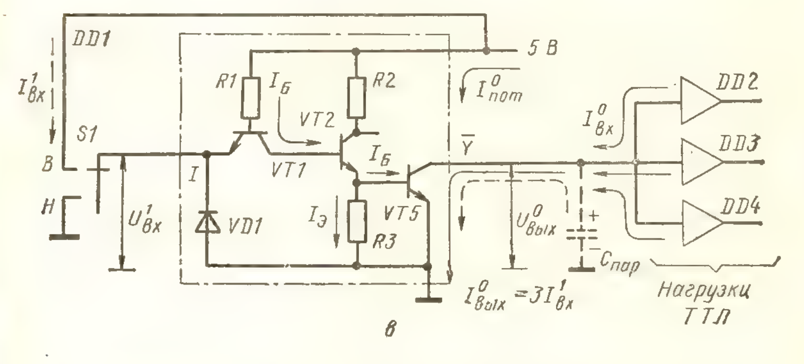
Для инвертирующего логического элемента входные и выходные напряжения высокого и низкого уровней взаимно противоположны: В и Н, Н и В. На рис. 1.3, г показана простейшая схема инвертора ТТЛ. Здесь к предыдущей схеме добавлен транзистор VT2, который «переворачивает» фазу выходного напряжения. Если от переключателя S1 на вход I поступает напряжение высокого уровня В, оконечный транзистор VT2 насыщается базовым током $I_Б$ и выходное напряжение низкого уровня на его коллекторе $U^0_{вых}$ становится близким к нулю, точнее, не превышает 0,3 В. Это наибольшее значение напряжения насыщения коллектор-эмиттер для кремниевого транзистора VT2.

Инвертор (рис. 1.3, *г*) является основой микросхем, выходы у кото-

Рис. 1.4. Токи и напряжения в инверторе ТТЛ:
а — схема инвертора; *б* — распределение токов и напряжений при низком входном логическом уровне; *в* — то же при высоком входном уровне







рых имеют открытые коллекторы; он широко применяется самостоятельно. Для обозначения логической функции — инверсии применяют специальные знаки. На принципиальной схеме кружком отмечается тот вход или выход. где сигнал претерпевает переворот фазы. Черта инверсии ставится над буквенным мнемоническим обозначением данного вывода.

К примеру, $\overline{I}$ — инвертирующий вход, $\overline{Y}$ — инвертирующий выход. Черта инверсии ставится и над символом команды или ее мнемоническим обозначением, например $\overline{\text{Запись/Считывание}}$, т. е. Зп./$\overline{\text{Сч}}$. Этим знаком отображается взаимная противоположность операций. Входы, имеющие активным входное напряжение низкого уровня $U^0_{вх}$, следует отметить знаком инверсии. На рис. 1.3, *г* показан импульсный усилитель с инверсией по выходу.

Основная масса элементов ТТЛ снабжена двухтактным выходным каскадом (рис. 1.4, *а*), состоящим из выходных *n-p-n* транзисторов: насыщаемого (VT5) и составного эмиттерного повторителя (VT3, VT4). Такой каскад называется квазикомплементарным в отличие от комплементарного, составленного из пары *n-p-n* и *p-n-p* транзисторов. Транзистор *p-n-p* оказался неоправданно сложным технологически для цифровых микросхем. Для поочередного включения выходных *n-p-n* транзисторов необходим промежуточный каскад, который называется расщепителем фазы входного сигнала. На рис. 1.4, *а* расщепитель фазы состоит из транзистора VT2 и резисторов R2, R3. Каскад имеет два выхода: коллекторный и эмиттерный, импульсы на которых противофазны. Выходные транзисторы, включаемые поочередно, аналогичны перекидному тумблеру: на нагрузку можно включить напряжение высокого выходного уровня, или низкого.

Выход логического элемента DD1, обозначенный $\overline{Y}$, подключается к низкому потенциалу, т. е. заземляется через насыщаемый транзистор VT5 и получает высокий выходной потенциал от эмиттера составного транзистора VT3, VT4. Инверсия входного сигнала I отображена на выходе символом $\overline{Y}$. Чтобы доказать, что на рис. 1.4, *а* изображен инвертор, присоединим на вход I переключатель S1 (рис. 1.4, *б*) и подадим на его вход напряжение низкого уровня. Транзистор VT1 не может дать базовый ток $I_Б$ транзистору VT2 (см. рис. 1.4, *а*), и транзистор VT2 находится в разомкнутом состоянии (на рис. 1.4, *б* разомкнутый транзистор VT2 условно не показан). Однако резистор R2 присоединен к проводу питания $U_{и.п}=5$ В, поэтому выходное напряжение высокого уровня $U^1_{вых}$ появляется на нагрузке $R_н$ от эмиттера транзистора VT4.

Статическое выходное напряжение высокого уровня для логического элемента

$$U^1_{вых} = U_{и.п} - I_{вых}R4 - U_{КБЗ} - 2U_{БЭ}. \qquad (1.2)$$

Заметим, что транзистор VT3 — эмиттерный повторитель. Он не может перейти в состояние насыщения и поэтому минимальное напряжение усилительного режима $U_{КБ}$ для транзистора VT3 не падает ниже 0,7... ...1 В. Если учесть, что для транзисторов без переходов Шотки напряжение $U_{БЭ}=0{,}7$ В, получаем $U^1_{вых} \geqslant (5-1-1{,}4)=2{,}6$ В при стандартном напряжении питания $U_{и.п}=5$ В. Падение напряжения на резисторе R4, ограничивающем ток короткого замыкания в выходном каскаде, в первом приближении не учитываем.

Для транзисторов с переходами Шотки напряжение на *p-n* переходе меньше и составляет 0,2...0,3 В. Следовательно, напряжение высокого уровня $U^1_{вых}$ для перспективных элементов ТТЛ несколько выше и достигает 3,5 В.

Эмиттерный повторитель (ЭП) — усилительный каскад с отрица-

тельной обратной связью. Следовательно, сила вытекающего эмиттерного тока будет определяться его выходным сопротивлением $R_{выхЭП}$. Для схемы на рис. 1.4, *б* $R_{выхЭП}=R2/(B+1)+\varphi_т/I^1_{вых}$. Здесь R2 — коллекторный резистор нагрузки транзистора-фазорасщепителя; (B+1) — полный коэффициент усиления транзистора по току. В данной схеме $B=I_K/I_Б$ для составного транзистора VT3 и VT4 определяется как произведение: $B \approx B3 \cdot B4$. Напомним также, что $\varphi_т$ — температурный потенциал ($\varphi_т=26$ мВ для температуры 300 K), $I^1_{вых}$ — вытекающий выходной ток высокого уровня логического элемента.

Например, если R2=8 кОм, B=1000, $\varphi_т=26$ мВ, то при $I^1_{вых}=5$ мА. получим $R_{выхЭП}=8+5=13$ Ом. В этой сумме пересчитанный на выход номинал резистора R2, который служит сопротивлением источника сигнала для ЭП, т. е. слагаемое 8 Ом, больше, чем собственное выходное сопротивление эмиттерного перехода транзистора VT4, равное 5 Ом.

На рис. 1.4, *б* параллельно нагрузочному резистору $R_н$ находится емкость $C_{пар}$, символизирующая нагрузочную паразитную емкость. Для печатной платы — это погонная емкость проводящей дорожки, помноженная на ее длину. Если $C_{пар}=100$ пФ, то время нарастающего положительного перепада выходного импульса составит $t^{1,0}=2{,}2\ R_{выхЭП}C_{пар}$, т. е. примерно 3 нс. Следует учесть, что поступающий от транзистора VT4 импульсный ток заряда емкости $C_{пар}$ велик, однако вытекающий статический ток высокого уровня $I^1_{вых}$ мал, поскольку обслуживаемые входы последующих элементов ТТЛ имеют малые входные токи высокого уровня $I^1_{вх}$ (см. рис. 1.3, *в*).

В схеме на рис. 1.4, *б* к выходу инвертора DD1 подключен элемент-нагрузка ТТЛ DD2, на вход которого будет поступать (от эмиттера VT4) незначительный входной ток высокого уровня, т. е. ток утечки входа $I^1_{вх} \ll I^1_{вых}$.

Подадим на вход логического элемента DD1 напряжение высокого уровня. Для этого в схеме на рис. 1.4, *в* переведем движок переключателя S1 в положение B. Транзистор-фазорасщепитель VT2 получит теперь базовый ток $I_Б$ от коллектора VT1 и поэтому откроется. Часть его эмиттерного тока $I_Э$ поступит в базу оконечного транзистора VT5. Этот транзистор перейдет в состояние насыщения, т. е. замкнется. Выходной вывод логического элемента DD1 окажется подключенным к земле.

Внутреннее сопротивление промежутка коллектор—эмиттер $r_{кэ}$ для насыщенного транзистора VT5 реально составляет 30...50 Ом, а выходное напряжение насыщения для кремниевого транзистора $U_{КЭнас} \leq 0{,}3$ В. Это выходное напряжение низкого уровня для элемента ТТЛ $U^0_{вых} \leq 0{,}3$ В.

Паразитная емкость $C_{пар}$ разряжается до низкого логического уровня через низкоомный насыщенный транзистор VT5. Длительность процесса разряда определяет время отрицательного перепада выходного импульса $t^{0,1}=2{,}2\ r_{кэ}C_{пар}$.

Транзистор VT5 проектируется так, чтобы он мог надежно пропускать большие статические стекающие выходные токи низкого уровня $I^0_{вых}$. Чем больше допустимое значение этого тока, тем выше нагрузочная способность элемента ТТЛ. Нагрузочную способность принято оценивать числом входов элементов-нагрузок, каждый из которых должен

надежно переключиться. Учтем, что значение активного стекающего входного тока низкого уровня $I^0_{вх}$ для элемента ТТЛ велико. На рис. 1.4, *в* к выходу $\overline{Y}$ присоединены три входа элементов-нагрузок DD2—DD4; если это элементы серии К155, то $I^0_{вых}=3I^0_{вх}=3\cdot1{,}6=4{,}8$ мА.

В схеме инвертора ТТЛ на рис. 1.4, *а* присутствуют два вспомогательных элемента: диод VD1, защищающий вход от пробоя, и резистор R4, ограничивающий в выходном каскаде так называемый сквозной ток короткого замыкания транзисторов VT4 и VT5. Интересно, что в самых первых элементах ТТЛ диоды защиты входов отсутствовали. Однако реально оказалось, что длинные проводники печатных плат большого формата накапливают большие паразитные заряды. Эта энергия дает на входе элемента отрицательные импульсы напряжения (при большой силе тока). Диод VD1 поглощает паразитную энергию и тем самым защищает эмиттер транзистора VT1 от пробоя.

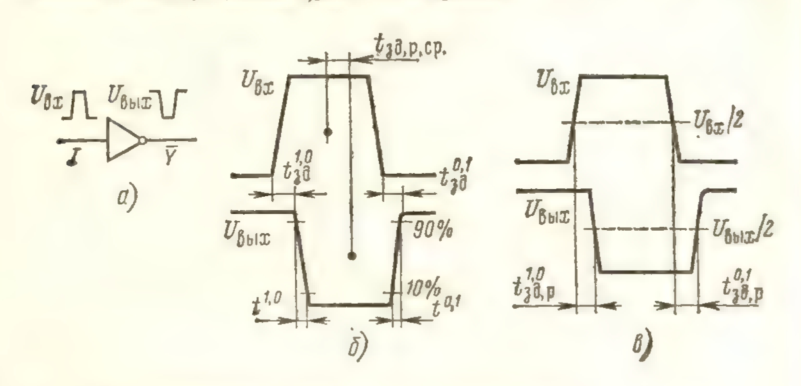


Рис. 1.5. К определению импульсных параметров ТТЛ:

а — фазы сигналов инвертора; *б* — определение среднего времени задержки распространения сигнала; *в* — то же для задержек логических перепадов

Как было показано ранее, транзисторы VT4 и VT5 отдают и принимают выходной ток поочередно. Однако во время формирования выходных перепадов есть момент, когда оба транзистора выходного каскада ТТЛ одновременно открыты (можно сказать, полуоткрыты), поскольку один из транзисторов не успел полностью закрыться, а другой — открыться. По-другому, VT4 и VT5 находятся оба в линейном режиме. Если считать, что суммарное сопротивление между их коллекторами и эмиттерами в этот момент составит 100...200 Ом, то без ограничивающего резистора R4 импульс тока короткого замыкания от источника питания $U_{и.п}=5$ В достигнет 25...50 мА. Если импульсные перепады будут следовать часто, выходные транзисторы быстро перегреются. Резистор R4 принимает на себя значительную часть этой мощности и защищает выходные транзисторы от перегрева.

Импульсы тока короткого замыкания, наводящие большие помехи в шинах питания, — один из самых существенных недостатков схемотехники ТТЛ. Для уменьшения их влияния в цепях питания на печат-

ной плате следует устанавливать керамические конденсаторы развязки с номиналами 0,1 мкФ и более.

Прежде чем изучить варианты элементов ТТЛ, рассмотрим, как определяются некоторые импульсные параметры. На рис. 1.5, *а* показаны входной и выходной импульсы инвертора, а на рис. 1.5, *б* дано их взаимное расположение по времени, причем показано, что выходной импульс $U_{вых}$ существенно задержан относительно входного $U_{вх}$. На графиках отмечено пять временных отрезков: длительности положительного $t^{0,1}$ и отрицательного $t^{1,0}$ выходных перепадов, два времени задержки распространения (при включении $t^{1,0}_{зд,р}$ и при выключении $t^{0,1}_{зд,р}$), а также так называемое среднее время задержки распространения выходного сигнала $t_{зд,р,ср}$. Для элементов ТТЛ первоначальной разработки интервалы времени $t^{1,0}_{зд,р}$ и $t^{0,1}_{зд,р}$ были значительны из-за глубокого насыщения, в которое попадают при переключении импульсные транзисторы. На рис. 1.5, *в* показано, что эти параметры отсчитываются от средних уровней импульсов $U_{ср}$. Напряжение $U_{ср}$ для элементов ТТЛ без переходов Шотки равно 1,3 В, с переходами Шотки — 1,5 В.

Более общий параметр — среднее время задержки распространения выходного сигнала $t_{зд,р,ср}$ — это полусумма $t^{1,0}_{зд,р}$ и $t^{0,1}_{зд,р}$. На рис. 1.5, *б* — это интервал между серединами импульсов. Параметр $t_{зд,р,ср}$ позволяет сравнивать быстродействие любых известных логик.

Время задержки распространения при включении $t^{1,0}_{зд,р}$ соответствует времени заряда емкости входной цепи логического элемента. Пока входная емкость не зарядится и не будет превышен порог открывания транзистора $U_{БЭ} \geqslant 0,7$ В, он не откроется. Аналогично время $t^{0,1}_{зд,р}$ определяется скоростью разряда входной емкости: входной сигнал уже окончился, но выходной еще не нарастает, поскольку необходимо время для стекания избыточного заряда во входной цепи. Свести к нулю интервалы $t^{1,0}_{зд,р}$ и $t^{0,1}_{зд,р}$ можно, если не подавать транзисторам избыточный базовый ток насыщения.

Стимулом развития схемотехники и технологии изготовления микросхем ТТЛ за последнее двадцатилетие было прежде всего стремление сократить эти интервалы времени. Если они будут малы, выходной импульс $U_{вых}$, показанный на рис. 1.5, *б*, запоздает мало и среднее время задержки распространения сигнала принципиально сократится. Времена нарастания и спада перепадов выходного импульса $t^{1,0}$ и $t^{0,1}$ определяются в конечном счете силой выходного коллекторного тока и паразитными выходными емкостями транзисторов. Паразитные емкости снижают, переходя к уменьшенным физическим объемам коллекторных областей интегральных транзисторов (отметьте: плотность коллекторного тока при этом пропорционально возрастает!). Силу коллекторных и базовых токов ограничивают резисторами. Для высокоскоростных элементов номиналы резисторов приходится уменьшать, из-за чего потребляемая микросхемой мощность увеличивается.

1.3. ТРАДИЦИОННЫЕ СЕРИИ ТТЛ

На рис. 1.6 показаны схемы трех первоначальных элементов ТТЛ. Назовем их традиционными. Эти серии активно развивались до 1970 г. (см. рис. 1.2). Если отвлечься от номиналов резисторов, можно обнаружить, что в схеме, показанной на рис. 1.6, *а*, присутствует состав-

ной транзистор — эмиттерный повторитель VT3, VT4. В схемах на рис. 1.6, *б*, *в* повторитель не составной (только транзистор VT3), однако в схемы добавлен диод сдвига уровня VD4. В остальном схемы одинаковы.

На рис. 1.6, *а* показан мощный ключ ТТЛ, на котором основаны микросхемы, составляющие серию К131. Ее зарубежным аналогом является серия 74Н (Н — high — символ высокого быстродействия серии и наибольшей потребляемой мощности). Поскольку резисторы здесь относительно низкоомные, элемент серии К131 имеет ток потребления $I_{пот}$ примерно 4...5 мА; его среднее время задержки распространения $t_{зд.р.ср}=6$ нс. Как будет показано далее, энергия переключения для

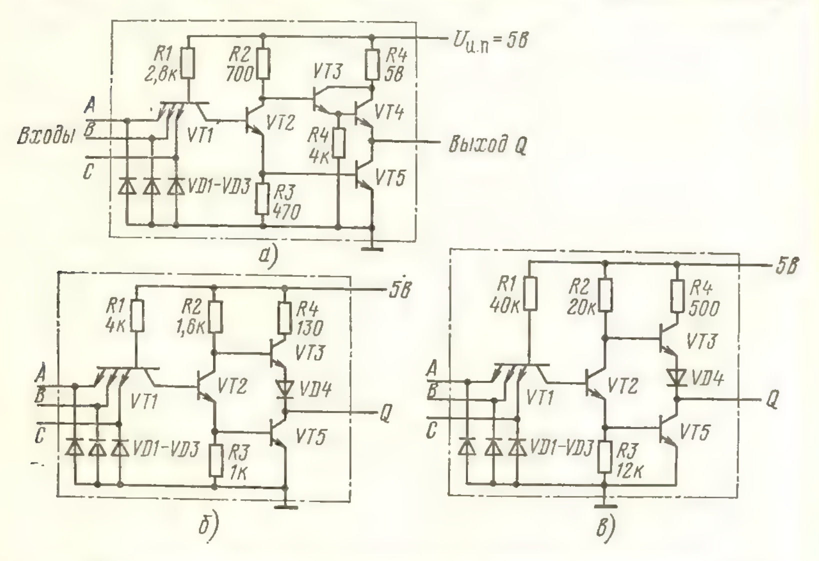


Рис. 1.6. Принципиальные схемы первых логических элементов ТТЛ:
а — МТТЛ; *б* — СТТЛ; *в* — МмТТЛ (см. рис. 1.2)

него $Э_{пот} = P_{пот} \cdot t_{зд.р.ср} = I_п \cdot U_{и.п} \cdot t_{зд.р.ср} = 120...150$ пДж (см. на рис. 1.2 прямоугольник МТТЛ) в настоящее время считается чрезмерно большой. Поэтому обе серии больше не развиваются. Чтобы получить импульс выходного тока, обеспечивающий наибольшую скорость зарядки выходной емкости, в схеме на рис. 1.6, *а* выходной эмиттерный повторитель выполнен по схеме Дарлингтона, т. е. составного транзистора.

На рис. 1.6 *б* показана схема самого распространенного логического элемента — основы серии К155 и ее зарубежного аналога — серии 74. Эти серии принято называть стандартными (СТТЛ). Логический элемент серии К155 имеет среднее быстродействие $t_{зд.р.ср}=13$ нс и среднее значение тока потребления $I_{пот}=1,5...2$ мА. Таким образом, энергия, затрачиваемая этим элементом на перенос одного бита информации, примерно 100 пДж (см. рис. 1.2, *б*; прямоугольник СТТЛ).

Для обеспечения выходного напряжения высокого уровня $U^1_{вых} \geqslant \geqslant 2,5$ В (как и в схеме на рис. 1.6, *а*) в схему на рис. 1.6, *б* потребова-

лось добавить диод сдвига уровня VD4, падение напряжения на котором равно 0,7 В. Таким способом была реализована совместимость различных серий ТТЛ по логическим уровням. Микросхемы на основе инвертора, показанного на рис. 1.6, *б* (серия К155) имеют очень большую номенклатуру, широко выпускаются, а серия продолжает развиваться.

На рис. 1.6, *в* показан третий вариант ТТЛ первоначальной разработки — маломощный логический элемент (МмТТЛ). Он лежит в основе отечественной серии К134 и зарубежной с названием 74L (здесь L — low — означает малое быстродействие и одновременно малое потребление тока питания). Этот элемент потребляет мощность питания примерно 1 мВт при среднем времени задержки распространения $t_{зд,р,ср} = 33$ нс, что соответствует энергии, потребляемой на перенос единицы информации $Э_{пот} = 33$ пДж (см. прямоугольник МмТТЛ на рис. 1.2). Номиналы резисторов в этом логическом элементе относительно велики. Сейчас эти серии не развиваются.

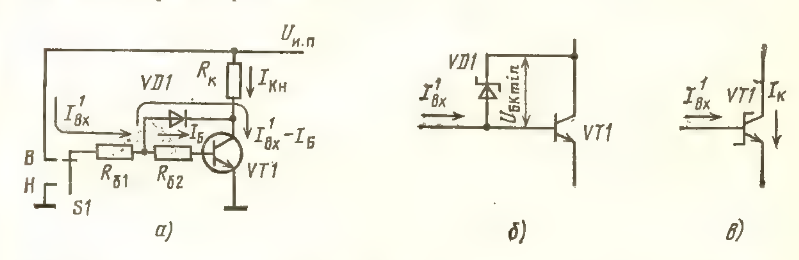


Рис. 1.7. Ненасыщаемый элемент РТЛ *(а)*, транзистор с диодом Шотки *(б)* и символ транзистора Шотки *(в)*

В конце 70-х годов микросхемы ТТЛ первоначальной разработки стали активно заменяться на микросхемы ТТЛШ, имеющие во внутренней структуре *p-n* переходы с барьером Шотки. Напомним, что эффект Шотки снижает пороговое напряжение открывания кремниевого диода от обычных 0,7 В до 0,2...0,3 В и значительно уменьшает время жизни неосновных носителей в полупроводнике. Эффект основан на том, что в *p-n* переходе или рядом с ним присутствует очень тонкий слой металла, богатый электронами — свободными носителями.

Сложности практического освоения технологических процессов изготовления полупроводниковых структур с эффектом Шотки, однако, были очень велики, поэтому на рис. 1.2 прямоугольник, отображающий развитие маломощных серий МмТТЛШ, растянут по времени на восемь лет.

В основе транзистора с переходом Шотки (транзистора Шотки, ТШ) находится известная схема ненасыщаемого РТЛ-ключа (рис. 1.7, *а*). Здесь транзистор удерживается от перехода в режим глубокого насыщения с помощью дополнительной нелинейной входной цепи с диодом. Обычный базовый резистор $R_б$ здесь составлен из двух: $R_{б1}$ и $R_{б2}$. Если на вход данного элемента РТЛ от переключателя S1 поступает напряжение высокого уровня, через резистор $R_{б1}$ течет входной ток $I^1_{вх}$. Номиналы $R_{б1}$ и $R_{б2}$ нетрудно рассчитать так, чтобы пороговое напряжение открывания диода $U_{пор}$ оказалось бы меньше, чем падение напряжения на резисторе $R_{б2}$, т. е. $I_Б R_{б2}$. Здесь символом $I_Б$ обозначен

предельный, близкий к насыщающему базовый ток транзистора VT1. Если диод VD1 откроется, через него потечет избыточный входной ток $I^1_{вх}-I_Б$, который теперь минует базу транзистора и получит путь для стекания в землю через промежуток транзистора коллектор—эмиттер.

Если от переключателя S1 подать входное напряжение низкого уровня (ноль потенциала), ток $I_{вх}$ прекратится и транзистор практически без задержки перейдет от насыщения к состоянию отсечки (т. е. выключится, разомкнется), так как он находился ранее на грани линейного и насыщенного режимов. По-другому, в объеме его базовой области, как в микроскопическом аккумуляторе, не были накоплены избыточные заряды Отметим, что поскольку напряжение между базой и коллектором $U_{БК}=U_{пор}-I_Б R_{б2}$ удерживалось на уровне нескольких десятых долей вольта (диод VD1 обычный, кремниевый), напряжение низкого выходного уровня $U^0_{вых}$ для элемента РТЛ с ограничением тока насыщения (рис. 1.7, *а*) может увеличиться до 1 В (вместо 0,3 В при насыщаемом ключе).

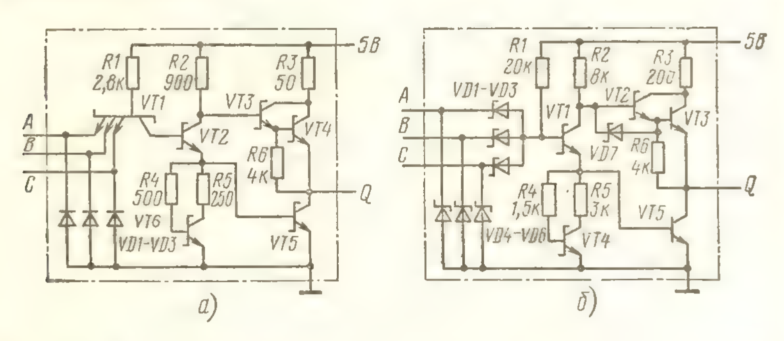


Рис. 1.8. Принципиальные схемы логических элементов с переходом Шотки:

а — ТТЛШ; *б* — МмТТЛШ (см. рис. 1.2)

В схеме на рис. 1.7, *б* транзистор VT1 удерживается от перехода в насыщение шунтирующим диодом Шотки VD1 с низким порогом открывания. Здесь напряжение $U_{БКШо}$ ≈0,2...0,3 В, поэтому напряжение $U^0_{вых}$ повысится мало. На рис. 1.7, *в* предыдущая схема заменена единым символом — транзистором Шотки. Этот транзистор не переходит в глубокое насыщение, у него очень мало́ время рассасывания накопленных в базе носителей. Логические элементы на основе транзисторов Шотки имеют очень малое время задержки отключения $t^{откл}_{зд}$.

На основе транзисторов Шотки в начале 70-х годов были выпущены первые микросхемы двух основных современных серий ТТЛ (см. рис. 1.2). На рис. 1.8, *а* показана схема высокоскоростного логического элемента, применяемого как основа микросхем серии К531. Аналогичная зарубежная серия называется 74S; здесь S — начальная буква фамилии немецкого физика Шотки (Schottky), открывшего физический эффект, оказавшийся для электроники столь важным,

В этом элементе вместо эмиттерного резистора (см. R3 на рис. 1.6, *а*) для улучшения формы импульса использован нагрузочный генератор тока — транзистор VT4 с резисторами R4, R5. Отметим, что номиналы остальных резисторов в элементах серий К131 и К531 (сравните рис. 1.6, *а* и 1.8, *а*) почти одинаковые. Из-за этого близки значения мощности потребления $P_{пот}$, однако $t_{зд,р,ср}$ для инвертора серии К531 снижено до 3 нс, что обусловило потребление энергии на 1 бит информации $Э_{пот}=19\cdot3=57$ пДж.

На рис. 1.8, *б* показана схема элемента, на котором основаны микросхемы серии К555. Аналогичная зарубежная серия имеет название 74LS (т. е. low Schottky — что можно трактовать как экономичная серия с применением переходов Шотки). Для микросхем серии К555 мощность, потребляемая одним элементом, $P_{пот}=2$ мВт при времени $t_{зд,р,ср}=9{,}5$ нс, поэтому потребляемая энергия переключения $Э_{пот}=$ $=19$ пДж.

В электрической схеме элемента серии К555 вместо многоэмиттерного транзистора использована матрица диодов Шотки. Микросхемы серии К555, как нетрудно видеть из сравнительной таблицы параметров (табл. 1.1), по быстродействию соответствуют серии К155 (потребляемый ток уменьшен в пять раз!), по экономичности уступают микросхемам серии К134 (1 мВт) всего в 2 раза, но в итоге потребляют энергию на перенос 1 бита информации в 1,5 раза меньше. Сейчас микросхемы серии К555 вытеснили из аппаратуры серию К134 и по мере наращивания номенклатуры служат эффективной заменой для микросхем самой массовой, стандартной серии К155.

Таблица 1.1. Динамические параметры микросхем ТТЛ

Серия ТТЛ		Параметр			Нагрузка	
Отечественная	Зарубежная	$P_{пот}$, мВт	$t_{зд,р}$, нс	$Э_{пот}$, пДж	$C_н$, пФ	$R_н$, кОм
К134	74L	1	33	33	50	4
К155	74	10	9	90	15	0,4
К131	74H	22	6	132	25	0,28
К555	74LS	2	9,5	19	15	2
К531	74S	19	3	57	15	0,28
К1533	74ALS	1,2	4	4,8	15	2
К1531	74F	4	3	12	15	0,28

Микросхемы серии К531 потребляют энергию на перенос 1 бита, в 2,3 раза меньшую, чем у микросхем старой серии К131, из-за чего она также стала неперспективной. Статические параметры логических элементов микросхем серий К155, К555, К531 и некоторые параметры для серии К1531 (см. § 1.4) сведены в табл. 1.2. Логические уровни и допустимые напряжения на входах и выходах микросхем этих серий отличаются незначительно. Однако для микросхем серий К155 и К531 велики входные токи низкого уровня $I^0_{вх}$ соответственно 1,6 и 2,0 мА для одного входа. Сила этого тока для микросхем серии К555 и К1531 в 3—4 раза меньше. Допустимый стекающий выходной ток низкого уровня

Т а б л и ц а 1.2. **Статические параметры микросхем ТТЛ**

Параметр	Рисунок	Условия измерения	К155			К555			К531			КР1531	
			Значение параметра										
			Мин.	Тип.	Макс.	Мин.	Тип.	Макс.	Мин.	Тип.	Макс.	Мин.	Макс.
$U^1_{вх}$, В	Рис. 1.4, *в*	$U^1_{вх}$ или $U^0_{вх}$ присутствуют на всех входах	2			2			2			2	
$U^0_{вх}$, В	Рис. 1.4, *б*				0,8			0,8			0,8		0,8
$U^0_{вых}$, В	Рис. 1.4, *б*	$U_{и.п} = 4,5$ В			0,4		0,35	0,5			0,5		0,5
			$I^0_{вых} = 16$ мА			$I^0_{вых} = 8$ мА			$I^0_{вых} = 20$ мА				
$U^1_{вых}$, В	Рис. 1.4, *б*	$U_{и.п} = 4,5$ В	2,4	3,5		2,7	3,4		2,7	3,4			2,7
			$I^1_{вых} = -0,8$ мА			$I^1_{вых} = -0,4$ мА			$I^1_{вых} = -1$ мА				
$I^1_{вых}$, мА	Рис. 1.4, *б* с ОК	$U^1_{и.п} = 4,5$ В, $U^1_{вых} = 5,5$ В			250			100			250		

$I^1_{вых}$, мкА	Рис. 1.4, *б* состояние Z	$U_{и.п} = 5,5$ В, $U^1_{вых} = 2,4$ В на входе разрешения EI $U_{вх} = 2$ В			40			20			50		
$I^0_{вых}$, мкА	Рис. 1.4, *б* состояние Z	$U_{и.п} = 5,5$ В, $U_{вых} = 0,4$ В $U_{вх} = 2$ В			—40			—20			—50		
$I^1_{вх}$, мкА	Рис. 1.3, *в*	$U_{и.п} = 5,5$ В, $U^1_{вх} = 2,7$ В			40			20			50		20
$I^1_{вх, max}$, мА	—	$U_{и.п} = 5,5$ В, $U^1_{вх} = 10$ В				1			0,1		1		0,1
$I^0_{вх}$, мА	Рис. 1.3, *а*	$U_{и.п} = 5,5$ В, $U^0_{вх} = 0,4$ В				—1,6			—0,4		—2,0		—0,6
$I_{к.з}$, мА	—	$U_{и.п} = 5,5$ В, $U^0_{вх} = 0$	—18			—55			—100		—100	—60	—150

$I^0_{вых}$ для серии К531 в 2,5 раза больше, чем для серии К555. Кроме того, в составе каждой серии выпускаются так называемые буферные логические элементы, допустимый ток $I^0_{вых}$ для которых увеличен еще примерно в 3 раза.

Для упрощения расчетов числа нагружающих входов в табл. 1.3

Таблица 1.3. **Взаимная нагрузочная способность логических элементов ТТЛ разных серий**

Нагружаемый выход	Число входов-нагрузок из серий			Нагружаемый выход	Число входов-нагрузок из серий		
	К555 (74LS)	К155 (74)	К531 (74S)		К555 (74LS)	К155 (74)	К531 (74S)
К555	20	5	4	К155, буферная	60	30	24
К555, буферная	60	15	12	К531	50	12	10
К155	40	10	8	К531, буферная	150	37	30

указаны числа взаимной нагрузочной способности микросхем серий К531, К155 и К555 (см. также рис. 1.4, *в*). Например, обычный элемент серии К555 способен принять ток $I^0_{вх}$ от четырех входов микросхем серии К531. Ток $I^0_{вых}$ для К555 равен 4 $I^0_{вх}$ для К531, т. е. 4·2=8 мА. Рассмотрим другой крайний случай взаимного применения микросхем ТТЛ. Буферный выход (самый мощный среди ТТЛ) микросхемы серии К531 может обеспечить стекание входного тока от 150 логических элементов серии К555 ($I^0_{вых}=150\ I^0_{вх}=60$ мА; см. также данные табл. 1.2, предпоследняя строка). Отметим, что буферный элемент серии К555 имеет более высокую нагрузочную способность, чем простой выход микросхемы серии К531.

При совместном использовании микросхем ТТЛ высокоскоростных, стандартных и микромощных следует учитывать, что микросхемы серии К531 дают увеличенный уровень помех по шинам питания из-за больших по силе и коротких по времени импульсов сквозного тока короткого замыкания выходных транзисторов логических элементов. Часть печатной платы с микросхемами серии К531 должна иметь отдельные, очень низкоомные шины питания. Токоведущие сигнальные дорожки должны быть кратчайшими, чтобы не излучались электростатические помехи.

Серии с повышенными входным и выходным сопротивлениями (например, К555) более чувствительны к помехам-наводкам и к помехам по питанию, чем мощные серии. Маломощную часть устройства требуется защитить экраном и заградительными фильтрами по питанию. Проводники на печатной плате, по которым передаются выходные сигналы микросхем серии К531, не должны проходить рядом с токоведущими дорожками входных сигналов микросхем серии К555. При совместном

применении микросхем серий К155 и К555 импульсное взаимовлияние отсутствует.

Выходы однокристальных, т. е. расположенных в одном корпусе, логических элементов ТТЛ, можно соединять вместе. При этом надо учитывать, что импульсная помеха от сквозного тока по проводу питания пропорционально возрастет. Реально на печатной плате остаются неиспользованные входы и даже микросхемы (часто их специально «закладывают про запас»). Такие входы логического элемента можно соединять вместе, при этом ток $I^0_{вх}$ не увеличивается. Однако для элементов серии К555 входы соединять не следует, чтобы не повышалась паразитная входная емкость элемента. На неиспользуемые входы можно подать напряжение высокого уровня от выхода свободного логического элемента, заземлив при этом его вход.

Как правило, микросхемы ТТЛ с логическими функциями И, ИЛИ потребляют от источников питания меньшие токи, если на всех входах присутствуют напряжения низкого уровня. Из-за этого входы таких неиспользуемых элементов ТТЛ следует заземлять.

1.4. ПЕРСПЕКТИВНЫЕ СЕРИИ ТТЛ

Перспективы развития ТТЛ определяются совершенствованием их процессов изготовления. К началу 80-х г. с помощью ионной имплантации (точно дозированного радиационного внедрения атомов примесей в полупроводниковые области) и прецизионной фотолитографии удалось уменьшить в 8 раз площадь, которую занимает на кристалле логический элемент ТТЛ.

Три варианта перспективных микросхем с переходами Шотки разработали фирмы Fairchild и Texas Instruments. Это микросхемы с условными названиями FAST, AS и ALS (серии 74F, 74AS и 75ALS соответственно). FAST — это начальные буквы слов Fairchild Advanced Schottky TTL. Сокращение AS происходит от слова Advanced, т. е. с опережением, авансом, и фамилии Schottky. В наименование ALS добавлена начальная буква слова low, т. е. это маломощный вариант микросхем предыдущего типа.

Чтобы четче пояснить ценность этих новых вариантов ТТЛШ, на рис. 1.9 показаны две энергетические диаграммы. На диаграмме рис.

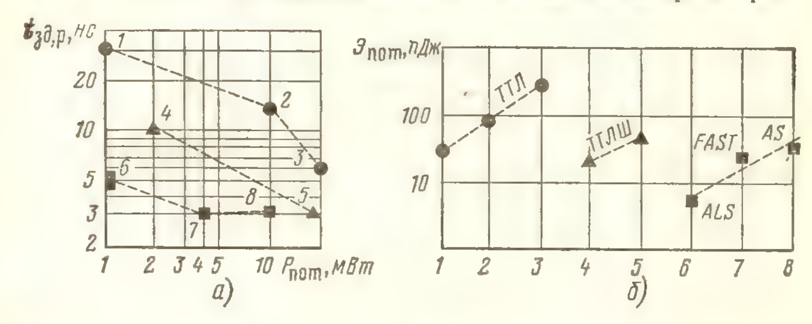


Рис. 1.9. Энергетические диаграммы для традиционных и перспективных ТТЛ

1.9, *а* (в координатах потребляемая элементом мощность и среднее время задержки распространения) отмечены позиции разных серий ТТЛ. Цифрами 1, 2, 3 обозначены серии первоначальной разработки: К134, К155, К531. Цифры 4 и 5 относятся к сериям ТТЛШ, т. е. К555 и К531. Позиционные обозначения 6, 7 и 8 принадлежат сериям ALS, FAST и AS соответственно. Позиционные обозначения 1—8 отложены по горизонтали на диаграмме рис. 1.9, *б*. Обе диаграммы могут быть полезными при анализе возможного дальнейшего развития ТТЛ.

Перспективные серии ТТЛШ имеют несколько измененные схемы логических элементов. На рис. 1.10 показаны возможные схемы входных каскадов логических элементов. Диодный вариант I входной цепи, как у маломощных ТТЛШ серии К555, имеет большую входную емкость

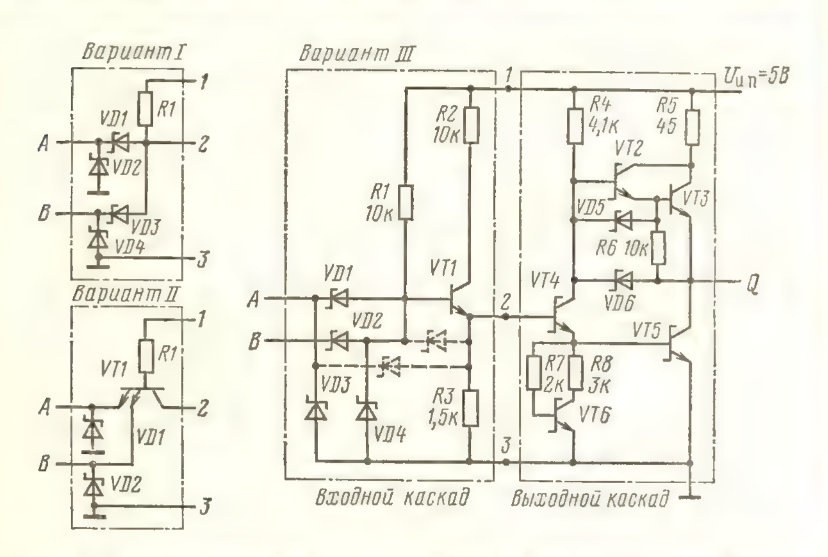


Рис. 1.10. Возможные варианты входных цепей перспективных ТТЛШ

и сниженное пороговое напряжение включения. Транзисторный вариант II, применяемый в элементах серии К531, имеет повышенное значение входного тока высокого уровня $I^1_{вх}$. Для перспективных ТТЛШ используется вариант III входного каскада, где применен дополнительный транзистор—усилитель тока VT1 (эмиттерный повторитель). Для этой схемы значительно снижается входной ток низкого уровня $I^0_{вх}$. Пороговое входное напряжение увеличивается до $U_{пор}$=1,5 В при 25 °С, и, главное, оно зафиксировано. У ранних вариантов ТТЛ существует зона разброса $U_{пор}$ от 0,8 до 2,0 В. В результате отношение высокого и низкого уровней для микросхем FAST улучшено, что обеспечивает их большую помехоустойчивость. При температуре —55 °С пороговое напряжение $U_{пор}$=0,8 В, а при 125 °С — $U_{пор}$=2 В. Элемент FAST потребляет мощность 4 мВт, при внешней нагрузке его время задержки распространения $t_{зд,р,ср}$=3 нс.

Внутри микросхемы FAST, т. е. на кристалле, где очень малы монтажные емкости, межэлементные процессы проходят с задержкой распространения $t_{зд,р,ср}=1,75$ нс на логическую операцию. Столь большая достижимая скорость работы есть результат применения новых интегральных транзисторов со структурой, условно называемой «Изопланар-II». Поперечное сечение этой структуры показано на рис. 1.11, *г*. Этот рисунок выполнен в соответствующем масштабе по отношению к изображениям обычного (устаревшего) планарного транзистора (рис. 1.11, *а*), усовершенствованного планарного (без эмиттерного фотошаблона), а также первого изопланарного (рис. 1.11, *б*, *в*).

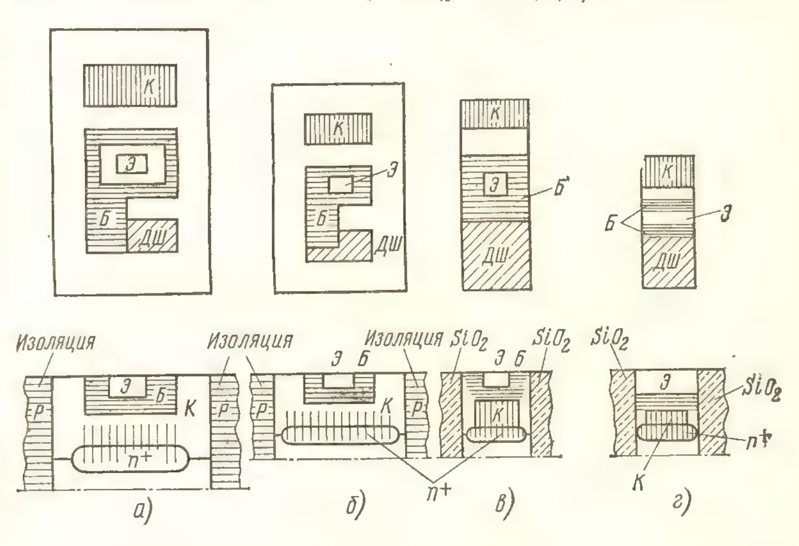


Рис. 1.11. Сравнение топологии и поперечного сечения интегральных транзисторов:

а — обычный планарный; *б* — усовершенствованный планарный; *в* — изопланарный; *г* — «Изопланар-II»

Изопланарные структуры отличаются, во-первых, оксидной (а не *p-n* переходами) изоляцией между соседними транзисторами, во-вторых, оболочковыми областями *p-n* переходов собственно транзистора. Первое обстоятельство позволяет практически исключить взаимные утечки токов через кварцевое стекло SiO_2 между коллекторами и сильно уменьшить паразитные емкости коллекторов на подложку, второе помогает уменьшить емкость перехода коллектор—база интегрального транзистора на 60 %.

Граничная частота транзисторов «Изопланар-II» достигает 5 ГГц. У транзисторов обычной планарной конструкции она не превышала 1,6 ГГц. В изопланарном транзисторе эмиттер плотно огражден стенками высококачественного изолятора SiO_2. На всех структурах область диода Шотки обозначена ДШ.

Среди трех перспективных серий ТТЛШ логический элемент FAST считается как бы компромиссным, поскольку два других выполнены в милливаттном (ALS) и сверхскоростном (AS) вариантах. Элемент ALS потребляет мощность $P_{пот} = 1{,}2$ мВт и переключается с задержкой $t_{зд,р,ср} = 4$ нс. Такая структура перспективна для скоростных БИС, где успех во многом определяется эффективным отводом тепла от 1000 и более логических элементов, расположенных на кристалле. Элементы AS потребляют мощность 8 мВт, но обеспечивают время задержки 1,75 нс.

Существует противоречие между рассеиваемой на кристалле микросхемы мощностью и ее быстродействием. Это можно пояснить примером. Микросхема FAST, содержащая 100 логических элементов. будет потреблять мощность 400 мВт. Если с предельным быстродействием в микросхеме должно работать только 20 % элементов, то 20 элементов AS будут потреблять 160 мВт, а остальные 80 элементов типа ALS — 96 мВт, что даст в сумме 256 мВт. Таким образом, надо уметь гибко сочетать серии микросхем FAST, AS и ALS.

Серии FAST аналогична по параметрам отечественная КР1531. Микросхемы серии КР1533 сходны с микросхемами типа 74ALS.

1.5. БУФЕРНЫЕ И РАЗРЕШАЮЩИЕ ЭЛЕМЕНТЫ ТТЛ

Рассмотрим микросхемы ТТЛ, которые в импульсно-вычислительных устройствах логической функции не выполняют. Их назначение — формировать цифровые сигналы, усиливать импульсы по току, т. е. обслуживать «энергоемкие» цифровые нагрузки. Такими нагрузками являются прежде всего так называемые шины данных, состоящие из нескольких токоведущих дорожек на печатной плате, число которых соответствует длине передаваемых цифровых слов — байтов. Например, если в системе циркулируют восьмиразрядные байты, шина данных будет иметь восемь проводников. К шине данных подключается обычно много источников и приемников цифровых сигналов. В итоге это приводит к тому, что при передаче сигнала по проводникам шины протекают импульсные токи, составляющие десятки миллиампер. Микросхемы, обслуживающие проводники шины данных, выполняют системные функции, например, отключают от шины неиспользуемые в данный момент приемники и передатчики цифровых слов.

Рассмотрим микросхемы, содержащие импульсные усилители тока цифровых сигналов. Эти элементы ТТЛ принято называть буферными. Буферные усилители могут передавать сигнал без инверсии, либо с инверсией. Ряд таких элементов имеет вывод разрешения сигнала по входу. Очень удобными для обслуживания шин данных оказались элементы с тремя выходными состояниями: это обычные выходные состояния высокого и низкого уровней, а также размыкание (разрыв) выхода по специальной команде. Третье состояние назовем Z. Выходное сопротивление буферного элемента в данном режиме составляет сотни килоом.

Микросхемы ТТЛ, содержащие по шесть буферных элементов, приведены в табл. 1.4. Они имеют одинаковую цоколевку, показанную на рис. 1.12, *а*.

Микросхема К55ЛН4 (рис. 1.12, *б*) содержит буферные элементы без инверсии. Остальные микросхемы группы ЛН состоят из инверторов. У микросхем с обозначением ЛН1 инверторы снабжены двухтактным выходным каскадом (см. рис. 1.6), остальные имеют выходы с открытым коллектором (рис. 1.12, *в*).

Таблица 1.4. **Инверторы ТТЛ**

Серия	Инвертор	Номер микросхемы					
		1	2	3	4	5	6
К155	ЛН	+	+	+	+	+	
К555		+	+				+
КМ555		+					+
Е531		+	+				
КР1533		+					
КР1531		+					
74	—	04	05	06	07	16	21

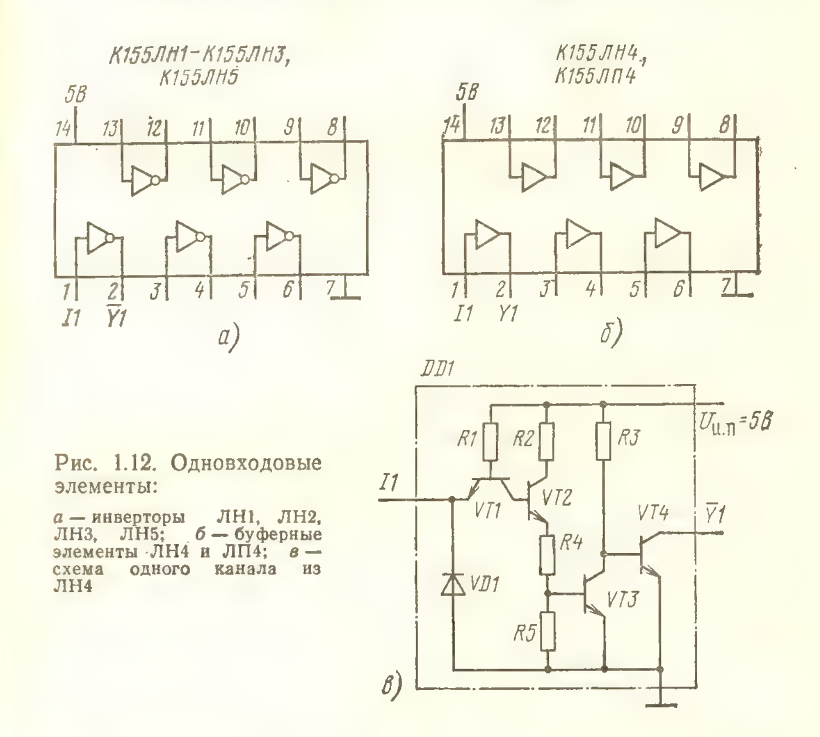


Рис. 1.12. Одновходовые элементы:

а — инверторы ЛН1, ЛН2, ЛН3, ЛН5; *б* — буферные элементы ЛН4 и ЛП4; *в* — схема одного канала из ЛН4

Для инверторов ЛН1: время задержки распространения сигнала составляет для К155ЛН1 — 22 нс, К555ЛН1 — 15 нс, К531ЛН1 — 5 нс; соответственно стекающий выходной ток $I^0_{вых}$ для одного инвертора; 16, 8 и 20 мА. Наибольший ток $I^1_{пот}$ микросхемы ЛН1 потребляют, если на

всех шести входах присутствуют напряжения высокого уровня. При $U_{вх}=4,5$ В эти токи составляют 33, 66 и 54 мА для микросхем ЛН1 серий К155, К555 и К531 соответственно. Если на всех входах присутствуют напряжения низкого уровня, ток потребления $I^0_{пот}$ снижается в 2,2 раза

Микросхемы ЛН2 содержат инверторы с открытым коллектором и имеются в трех исполнениях, т. е. в составе серий К155, К555, К531. Если для стандартного варианта К155ЛН2 время $t_{зд.р}=55$ нс, то для маломощного варианта ТТЛШ К555ЛН2 оно составляет 27 нс, а для скоростного К531ЛН2 уменьшается до 7,5 нс. Токи потребления буферных элементов ЛН2 соответствуют микросхемам ЛН1.

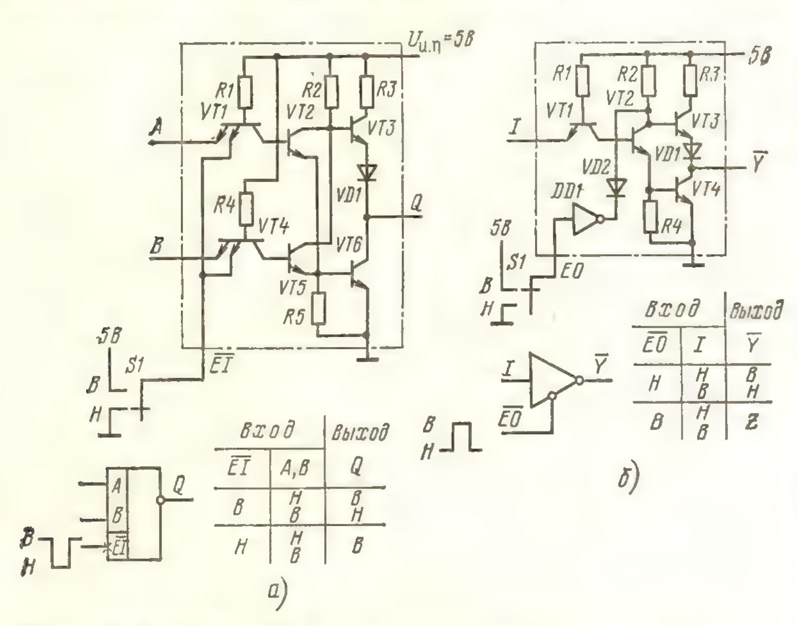


Рис. 1.13. Элементы с выводами разрешения:

а — разрешение по входу $\overline{EI}$; *б* — разрешение по выходу Е0 (схема с третьим Z-состоянием)

Микросхемы К155ЛН3 содержат инверторы с открытыми коллекторами. У них время $t_{зд.р}=23$ нс, ток потребления составляет 42 мА.

Микросхемы К155ЛН4 и К155ЛП4 (рис. 1.12) состоят из шести буферных элементов без инверсии, с открытыми коллекторами. Схема одного элемента показана на рис. 1.12, *в*. Цоколевка микросхема ЛП4 показана на рис. 1.12, *б*. Токи потребления для этих микросхем: $I^1_{пот}=$ $=30$ мА, $I^0_{пот}=41$ мА. Максимальное время $t_{зд.р}=23$ нс.

Микросхема К155ЛН5 содержит шесть буферных инерторов с открытыми коллекторами, выходное напряжение на которых можно повы-

сить до 15 В, применив дополнительный источник питания. Таким образом, этот буферный элемент пригоден для зажигания индикаторного сегмента. По электрическим параметрам микросхемы К155ЛН5 примерно соответствует К 155ЛН4.

В схемотехнике ТТЛ применяются два способа выбора по команде цифровых сигналов: разрешение по входам микросхем и по их выходам. В первом случае на время действия команды разрешается (или запрещается) прием сигнала по входу логического элемента, во втором — выход размыкается, переходит в Z состояние. Чтобы подать на микросхему такие команды, надо предусмотреть выводы разрешения по входу EI — enable input и разрешения по выходу EO — enable output.

На рис. 1.13, *а* показана схема организации входа разрешения, управляемого инверсной командой. Здесь транзисторы VT1 и VT4 имеют дополнительные, объединенные эмиттеры, которые образуют вход $\overline{\mathrm{EI}}$. Если на этот вход подать напряжение низкого уровня $\overline{\mathrm{EI}}$=Н, входные токи транзисторов VT1 и VT4 через переключатель S1 будут течь на землю. Из-за этого сигнальные входы A и B никакую комбинацию напряжений высокого и низкого уровней принять не смогут. На выходе Q будет зафиксировано напряжение высокого уровня независимо от уровней на входах A и B. Если на входе разрешения присутствует напряжение высокого уровня $\overline{\mathrm{EI}}$=В, прохождение сигналов A и B будет разрешено. Если для проверки работы микросхемы входы A и B объединить и подать на них последовательность импульсов, на выходе Q она появится в инверсной форме.

На рис. 1.13, *б* показана схема инвертора, который имеет третье выходное состояние Z, когда выход Q размыкается. В стандартную схему инвертора ТТЛ здесь добавлены инвертор DD1 и диод VD2. Если на вход управления $\overline{\mathrm{EO}}$ подать от переключателя S1 напряжение высокого уровня В, выходное напряжение инвертора DD1 станет низким; катод диода VD2 будет в этот момент заземлен. Из-за этого на коллекторе транзистора VT2 окажется почти нулевой потенциал, транзистор проводить ток не сможет, из-за чего и на резисторе R4 будет нуль падения напряжения. Транзисторы VT3 и VT4 при таком распределении потенциалов никакие базовые токи не получают и поэтому оба находятся в режиме отсечки, т. е. оба разомкнуты. Таким образом, выходной провод Q как бы «висит» в воздухе. Микросхема переходит в состояние Z с очень большим выходным сопротивлением. Если на вход $\overline{\mathrm{EO}}$ подается разрешающий низкий уровень, инвертор со входом I и выходом $\overline{\mathrm{Y}}$ работает как обычно (см. таблицу состояний на рис. 1.13, *б*).

Логический элемент, имеющий вывод $\overline{\mathrm{EO}}$ для перевода выходной цепи в состояние Z, разработан специально для обслуживания проводника шины данных. Если к такому проводнику присоединить много выходов, находящихся в неактивном состоянии Z, то они не будут влиять друг на друга. Никаких сигналов и помех в этом проводнике не будет. Активным, передающим сигнал должен быть лишь один логический элемент, только от его выхода в проводник шины данных будут поступать единицы и нули информации. Таким образом, соединенные вместе выходы не должны быть одновременно активными.

Чтобы сигналом разрешения $\overline{\mathrm{EO}}$-Н (низкий уровень) к проводнику подключился выход только одного логического элемента, перед приходом этой команды следует предусмотреть защитный временно́й интервал, т. е. переключать входы $\overline{\mathrm{EO}}$ элементов с паузой. Сигналы разреше-

ния, даваемые выходам разных элементов, не должны перекрываться. Недопустимы также импульсы помех на выходах $\overline{\text{ЕО}}$ в момент перемены такого адреса. Чтобы защититься от таких помех, последовательность адресов $\overline{\text{ЕО}}$ удобно предварительно загрузить в регистр-накопитель (сдвиговый или с параллельным считыванием по тактовому перепаду).

Для генерации последовательности адресов $\overline{\text{ЕО}}$ удобны регистры ИР8 и ИР11. Для буферного накопления адресов можно использовать

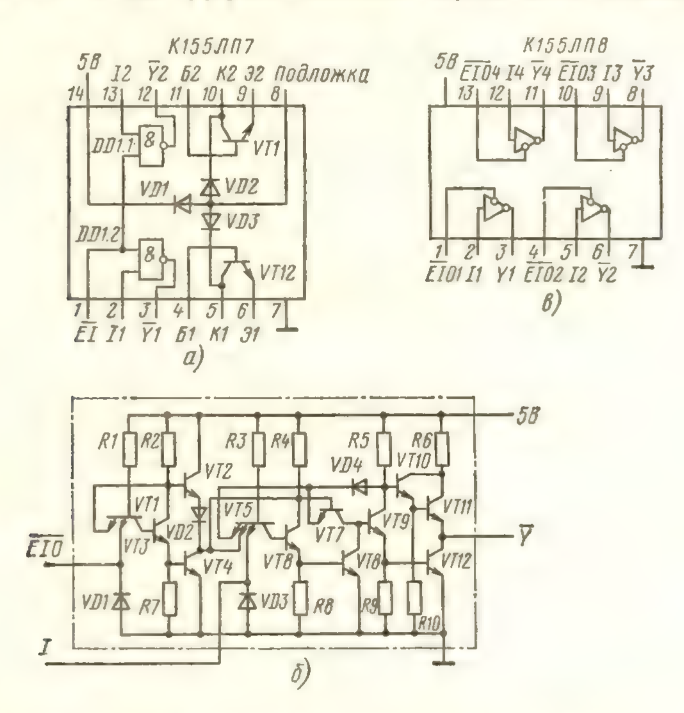


Рис. 1.14. Примеры микросхем с разрешением по входу и выходу:

а — по входу (ЛП7); *б* — по входу и выходу одновременно (один канал ЛП8); *в* — цоколевка инверторов ЛП8

микросхемы ТМ9 и ИР22. Особенность этих микросхем в том, что их выходные сигналы нарастают быстрее, чем спадают (от напряжения высокого уровня к низкому). Поскольку выходы размыкаются в состояние Z по команде $\overline{\text{ЕО}}$=В (высокий уровень) разделение, во времени сигналов выбора нужного выхода упрощается.

На рис. 1.14 показаны микросхемы, имеющие выводы разрешения. **Микросхема К155ЛП7** (рис. 1.14, *а*) имеет стробирование по входу $\overline{\text{ЕI}}$. На рис. 1.14, б дана схема одного канала микросхемы К155ЛП8. Здесь напряжением высокого уровня, поданным на общий для сигнального

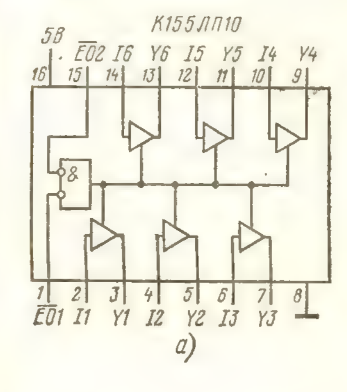
входа и выхода вывод разрешения $\overline{E10}$, действие входа I инвертора запрещается, а выход Y переводится в состояние Z. Цоколевка микросхемы К155ЛП8 показана на рис. 1.14, *в*, а управляющие сигналы для одного канала сведены в табл. 1.5. Время задержки распространения в этом инверторе 18 нс, наибольшее время перехода в состояние Z 25 нс, время выхода из состояния Z — 12 нс. Ток потребления составляет 54 мА, выходной стекающий ток низкого уровня $I^0_{вых}$ может достигать 70 мА.

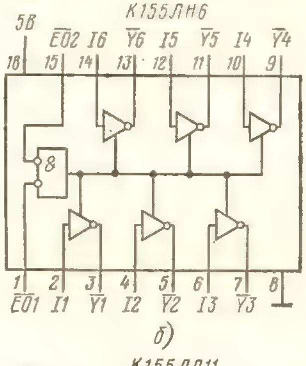
Таблица 1.5. Состояния буферных элементов микросхемы К155ЛП8

Вход		Выход $\overline{Y}$
$\overline{EI0}$	I	
Н	Н	Н
Н	В	В
В	х	Z

Таблица 1.6. Состояния в микросхемах К155ЛП10 и К155ЛН6

Вход			Выход	
$\overline{EO1}$	$\overline{EO2}$	I	Y (ЛП10)	$\overline{Y}$ (ЛН6)
Н	Н	Н	Н	В
Н	Н	В	В	Н
х	В	х	Z	Z
В	х	х	Z	Z





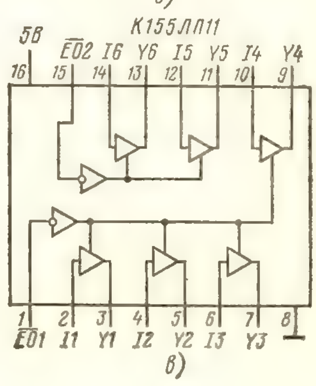


Рис. 1.15. Шестиканальные буферные элементы с тремя выходными состояниями

Микросхемы с шестью буферными элементами, имеющими три выходных состояния, показаны на рис. 1.15.

Микросхема К155ЛП10 (рис. 1.15, *а*) отличается от К155ЛН6 (рис. 1.15, *б*) неинвертирующими буферными элементами. Логика управления И для входов разрешения $\overline{EO1}$ и $\overline{EO2}$ у них одинаковая (см. табл. 1.6). Микросхема К155ЛН6 потребляет ток $I_{пот}$=77 мА, время перехода выхода в состояние Z может достигать 35 нс. Микросхема К155ЛП11 (рис. 1.15, *в*) имеет раздельные входы разрешения $\overline{EO1}$ и $\overline{EO2}$. При напряжении высокого уровня на одном из этих входов соответствующая группа выходов размыкается (при $\overline{EO2}$=В это выходы Y5 и Y6; при $\overline{EO1}$=Выходы Y1—Y4).

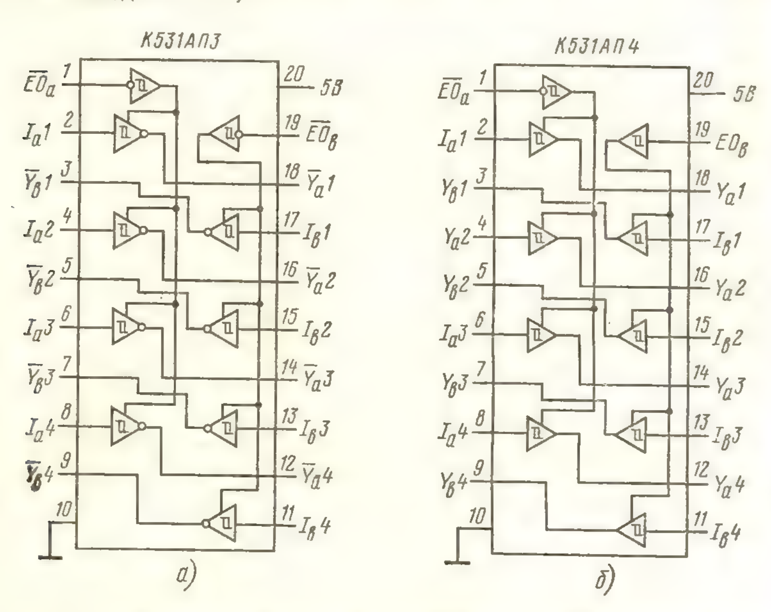


Рис. 1.16. Восьмиканальные буферные элементы с тремя выходными состояниями

На рис. 1.16 показаны структурные схемы и цоколевки микросхем, содержащих по восемь буферных элементов с разрешением по выходам. Эти элементы имеют гистерезисные входные пороги срабатывания (пороги триггера Шмита). Буферные элементы в микросхеме К531АП3 — инверторы. Входы команд третьего состояния $\overline{EO}_a$ и $\overline{EO}_в$ обслуживают по четыре элемента. Если на входах $\overline{EO}_a$ или $\overline{EO}_в$ присутствует напряжение высокого уровня, разомкнутся выходы $\overline{Y}_a1$—$\overline{Y}_a4$ и $\overline{Y}_b1$—$\overline{Y}_b4$ соответственно. Состояния выходов этой микросхемы сведены в табл. 1.7.

Микросхема К531АП4 (рис. 1.16, *б*) содержит буферные усилители без инверсии, ее входы разрешения управляются напряжениями противофазных уровней. Выходы четверок элементов перейдут в состояние Z,

Таблица 1.7. Состояния в микросхеме К531АП3

Вход				Выход	
$\overline{EO}_a$	I_a	$\overline{EO}_B$	I_B	$\bar{Y}_a$	$\bar{Y}_B$
Н	Н	Н	Н	В	В
Н	В	Н	В	Н	Н
В	x	В	x	Z	Z

Таблица 1.8. Состояния в микросхеме К531АП4

Вход				Выход	
$\overline{EO}_a$	I_A	EO_B	I_B	Y_a	Y_B
Н	Н	В	Н	Н	Н
Н	В	В	В	В	В
В	x	Н	x	Z	Z

если на вход $\overline{EO}_a$ подать напряжение высокого уровня, а на $\overline{EO}_B$—низкого (см. табл. 1.8). Способ организации по четыре канала широко используется сейчас в цифровых микросхемах, поскольку число разрядов (бит) в цифровых словах (байтах) микропроцессорных систем обычно кратно четырем: 4, 8, 12 и более бит. Это удобно для организации универсальных шин данных в системах.

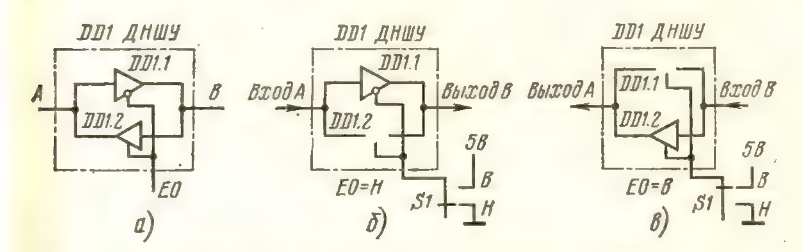


Рис. 1.17. Функциональная схема двунаправленного шинного усилителя (*а*); передача сигнала слева направо (*б*); передача сигнала справа налево (*в*)

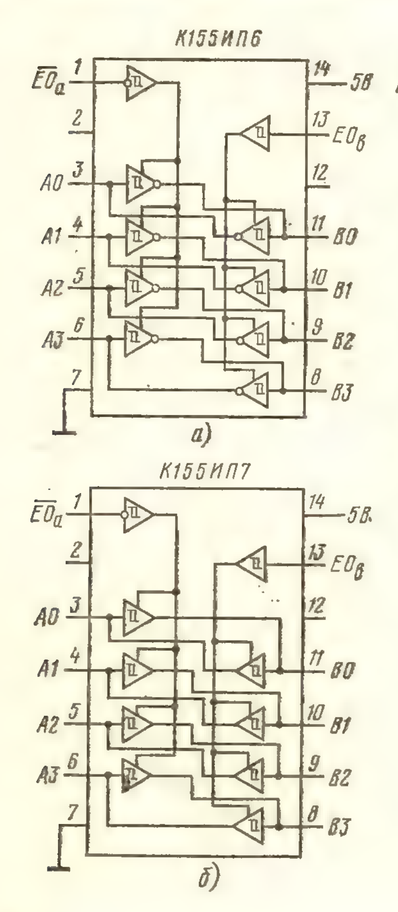
В микропроцессорных устройствах в настоящее время широко используют двунаправленные шинные усилители ДНШУ. Если в каждый проводник шины данных ШД установить такой усилитель, то, подав на микросхему команду, можно разрешить передачу данных по шине данных слева направо или наоборот. На рис. 1.17, *а* приведена схема одного двунаправленного канала усиления, образованного буферными элементами DD1.1 и DD1.2. Эти составные части ДНШУ имеют взаимно инверсные входы разрешения передачи данных: $\overline{EO1}$ для DD1.1 и EO2 для DD1.2. Если на внешний для ДНШУ вход разрешения EO подать напряжения низкого уровня, канал будет передавать данные слева направо через DD1.1 (рис. 1.17, *б*), поскольку выход нижнего по схеме усилителя DD1.1 разомкнут. При напряжении высокого уровня FO=B входом станет вывод B. Данные можно передавать по проводнику шины данных справа налево через DD1.2 (рис. 1.17, *в*). Выход элемента DD1.1 окажется разомкнутым.

Противофазные входы $\overline{EO}_a$ и EO_B микросхемы К531АП4 позволяют

использовать ее как четыре ДНШУ. Для микросхемы К531АП3 между входами $\overline{EO}_а$ и $\overline{EO}_в$ для такого режима потребуется включить инвертор.

Микросхема К555ИП6 (рис. 1.18, *а*) содержит четыре ДНШУ с инверсией. В микросхеме К155ИП7 (рис. 1.18, *б*), аналогичной предыдущей по цоколевке, ДНШУ сигнал не инвертирует. Состояния ДНШУ в этих микросхемах приведены в табл. 1.9. Усилители в микросхемах ИП6 и ИП7 имеют входные пороги как у триггера Шмитта. Недостаток ДНШУ этих микросхем в том, что возможен прием недопустимого и опасного сигнала управления $\overline{EO}_а$=Н и $EO_в$=В, когда оба усилителя в канале открыты.

Для микросхемы ИП6 ток потребления $I^0_{пот}=28$ мА, если на выходах напряжение низкого уровня и 33 мА, когда все выходы разомкну-



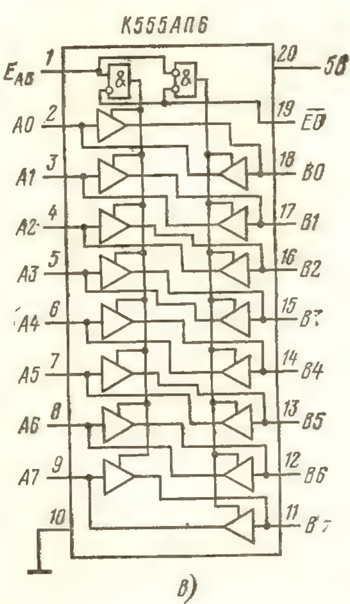


Рис. 1.18. Двунаправленные шинные усилители

Таблица 1.9. Состояния ДНШУ в микросхемах К155ИП6 и К155ИП7

Вход		Выход			
		ИП6		ИП7	
$\overline{EO}_a$	$EO_в$	A_n	B_n	A_n	B_n
Н	Н	Вход	В-$\overline{А}$	Вход	В-А
В	Н	Z	Z	Z	Z
Н	В	Недопустимо		Недопустимо	
В	В	А-$\overline{В}$	Вход	А-В	Вход

Таблица 1.10. Состояния ДНШУ в микросхеме К555АП6

Вход		Выход	
$\overline{EO}$	E_{AB}	A_n	B_n
Н	Н	А-В	Вход
Н	В	Вход	В-А
В	х	Z	Z

ты. Для микросхемы ИП7 аналогичные токи равны 40 мА и 43 мА. Время задержки выключения от низкого уровня к разомкнутому состоянию Z составляет 35 нс.

Микросхема К555АП6 (рис. 1.18, *в*) содержит восемь ДНШУ с тремя состояниями выходов: два входа разрешения E_{AB} (переключение направления каналов) и $\overline{EO}$ (перевод выхода канала в состояние Z). У микросхемы нет недопустимых сигналов управления (см. табл. 1.10). Она потребляет ток 90 мА, когда на всех входах присутствует напряжение низкого уровня, и 95 мА, если выходы каналов переведены в разомкнутое состояние Z. Время задержки выключения в состояние Z составляет 30...40 нс.

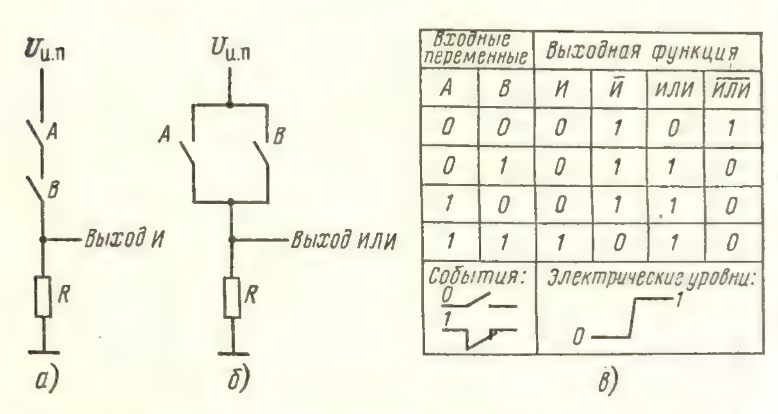
1.6. СХЕМОТЕХНИКА ЭЛЕМЕНТОВ $\overline{\text{И}}$, $\overline{\text{ИЛИ}}$ И И/$\overline{\text{ИЛИ}}$

Микросхемы ТТЛ построены на биполярных транзисторах, базы которых должны получать насыщающий ток относительно заземленных эмиттеров. Другими словами, на биполярных транзисторах сложно спроектировать схему логического элемента, где транзисторы включены последовательно, столбиком (сравните с включением полевых транзисторов, см. рис. 2.8, *а*), которые управляются не входным током, а входными напряжениями. Эта схемотехническая особенность усложняет логический элемент ИЛИ.

Чтобы в определенной последовательности изучать схемотехнику элементов ТТЛ, составим таблицу функций И, $\overline{\text{И}}$, ИЛИ, $\overline{\text{ИЛИ}}$. Простейший вариант здесь — функции двух логических входов А и В. Каждая переменная А и В на рис. 1.19 моделируется электронным ключом, который можно замкнуть или разомкнуть. Если ключи соединить параллельно, получим логику ИЛИ, так как ток в цепи появится, когда замкнут

или ключ А, или ключ В. Когда ключи соединены последовательно, столбиком, они работают по логике И: ток в цепи появится, если замкнуты оба контакта: и А, и В.

Если активными входными сигналами считать замыкание ключей А и В и назвать это событие логической 1, последовательно перебирая состояния этих ключей, можем составить таблицу входных и выходных данных как для элементов И, так и для элемента ИЛИ (рис. 1.19, *в*). На выходах этих элементов логическая 1 соответствует напряжению высокого уровня В, а логический 0 — низкого Н. Нетрудно видеть, что при последовательном соединении ключей А и В (рис. 1.19, *а*), напряжение высокого (т. е. единичного) уровня появится на выходе И, если будут одновременно замкнуты ключи А и В. При параллельном соединении (рис. 1.19, *б*) напряжение высокого уровня будет на выходе ИЛИ, ког-



Входные переменные		Выходная функция			
A	B	И	$\overline{\text{И}}$	ИЛИ	$\overline{\text{ИЛИ}}$
0	0	0	1	0	1
0	1	0	1	1	0
1	0	0	1	1	0
1	1	1	0	1	0

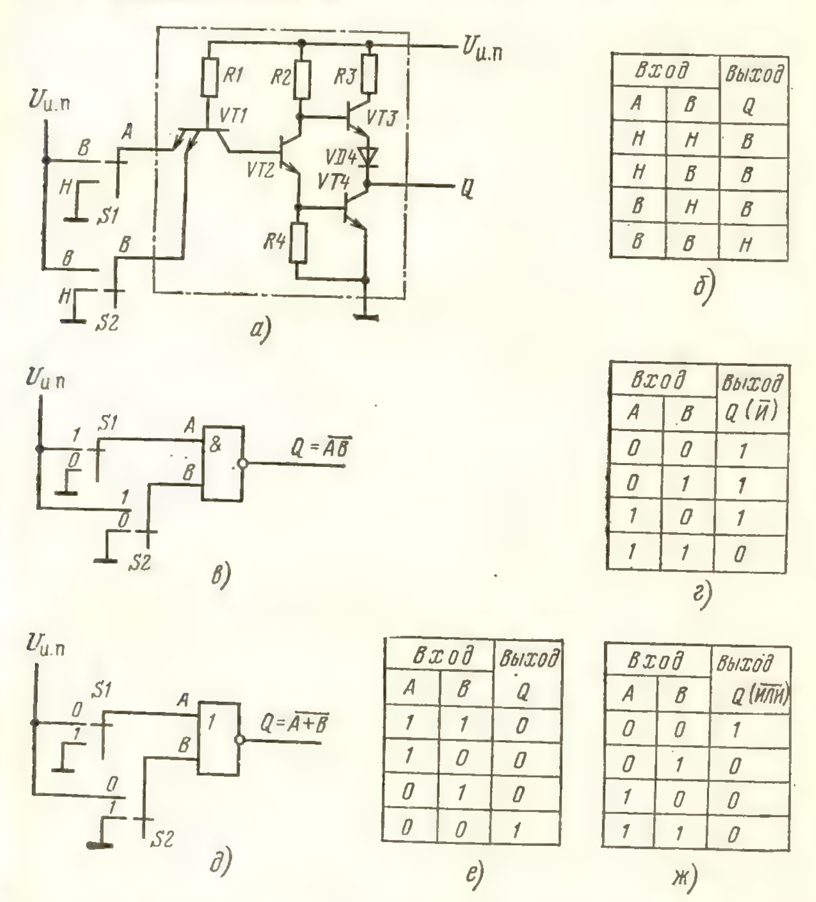
Рис. 1.19. Двухвходовые логические элементы И (*а*), ИЛИ (*б*) и таблица их состояний (*в*)

да замкнут хотя бы один из ключей А или В. В таблице состояний, приведенной на рис. 1.19, *в*, имеются также колонки инверсных данных $\overline{\text{И}}$ и $\overline{\text{ИЛИ}}$, необходимые для последующего анализа работы электронных ключей.

Рассмотрим способы реализации логических операций $\overline{\text{И}}$ и $\overline{\text{ИЛИ}}$ на инверторах ТТЛ. На рис. 1.20, *а* показана принципиальная схема двухвходового инвертора. Поочередно подавая от управляющих переключателей S1 и S2 на входы А и В напряжение высокого В и низкого Н электрических уровней, составляем таблицу выходных уровней этого инвертора. Результирующая таблица показана на рис. 1.20, *б*. Напряжение низкого уровня Н появляется на выходе Q, когда на обоих входах А и В присутствует высокое напряжение (в данном случае это напряжение источника питания $U_{и.п}$).

Покажем, что схема на рис. 1.20, *а* может служить двухвходовым инвертором с логикой как $\overline{\text{И}}$, так и $\overline{\text{ИЛИ}}$. Если в таблице, представленной на рис. 1.20, *б*, уровень В считать логической 1, уровень Н — логическим 0, то инвертор будет работать как элемент $\overline{\text{И}}$. Действительно,

в таблице состояний на рис. 1.20, *г* столбец выходных данных обозначен как $\overline{\text{И}}$, потому что он идентичен четвертому столбцу $\overline{\text{И}}$ таблицы на рис. 1.19, *в*. Аналогично, если назвать уровень В логическим 0, а уровень Н — логической 1, исходный инвертор, но с обозначением $\overline{\text{ИЛИ}}$ (рис.1.20, *д*), будет иметь таблицу состояний, приведенную на рис. 1.20, *е*. На рис. 1.20, *ж* эта таблица переписана по форме, аналогичной рис. 1.20, *г*. Столбец выходных данных $\overline{\text{ИЛИ}}$ здесь идентичен шестому столбцу таблицы (рис. 1.19, *в*).



Вход		Выход
A	B	Q
Н	Н	В
Н	В	В
В	Н	В
В	В	Н

Вход		Выход
A	B	Q ($\overline{\text{И}}$)
0	0	1
0	1	1
1	0	1
1	1	0

Вход		Выход
A	B	Q
1	1	0
1	0	0
0	1	0
0	0	1

Вход		Выход
A	B	Q ($\overline{\text{ИЛИ}}$)
0	0	1
0	1	0
1	0	0
1	1	0

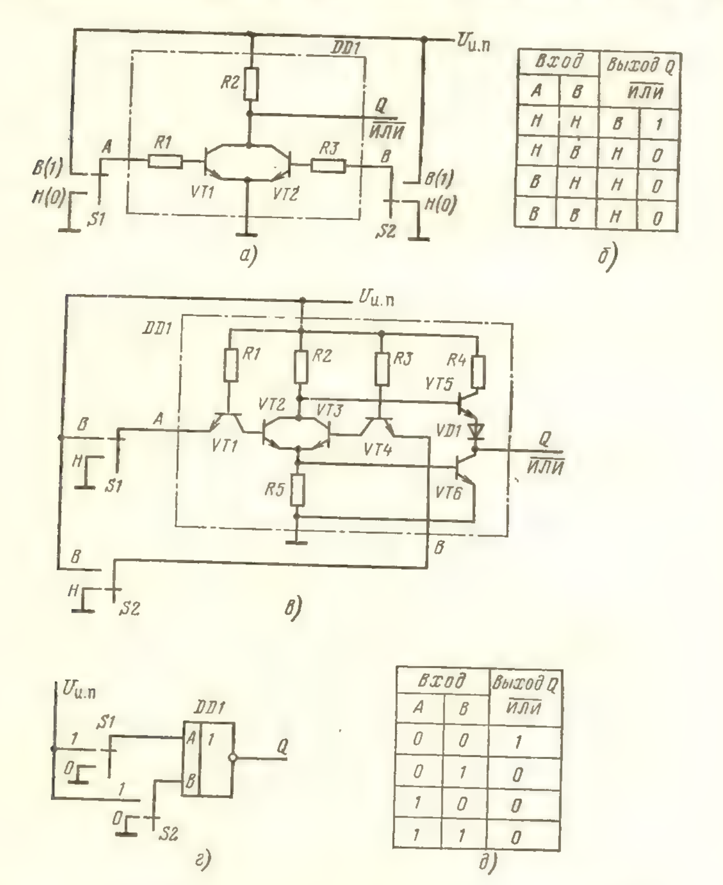
Рис. 1.20. Логические состояния двухвходового элемента ТТЛ:

а — схема управления по входам А и В; *б* — таблица входных и выходных электрических уровней (Н — низкий; В — высокий); *в* — управление элементом $\overline{\text{И}}$; *г* — таблица состояний И; *д* — управление элементом $\overline{\text{ИЛИ}}$; *е*, *ж* — варианты таблицы состояний $\overline{\text{ИЛИ}}$

Отметим, что для исходной схемы (рис. 1.20, *а*) активный, т. е. включающий, уровень напряжения — низкий, поэтому инвертор $\overline{\text{И}}$ работает с активным логическим 0, а инвертор $\overline{\text{ИЛИ}}$ — с активной 1. Таким образом, переименовывая высокий и низкий уровни напряжения, можем работать с инвертором ТТЛ как с двухвходовым элементом $\overline{\text{И}}$ либо $\overline{\text{ИЛИ}}$.

В большинстве таблиц логических состояний микросхем, описываемых в этой книге, для исключения разночтений и удобства пользования осциллографом указаны последовательности входных и выходных напряжений высокого и низкого уровней.

Принципиальная схема двухвходового логического элемента $\overline{\text{ИЛИ}}$,



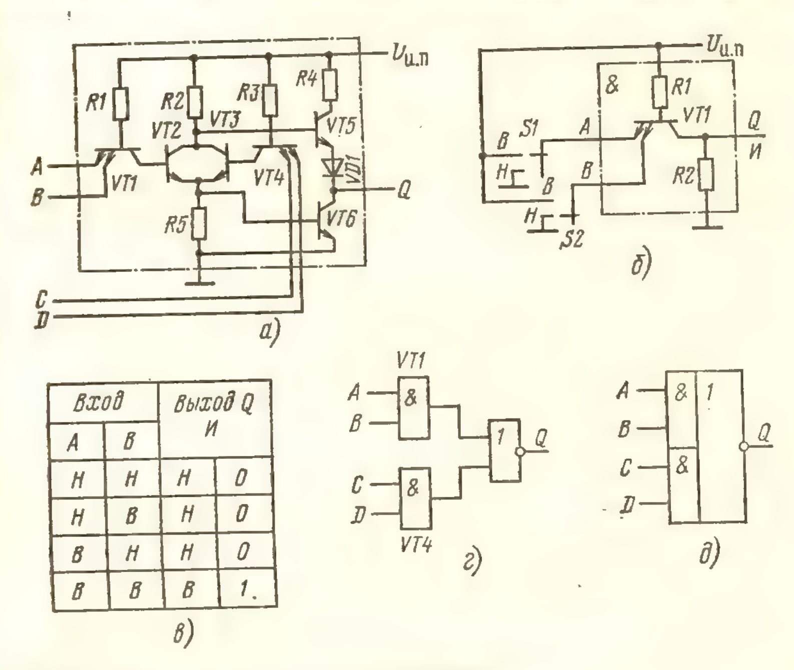
Вход		Выход Q $\overline{\text{ИЛИ}}$	
A	B		
Н	Н	В	1
Н	В	Н	0
В	Н	Н	0
В	В	Н	0

Вход		Выход Q $\overline{\text{ИЛИ}}$
A	B	
0	0	1
0	1	0
1	0	0
1	1	0

Рис. 1.21. Двухвходовые ключи $\overline{\text{ИЛИ}}$ высокоуровневой логики:

а — двухтранзисторный РТЛ; *б* — таблица состояний $\overline{\text{ИЛИ}}$; *в* — двухвходовой элемент ТТЛ $\overline{\text{ИЛИ}}$; *г* — управление элементом $\overline{\text{ИЛИ}}$; *д* — его таблица состояний

работающего с активными низкими уровнями, была разработана позднее, чем схема элемента $\overline{\text{И}}$. При этом в элементе ТТЛ использовали не один, а два двухвходовых многоэмиттерных транзистора и параллельное соединение двух транзисторов в каскаде фазорасщепления. Предварительно изучим работу менее сложного двухвходового инвертора РТЛ. На рис. 1.21, *а* показана схема двухвходового инвертора РТЛ, который работает с активным напряжением высокого уровня (В=1, Н=0). К сигнальным входам А и В присоединены управляющие переключатели S1



Вход		Выход Q И	
А	В		
Н	Н	Н	0
Н	В	Н	0
В	Н	Н	0
В	В	В	1.

Рис. 1.22. Комбинированный элемент И/$\overline{\text{ИЛИ}}$:

а — принципиальная схема; *б* — многоэмиттерный транзистор; *в* — таблица его состояний; *г*, *д* — функциональные обозначения элемента И/$\overline{\text{ИЛИ}}$

и S2. Если движки S1 и S2 находятся в положении В, транзисторы VT1 и VT2 получают базовый ток и поэтому насыщены, т. е. замкнуты. На выходе элемента Q будет напряжение низкого уровня $U_{КЭ} \leqslant 0{,}3$ В.

Выходное напряжение высокого уровня В появится на выходе Q только тогда, когда оба транзистора VT1 и VT2 базового тока не получат и перейдут поэтому в состояние отсечки, т. е. будут разомкнуты (см. табл. на рис. 1.21, *б*). Для перехода в этот режим движки переключателей S1 и S2 надо перевести в состояние Н=0 (подать $U_{вх}=0$). Согласно шестому столбцу таблицы (рис. 1.19, *в*) элемент РТЛ работает как двухвходовой элемент $\overline{\text{ИЛИ}}$.

На схеме рис. 1.21, *в* на входах элемента РТЛ базовые резисторы

заменены транзисторами VT1 и VT4. Напомним, что каскад, рассмотренный ранее (рис. 1.3, *а*), работает без инверсии. Поэтому таблица выходных состояний, приведенная на рис. 1.21, *б*, верна для схемы на рис. 1.21, *в*. Для завершения схемы логического элемента ТТЛ $\overline{\text{ИЛИ}}$ на рис. 1.21, *в* добавлен обычный оконечный каскад с транзистором-повторителем VT5 и ключевым транзистором VT6. Условное обозначение элемента $\overline{\text{ИЛИ}}$ показано на рис. 1.21, *г*. На рис. 1.21, *д* дана таблица состояний для двухвходового элемента ТТЛ $\overline{\text{ИЛИ}}$.

В схемотехнике ТТЛ часто используют сложные логические элементы И/$\overline{\text{ИЛИ}}$. Для этого у каждого из многоэмиттерных транзисторов VT1 и VT4 делают несколько входов. На рис. 1.22, *а* показан четырехвходовой элемент И/$\overline{\text{ИЛИ}}$ (точнее 2+2, т. е. две пары по два входа И). Здесь логическая 1 соответствует напряжению высокого уровня. Развернутая структурная схема элемента И/$\overline{\text{ИЛИ}}$, представленная на рис. 1.22, *г*, содержит два двухвходовых элемента И (напомним, что многоэмиттерные транзисторы VT1 и VT4 логические уровни не инвертируют, рис. 1.22, *б*—*в*), а также двухвходовой элемент $\overline{\text{ИЛИ}}$ (это транзисторы — фазорасширители VT2 и VT3). Структурная схема на рис. 1.22, *г*, составлена из трех логических элементов. Совмещенное начертание элемента И/$\overline{\text{ИЛИ}}$ показано на рис. 1.22, *д*. Элементы И/$\overline{\text{ИЛИ}}$ выпускают в виде самостоятельных микросхем, их можно встретить в составе более сложных структур — коммутаторов цифровых сигналов.

1.7. МИКРОСХЕМЫ ТТЛ: И, $\overline{\text{И}}$, И/$\overline{\text{ИЛИ}}$, РАСШИРИТЕЛИ

Среди простых микросхем ТТЛ преобладают приборы с логикой И, $\overline{\text{И}}$. Число микросхем, выполняющих логическую операцию $\overline{\text{ИЛИ}}$, существенно меньше. Микросхемы И (без инверсии) представлены в табл. 1.11. Они различаются по числу логических элементов (от двух до четырех) и по числу входов каждого из них. Цоколевки этих микросхем показаны на рис. 1.23. Микросхемы ЛИ4 и ЛИ5 имеют выходы с открытым коллектором (см. рис. 1.25).

Для микросхем серии К555 время задержки распространения $t_{зд,р}$ не превышает 20 нс, для серии К155 $t^{0,1}_{зд,р}$ составляет 27 нс, $t^{0,1}_{зд,р}$ =

Таблица 1.11. **Микросхемы ТТЛ И (без инверсии)**

Серия	Обозначение	Номер микросхемы					
		1	2	3	4	5	6
К155		+			+	+	
К555		+	+	+	+		+
КМ555	ЛИ	+		+	+		+
К531				+			
КР1531		+		+			
74	—	08	09	11	15	75451	21

= 19 нс. Для микросхемы К531ЛИ3 $t_{зд,р}$ не превышает 7,5 нс. Выходной стекающий ток $I^0_{вых}$ для микросхем И серии К155 равен 16 мА, для К531ЛИ3 20 мА, для серии К555 8 мА. Микросхема К155ЛИ1 потребляет ток $I^0_{пот}$ = 33 мА (вариант К555ЛИ1—9 мА), если на всех входах присутствует напряжение низкого уровня. В аналогичном режиме ток потребления для К155ЛИ3 составляет 20, а для К555ЛИ3 6,6 мА. Для К555ЛИ4 ток $I^0_{пот}$ = 6,6 мА, для К555ЛИ5 4,4 мА. Для каждой из этих микросхем $I^1_{пот} = 1{,}6\ I^0_{пот}$.

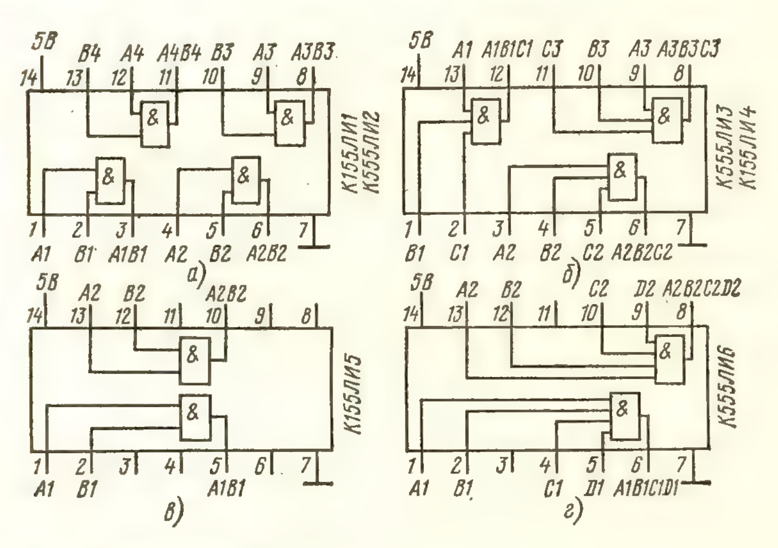


Рис. 1.23. Микросхемы И

Таблица 1.12. Микросхемы ТТЛ И̅

Серия	Обозначение	Номер микросхемы													
		1	2	3	4	6	7	8	9	10	11	12	13	16	19
К155	ЛА	+	+	+	+	+	+	+		+	+	+	+		
КМ155	ЛА	+	+	+	+	+	+	+		+					
К555	ЛА	+	+	+	+	+	+		+	+			+		
КМ555	ЛА	+	+	+					+			+	+		
К531	ЛА	+	+	+	+		+		+			+	+	+	+
КР1533	ЛА	+	+	+											
КР1531	ЛА	+		+	+										
74	—	20	30	00	10	40	22	01	03	12	26	37	38	140	134

Таблица 1.13. Параметры микросхем ТТЛ Й

Параметр	Рисунок	ЛА1			ЛА2		ЛА3			ЛА4			ЛА6*		ЛА7*	
		К155	К555	К531	К155	К555	К155	К555	К531	К155	К555	К531	К155	К555	К555	К531
$I^0_{вых}$, мА	Рис. 1.4, *в*	16	8	20	16	8	16	8	20	16	8	20	48	24	8	20
$I^1_{пот}$, мА	Рис. 1.4, *б*	4	0,8	8	2	0,5	8	1,6	16	6	1,2	12	8	1	0,8	6,6
$I^0_{пот}$, мА	Рис. 1.4, *в*	11	2,2	18	6	1,1	12	4,4	36	16,5	3,3	27	27	6	2,2	18
$t^{0,1}_{зд,р}$	Рис. 1.5, *б*	22	15	4,5	22	15	22	15	4,5	22	15	4,5	22	24	32	7,5
$t^{1,0}_{зд,р}$	Рис. 1.5, *б*	15	15	5	15	20	15	15	5	15	15	5	15	24	28	7

Продолжение

Параметр	Рисунок	ЛА8*	ЛА9*		ЛА10**		ЛА11		ЛА12			ЛА13***			ЛА16	ЛА19
		К155	К555	К531	К155	К555	К155	К555	К155	К555	К531	К155	К555	К531	К531	К531
$I^0_{вых}$, мА	Рис. 1.4, *в*	16	8	20	16	8	16	8	48	24	60	48	24	60	60	20
$I^1_{пот}$, мА	Рис. 1.4, *б*	6	1,6	13,2	6	1,4	8	1,6	15,5	2	36	8,5	2	36	18	5
$I^0_{пот}$, мА	Рис. 1.4, *в*	22	4,4	36	16,5	3,3	22	4,4	54	12	80	54	12	80	44	10
$t^{0,1}_{зд,р}$	Рис. 1.5, *б*	45	32	7,5	45	32	24	32	22	24	6,5	22	32	6,5	6,5	6
$t^{1,0}_{зд,р}$	Рис. 1.5, *б*	15	28	7	15	28	17	28	15	24	6,5	18	28	6,5	6,5	7

* Выходы с открытыми коллекторами.
** Буферная микросхема.
*** Буферная микросхема, выходы с открытыми коллекторами.

Номенклатура микросхем $\overline{И}$ показана в табл. 1.12, параметры их сведены в табл. 1.13. Цоколевки микросхем ТТЛ $\overline{И}$ показаны на рис. 1.24. Следует отметить, что микросхема К531ЛА16 (рис. 1.24, *ж*) может передавать данные в линию с сопротивлением 50 Ом. Микросхема К531ЛА19 (рис. 1.24, *з*) представляет собой 12-входовой инвертор $\overline{И}$, снабженный выводом $\overline{EO}$ для разрешения по выходу. В табл. 1.14 перечислены состояния микросхемы ЛА19. Данные появятся на ее выходе, если на вход $\overline{EO}$ подано активное напряжение низкого уровня. Выход данных перейдет в разомкнутое состояние Z, если на вход EO подается напряжение высокого уровня. Во время состояния Z микросхема потребляет ток $I^{Z}_{пот} = 25$ мА. Время задержки перехода выхода к разомкнутому состоянию $t^{1,Z}_{зд} = 16$ нс (от напряжения высокого уровня), ана-

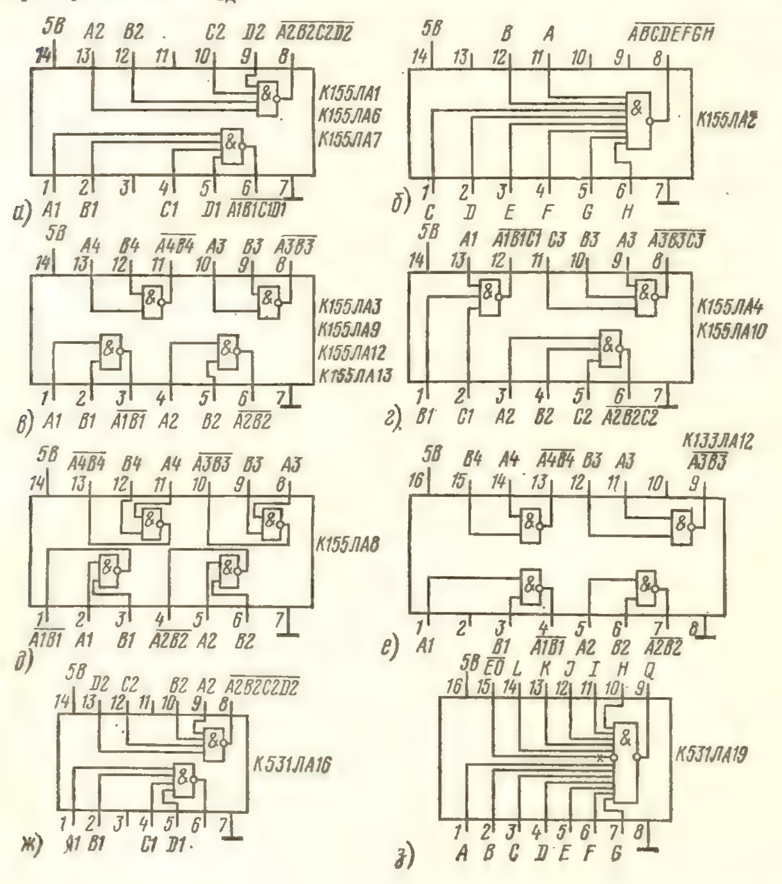


Рис. 1.24. Микросхемы $\overline{И}$

логичное время размыкания от напряжения низкого выходного уровня $t^{0,Z}_{зд}=12$ нс при условии, что выход нагружен на емкость 15 пФ.

Особо следует упомянуть о группе микросхем, логические элементы которых имеют выходы с открытым коллектором (ОК). Схема элемента с ОК показана на рис. 1.25, *а*. Для формирования выходного перепада напряжения к выходу элемента с ОК требуется присоединить внешний нагрузочный резистор $R_н$. Микросхемы ТТЛ с ОК применяются для обслуживания сегментов индикаторов, зажигания ламп накаливания, светодиодов. На рис. 1.25, *б* к выходу элемента с ОК подключена лампа накаливания с током горения примерно 20 мА, а на рис. 1.25, *в* показано подключение светодиода. Отметим, что при необходимости в схемах (рис. 1.25, *б*, *в*) можно использовать обычный элемент ТТЛ с двухтактным выходом.

Таблица 1.14.
Состояния в микросхеме К531ЛА19

Вход		Выход
D0...D11	$\overline{EO}$	Q
В...В	Н	Н
В...Н (один Н)	Н	В
х...х	В	Z

Для некоторых микросхем с ОК нагрузку можно подключать к более высоковольтному источнику питания (рис. 1.25, *г*). Такое включение необходимо для зажигания газоразрядных и электролюминесцентных индикаторов. Выходы с ОК используют для обслуживания обмоток электромеханических устройств.

Выходы нескольких элементов с ОК можно присоединять к общей нагрузке $R_н$. Соединение, показанное на рис. 1.25, *д*, позволяет реализовать логическую функцию И. Действительно, в точке объединения сигналов от выходов Q1 и Q2 напряжение высокого уровня (логическая 1) появится лишь в случае $Q_1=Q_2=1$. Чтобы оно появилось, оба выходных транзистора должны быть разомкнуты.

Третий столбец таблицы состояний (рис. 1.25, *е*) соответствует функции И (см. рис. 1.19, *в*). Такую функцию часто называют «монтажное И», «проволочное И».

Если в точке «монтажное И» соединены n1 выходов и n2 входов, номинал резистора $R_н$ (рис. 1.25, *д*) следует выбрать в пределах:

$$R_{мин}=\left(U_{и.п.макс}-U^0_{вых}\right)/\left(I^0_{вых}-n_2I^0_{вх}\right), \qquad (1.3)$$

$$R_{макс}=\left(U_{и.п.мин}-U^1_{вых}\right)/\left(n_1I^1_{вых}+n_2I^1_{вх}\right). \qquad (1.4)$$

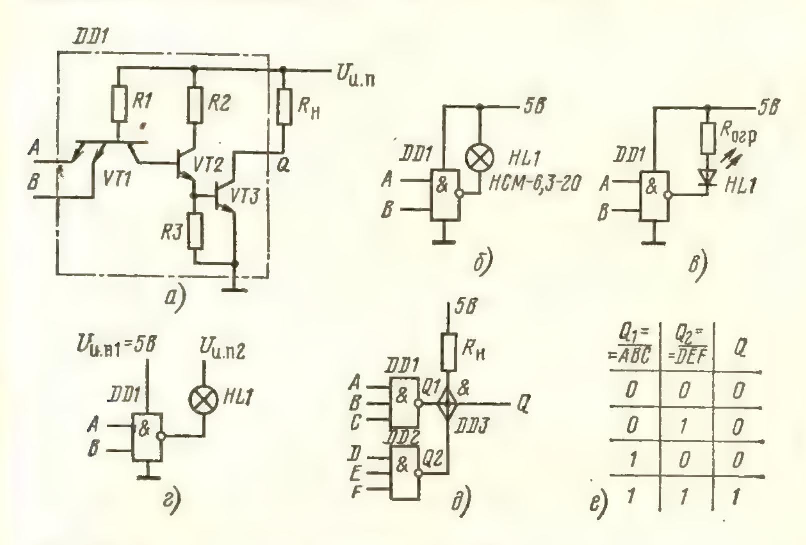
Значения входных и выходных токов для расчета пределов $R_н$ по уравнениям (1.3) и (1.4) можно взять из табл. 1.2. Минимальное время $t^{0,1}$ положительного перепада при выключении (положительный перепад не будет затянут) получится, если взять минимальное сопротивление $R_н$.

Схему (рис. 1.25, *д*) часто используют для расширения (точнее наращивания, увеличения) числа входов логического элемента. Элемент, например, с двадцатью входами И не выпускают, так как это специальный, редко применяемый элемент. Разработчик его может сделать самостоятельно двумя способами: с помощью специальных микросхем-расширителей либо элементов с ОК.

Двухтактные выходы ТТЛ нельзя соединять параллельно, если элементы расположены не на одном кристалле. На рис. 1.26, *а* показано неправильное соединение двух выходов ТТЛ, представляющее реальную опасность перегрузки током короткого замыкания верхнего выходного

транзистора VT1 из элемента DD1. Транзистор — эмиттерный повторитель не рассчитывается на большое значение вытекающего тока $I_{к.з}$. Аварийная ситуация возможна, когда на выходе Q1 присутствует напряжение высокого уровня, а на выходе Q2 — низкого.

Многовходовые составные логические элементы с ОК и общим сопротивлением нагрузки $R_н$ реализуются наиболее просто, однако они позволяют получить предельное быстродействие. Предпочтителен способ увеличения числа входов с помощью специальной микросхемы-расширителя, имеющей вспомогательные выводы коллектора и эмиттера транзистора-фазорасщепителя VT2 (рис. 1.26, *б*). Одноименные вспомогательные выводы К и Э нескольких таких элементов можно объединить (рис. 1.26, *в*). Параллельное соединение дает функцию ИЛИ (говорят, «Расширение по ИЛИ»; сравните рис. 1.26, *в* и рис. 1.22, *а*)



$Q_1 = \overline{ABC}$	$Q_2 = \overline{DEF}$	Q
0	0	0
0	1	0
1	0	0
1	1	1

Рис. 1.25. Схемы логических элементов с ОК

Как указывалось ранее, функцию $\overline{ИЛИ}$ можно реализовать либо с помощью простейшего элемента ТТЛ (рис. 1.20, *а*) переименовав его логические уровни (такой способ непрактичен) либо применив специальную микросхему $\overline{ИЛИ}$ (рис. 1.21, *в*). На рис. 1.27, *а* дана соответствующая рис. 1.21, *в* принципиальная схема реального логического элемента $\overline{ИЛИ}$ из состава микросхем К155ЛЕ5 и К155ЛЕ6. (Здесь напряжение низкого уровня соответствует логическому нулю, как в приводимых ранее схемах $\overline{И}$.)

В табл. 1.15 дана номенклатура микросхем ТТЛ $\overline{ИЛИ}$. Принципиальная схема одного элемента приведена на рис. 1.27, *а*, цоколевки микросхем ТТЛ показаны на рис. 1.27, *б—ж*. Микросхемы ЛЛ1 выпускают в вариантах К155, К555 и КР1531. Они содержат четыре двухвходовых элемента ИЛИ без инверсии (рис. 1.27, *з*). Электрические параметры этих микросхем сведены в табл. 1.16. Микросхемы К155ЛЕ2 и К155ЛЕ3

Таблица 1.15. Микросхемы ТТЛ ИЛИ-НЕ

Серия	Обозначение	Номер микросхемы 1	2	3	4	5	6	7
К155	ЛЕ	+	+	+	+	+	+	
КМ155	ЛЕ			+				
К555	ЛЕ	+			+			
КМ555	ЛЕ	+			+			
К531	ЛЕ	+						+
КР531	ЛЕ	+						
74	—	02	23	25	27	28	128	260

Таблица 1.16. Параметры микросхем ИЛИ-НЕ

Параметр	Рисунок	ЛЕ1			ЛЕ2*	ЛЕ3*	ЛЕ4	
		К155	К555	К531	К155	К155	К155	К555
$I^0_{вых}$, мА	Рис. 1.4, *в* и 1.21, *в*	16	8	`0	16	16	16	8
$I^1_{пот}$, мА	Рис. 1.4, *б* и 1.21, *в*	16	3,2	29	16	16	16	4
$I^0_{пот}$, мА	Рис. 1.4, *в* и 1.21, *в*	27	5,4	45	19	19	26	6,8
$t^{0,1}_{зд,р}$, нс	Рис. 1.5, *б*	15	15	5,5	22	22	15	15
$t^{1,0}_{зд,р}$, нс	Рис. 1.5, *б*	15	15	5,5	15	15	11	15

Продолжение

Параметр	Рисунок	ЛЕ5**	ЛЕ6**	ЛЕ7	ЛЛ1***		
		К155	К155	К531	К155	К555	К531
$I^0_{вых}$, мА	Рис. 1.4, *в* и 1.21, *в*	48	48	20	16	8	20
$I^1_{пот}$, мА	Рис. 1.4, *б* и 1.21, *в*	21	21	29	22	6,2	32
$I^0_{пот}$, мА	Рис. 1.4, *в* и 1.21, *в*	57	57	45	38	9,8	68
$t^{0,1}_{зд,р}$, нс	Рис. 1.5, *б*	15	15	5,5	15	22	7
$t^{1,0}_{зд,р}$, н	Рис. 1.5, *б*	18	18	6	22	22	7

* Со входами разрешения.
** Буферные микросхемы.
*** Без инверсии.

(рис. 1.27, *в—д*) имеют для каждого четырехвходового элемента вход разрешения EI. Схема элемента ИЛИ со входом EI показана на рис. 1.27, *г*. Это один элемент из микросхемы К155ЛЕ2, имеющей, кроме того, выводы расширения числа входов Р и $\overline{\text{Р}}$. Среди микросхем $\overline{\text{ИЛИ}}$ имеются две буферные, с умощенными выходами: К155ЛЕ5 и К155ЛЕ6. Для них допустим ток нагрузки выхода до 70 мА.

Микросхемы, выполняющие сложную логическую функцию И/$\overline{\text{ИЛИ}}$ (рис. 1.22, *г—д*), имеет обозначение ЛР. Номенклатура этих микросхем

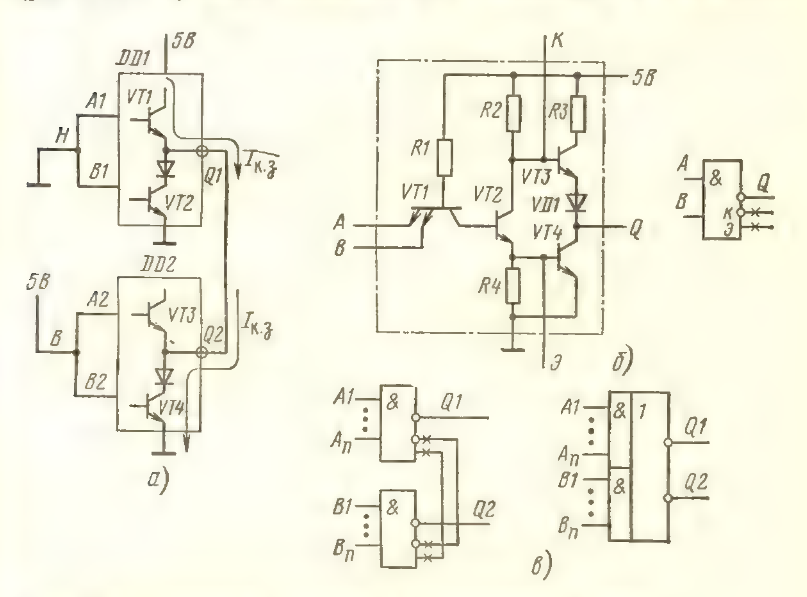


Рис. 1.26. Построение расширителя (наращивателя) входов

Таблица 1.17. **Микросхемы ТТЛ И/$\overline{\text{ИЛИ}}$**

Серия	Обозначение	Номер микросхемы						
		1	3	4	9	10	11	13
К155	ЛР	+	+	+				
КМ155	ЛР	+	+	+				
К555	ЛР		+	+			+	+
КМ555	ЛР						+	
К531	ЛР				+	+	+	
КР1533	ЛР						+	+
74	—	50	53	55	64	65	51	54

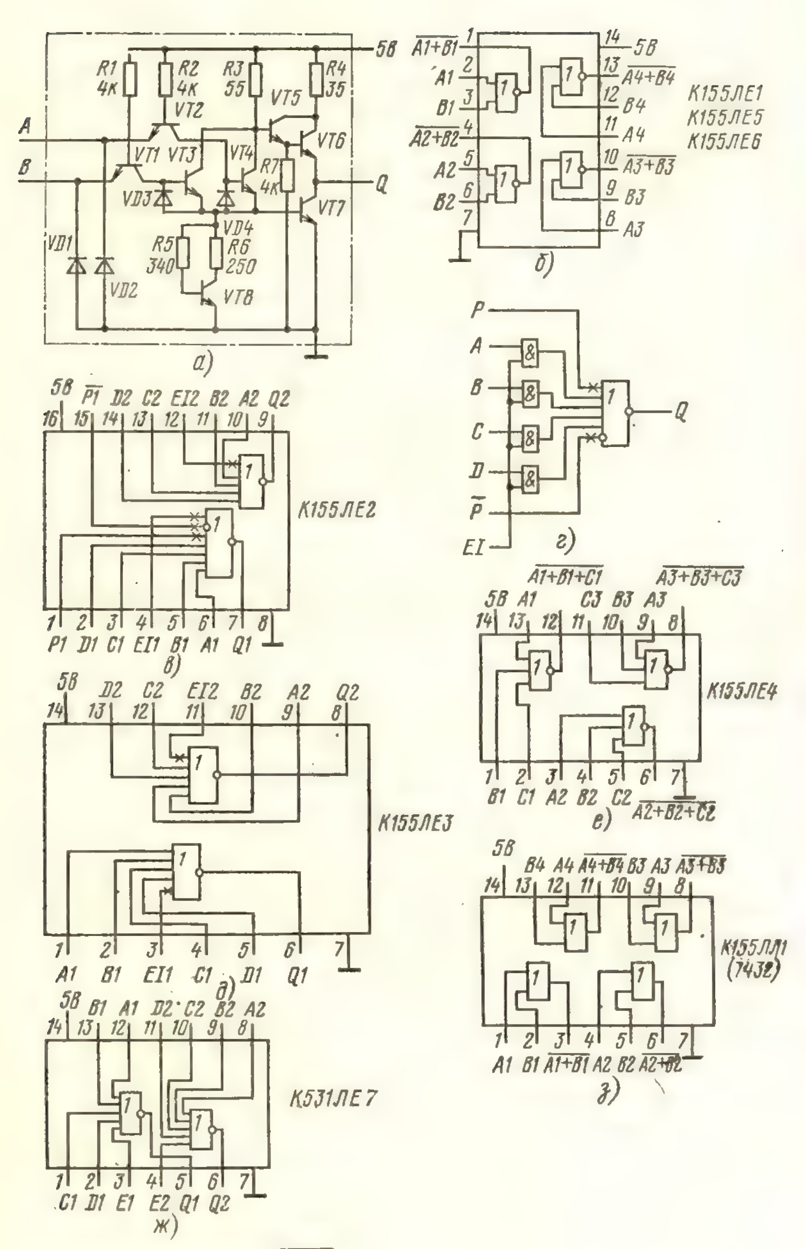


Рис. 1.27. Микросхемы $\overline{\text{ИЛИ}}$

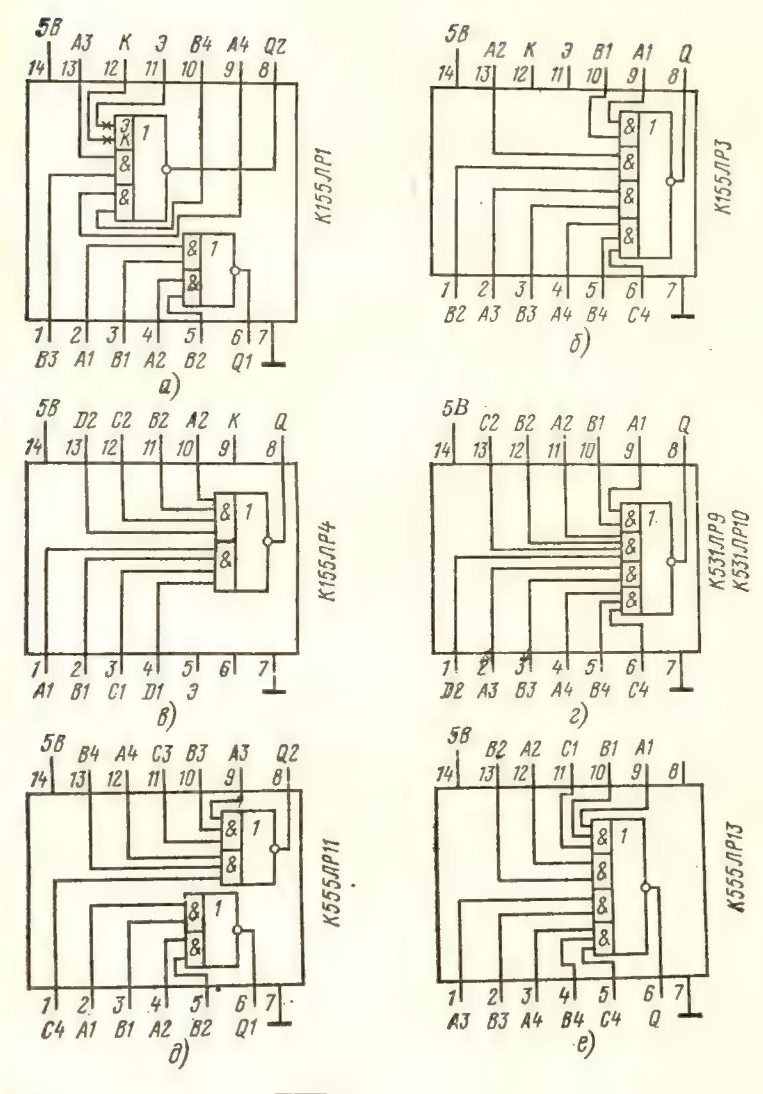
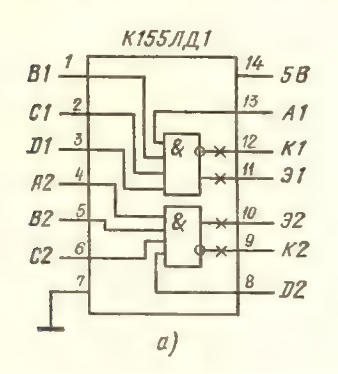


Рис. 1.28. Микросхемы И/ИЛИ-НЕ

представлена в табл. 1.17, параметры в табл. 1.18, а цоколевки их показаны на рис. 1.28. Отметим, что в микросхемах К155ЛР1, К155ЛР3 и К155ЛР4 элемент $\overline{\text{ИЛИ}}$ имеет выходы коллектора и эмиттера К и Э. Их используют, как показано на рис. 1.26, *б*, *в*, для наращивания (расширения) числа входов. Микросхема К531ЛР10 имеет выход с ОК.

На рис. 1.29, *а* показаны цоколевки двух специальных расширителей. Микросхема К155ЛД1 (рис. 1.29, *а*) содержит два четырехвходовых элемента (входы A1...D1 и A2...D2), у которых сделаны выходы от коллекторов и эмиттеров К1, Э1 и К2, Э2. У микросхемы К155ЛД3 аналогичные выводы К и Э имеет восьмивходовой элемент (рис. 1.29, *б*, входы А...Н).



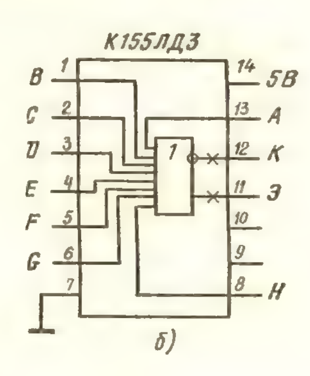


Рис. 1.29. Специальные расширители

Таблица 1.18. Параметры микросхем ТТЛ И/$\overline{\text{ИЛИ}}$

Параметр	Рисунок	ЛР1*	ЛР3*		ЛР4*		ЛР9	ЛР10**
		К155	К155	К555	К155	К555	К531	К531
$I^0_{вых}$, мА	Рис. 1.4, *в* и 1.22, *а*	16	16	8	16	8	20	20
$I^1_{пот}$, мА	Рис. 1.4, *б* и 1.22, *а*	8	8	1,6	6	0,8	12,5	11
$I^0_{пот}$, мА	Рис. 1.4, *в* и 1.22, *а*	14	9,5	2	12	1,3	16	16
$t^{0,1}_{зд,р}$, нс	Рис. 1.5, *б*	22	22	20	22	20	5,5	7,5
$t^{1,0}_{зд,р}$, нс	Рис. 1.5, *б*	15	15	20	15	20	5,5	8,5

* Со входами расширения.
** Выходы с открытыми коллекторами.

1.8. АВТОГЕНЕРАТОРЫ НА ЭЛЕМЕНТАХ ТТЛ

С помощью элементов ТТЛ (буферных, И, ИЛИ) можно проектировать автогенераторы, у которых выходная частота колебаний превышает 30 МГц. Чтобы автогенератор быстро возбуждался и работал устойчиво во всем диапазоне внешних воздействий, лежащая в его основе усилительная линейка должна быть неинвертирующей с большим коэффициентом усиления K_U, который по возможности следует стабилизировать.

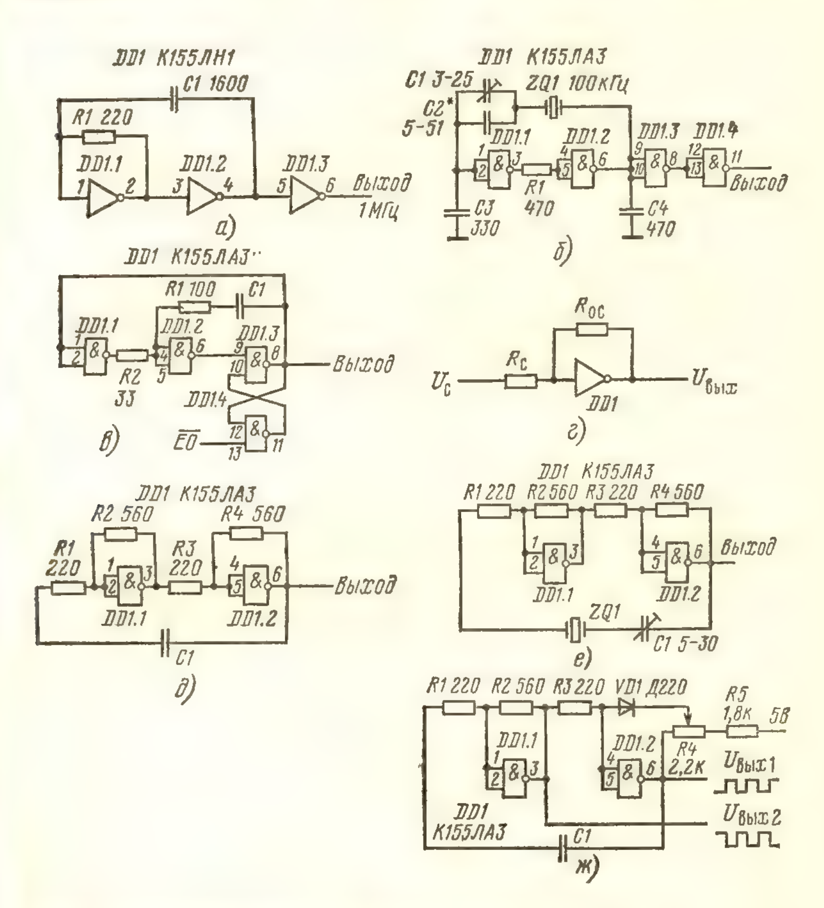


Рис. 1.30. Автогенераторы на цифровых микросхемах ТТЛ:

а — простейший мультивибратор; *б* — кварцевый мультивибратор; *в* — мультивибратор с разрешением по выходу; *г* — инвертирующий усилительный каскад; *д*, *е* — мультивибраторы с повышенной стабильностью; *ж* — генератор с переменной скважностью

Простейший автогенератор получается из двух инверторов, но при этом значение K_U невелико. Удобнее включить три или четыре элемента из микросхемы. Из рис. 1.30, *а* показана схема автогенератора, в которой положительная обратная связь через конденсатор охватывает два элемента DD1.1 и DD1.2, причем DD1.1 выведен в линейный, усилительный режим с помощью резистора отрицательной обратной связи R1= =220 Ом. Элемент DD1.3 применяется здесь как буферный, чтобы уменьшить влияния нагрузки на частоту автогенератора. Частота автогенерации F=1/3 (R1C1).

На рис. 1.30, *б* дана аналогичная схема кварцованного автогенератора. Здесь мультивибратор снабжен выводом разрешения выходных сигналов $\overline{EO}$ (рис. 1.30, *в*). Элементы DD1.3 и DD1.4 образуют RS-триггер. В таком применении его называют защелкой. Если на вход $\overline{EO}$ подать напряжение низкого уровня, вход 10 элемента DD1.3 получит напряжение высокого уровня и генерация в линейке DD1.1—DD1.3 будет

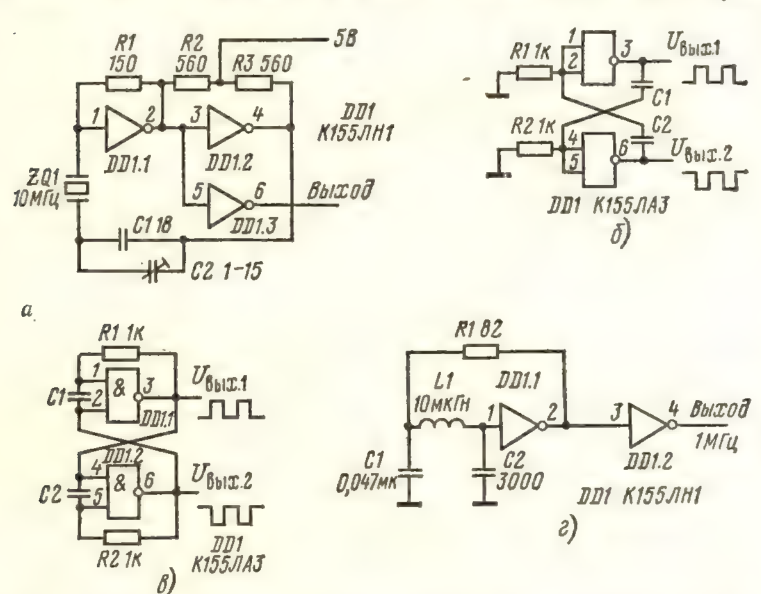


Рис. 1.31. Автогенератор с буферным элементом (*а*), с парафазными выходами (*б*, *в*), с колебательным контуром (*г*)

разрешена. Генерация прекратится, когда на вход EO поступит напряжение высокого уровня (тогда на входе 10 элемента DD1.3 будет низкий потенциал). На выходе генератора появится напряжение высокого уровня.

Как основу для автогенератора с повышенной стабильностью удобно выбрать инвертирующий усилительный каскад с отрицательной обратной связью через резистор $R_{о.с}$ (рис. 1.30, *г*). Здесь коэффициент

усиления $K_U^*=U_{вых}/U_c \approx -R_{о.с}/R_c$. Надо учитывать, что собственное усиление цифрового инвертора K_U не превышает 20, что очень далеко от усиления идеального операционного усилителя. В схеме на рис. 1.30, *д* использовано два таких инвертора с $K_U^*=2(560/220)<5{,}5$. Здесь при емкости C1=1000 пФ частота F=500 кГц. Аналогичные инверторы применены в кварцевом автогенераторе с пьезоэлектрическим резонатором ZQ1 (рис. 1.30, *е*). Регулируемая нелинейная отрицательная обратная связь через диод VD1 (рис. 1.30, *ж*) позволяет построить мультивибратор с переменной скважностью импульсов.

На рис. 1.31, *а* показана схема кварцевого автогенератора с буферным выходным логическим элементом DD1.3. На цифровых инверторах удобно выполнять симметричные мультивибраторы, которые генерируют парафазные выходные последовательности. Автогенераторы на рис. 1.31, *б*, *в* различаются способом подключения времязадающих конденсаторов и резисторов. Выходная частота автогенератора по схеме рис. 1.31, *б* составляет 2 Мгц при C1=C2=100 пФ. Если в автогенераторе на рис. 1.31, *в* установлены конденсаторы C1=C2=200 пФ, его выходная частота будет 1 МГц. Выходную частоту можно установить от 1 Гц до 10 МГц, если емкости конденсаторов выбрать в пределах 50 мкФ...10 пФ.

Схема автогенератора с колебательным контуром показана на рис. 1.31, *г*. Частота автогенерации здесь определяется по формуле $F=1/(2\pi\sqrt{LC_э})$, причем эквивалентная емкость $C_э$ соответствует параллельному включению конденсаторов C1 и C2, т. е. $C_э=C_1C_2/(C_1+C_2)$. Достоинством такого автогенератора является использование в нем всего одного инвертора.

1.9. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ — ТРИГГЕРЫ ШМИТТА

При входном импульсном сигнале с пологими фронтом и срезом импульс на выходе формирующего логического элемента также не будет прямоугольным, поскольку некоторое время ключевая схема будет находиться в усилительном режиме (напомним, для инвертора ТТЛ $K_U \approx 20$). Кроме того, на фронте и срезе выходного импульса будут присутствовать усиленные помехи, поступившие в «усилитель» из провода питания. Импульс с зашумленными и несформированными фронтом и срезом непригоден для переключения тактовых входов триггеров, регистров, счетчиков.

Повышение K_U формирователя до 1000 раз и более за счет последовательного включения нескольких буферных элементов не дает точной привязки момента переключения к определенному пороговому уровню входного импульса. В таких случаях используют так называемую схему триггера Шмитта, состоящую из двухкаскадного усилителя (в оригинале автор использовал двойной триод), охваченного слабой положительной обратной связью. Триггеры Шмитта оказались незаменимыми и в интегральной схемотехнике, как в аналоговой, так и в цифровой.

Логические элементы со свойствами триггера Шмитта (рис. 1.32, *а*) имеют внутреннюю положительную обратную связь, глубина которой подобрана так, чтобы получить передаточную характеристику со значительным гистерезисом. Выходной сигнал логического элемента Шмитта имеет крутые импульсные перепады, длительность которых не зависит от скорости нарастания или спада входного сигнала. Импульсные пере-

пады по времени соответствуют моментам, когда входной сигнал превышает напряжение срабатывания $U_{срб}$ и становится меньше, чем напряжение отпускания $U_{отп}$.

Передаточная характеристика обычного элемента ТТЛ имеет входной порог $U_{пор}=1{,}3$ В. Передаточная характеристика элемента Шмитта двухпороговая, она показана на рис. 1.32, *б*, а временная — на рис. 1.32, *в*. Если входное напряжение такого логического элемента $U_{вх}=0$ (точка А), то выходное напряжение $U_{вых}=2{,}4$ В (напряжение высокого логического уровня ТТЛ). При повышении $U_{вх}$ до 1,7 В выходной сигнал скачком уменьшается (переходит от точки Б к В, где $U_{вых}\leqslant 0{,}3$ В, т. е. напряжение низкого уровня ТТЛ). В этот момент входное напряжение становится равным напряжению срабатывания $U_{вх}=U_{срб}=1{,}7$ В.

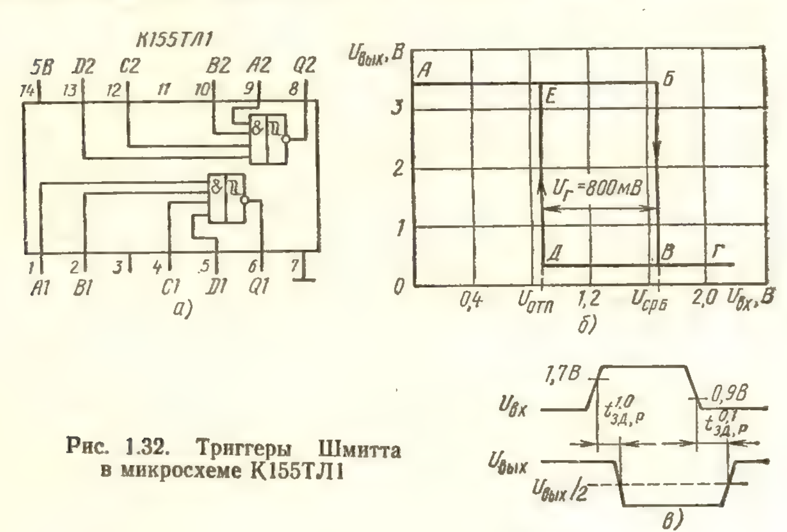


Рис. 1.32. Триггеры Шмитта в микросхеме К155ТЛ1

Если входное напряжение теперь постепенно уменьшать (от точки Г), то при $U_{вх}=0{,}9$ В выходное напряжение скачком перейдет от низкого уровня к высокому (линия Д—Е). Это напряжение порога отпускания $U_{отп}$. При дальнейшем снижении $U_{вх}$ до нуля возвращаемся в точку А передаточной характеристики. Таким образом, логический элемент, построенный на основе триггера Шмитта, имеет пороги срабатывания и отпускания, между которыми существует зона гистерезиса $U_{срб}-U_{отп}=800$ мВ. Эта зона симметрична относительно порогового напряжения обычного элемента ТТЛ, т. е. 1,3 В (± 400 мВ).

Микросхемы, содержащие логические элементы со свойствами триггера Шмитта, приведены в табл. 1.19. В микросхеме К155ТЛ1 (рис. 1.32, *а*) содержится два логических четырехвходовых элемента $\overline{И}$ с порогом Шмитта. Если для приема сигналов используется лишь один из входов этого логического элемента, остальные три следует подключить к положительному полюсу источника питания.

Для микросхемы К155ТЛ1 время задержки распространения можно определить по временной диаграмме на рис. 1.32, *в*, где $t^{1,0}_{зд,р}=27$ нс (для варианта LS 22 нс), а $t^{0,1}_{зд,р}=22$ нс (для LS 27 нс). Средний пороговый уровень для микросхемы с порогом Шмитта в исполнении LS $U_{пор}=1{,}5$ В.

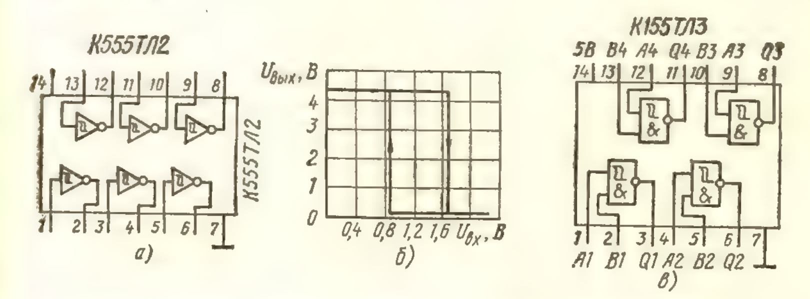


Рис. 1.33. Триггеры Шмитта в микросхемах К155ТЛ2 и К155ТЛ3

Номинальными считаются элементы нагрузки: $C_н=15$ пФ, $R_н=400$ Ом (для серии К155). Для исполнения LS $C_н=15$ пФ и $R_н=2$ кОм.

В устройствах формирования сигналов, где требуется запас помехоустойчивости, удобно использовать микросхемы с обозначением ТЛ2, каждая из которых содержит шесть инвертирующих усилителей с порогом Шмитта (рис. 1.33, *а*). У каждого инвертора микросхемы К155ТЛ2 переключательная характеристика идентична показанной на рис. 1.32, *б*. У элементов микросхемы К555ТЛ2 выходная амплитуда больше (см. рис. 1.33, *б*). Для обоих вариантов микросхемы ТЛ2 $t^{1,0}_{зд,р}=t^{0,1}_{зд,р}$ и не превышает 22 нс.

Таблица 1.19. Микросхемы ТТЛ (логические элементы-триггеры Шмитта)

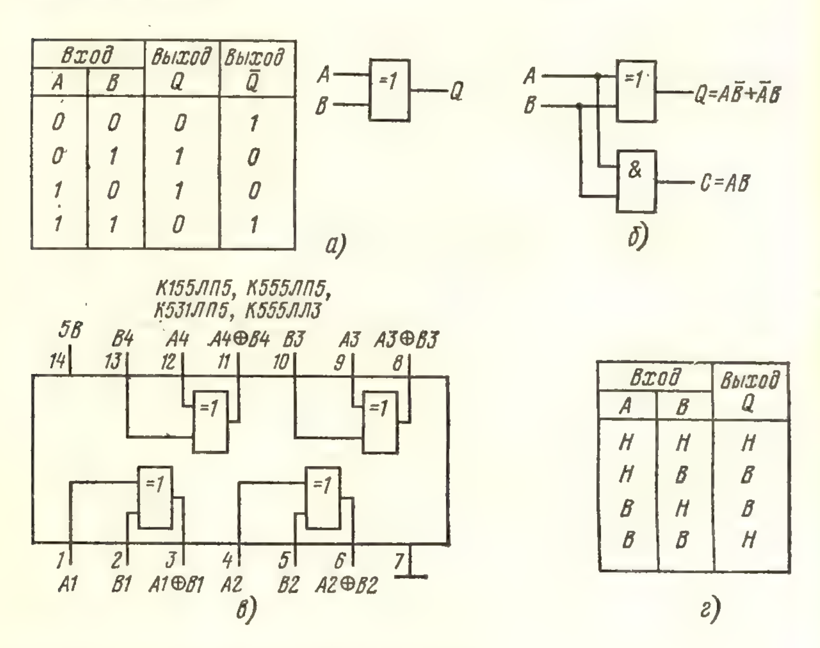
Серия	Обозначение	Номер микросхемы		
		1	2	3
К155	ТЛ	+		+
КМ155	ТЛ	+		
К555	ТЛ		+	
КМ555	ТЛ		+	
К531	ТЛ			+
74	—	13	14	132

Микросхемы с обозначением ТЛ3 имеют по четыре двухвходовых элемента И̅ с гистерезисной передаточной характеристикой триггера Шмитта (рис. 1.33, *в*).

По основным электрическим параметрам, включая переключательную характеристику, микросхемы — триггеры Шмитта серии К155 (ТЛ1, ТЛ2, ТЛ3) аналогичны. При входном напряжении низкого уровня ток потребления для них равен 24 мА, при напряжении высокого уровня — 40 мА.

1.10. ИСКЛЮЧАЮЩЕЕ ИЛИ

Логический элемент исключающее ИЛИ применяется как сумматор по модулю 2 или используется для задерживания цифрового импульса. Его часто включают как фазовый компаратор, определяющий момент равенства частот и фаз двух цифровых последовательностей. Среди прочих устройств с помощью элементов исключающее ИЛИ часто проектируют генераторы строго сфазированных многофазных последовательностей (например, трехфазных напряжений питания микроэлектродвигателей).



Вход		Выход	Выход
A	B	Q	$\bar{Q}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

Вход		Выход
A	B	Q
Н	Н	Н
Н	В	В
В	Н	В
В	В	Н

Рис. 1.34. Микросхемы исключающее ИЛИ

На практике наиболее часто используют двухвходовые элементы исключающее ИЛИ и исключающее $\overline{\text{ИЛИ}}$. На рис. 1.34, *а* показан символ элемента без инверсии и его таблица состояний. Выходной сигнал элемента соответствует логическому уравнению $Q=A\oplus B=A\bar{B}+B\bar{A}$. Здесь $\oplus$ — символ суммирования по модулю 2. Нижняя и верхняя строки таблицы (рис. 1.34, *а*) отображают эквивалентность входных уровней, т. е. $A=B=0$ (в верхней строке) и $A=B=1$ (в нижней). В случае $A=B=0$ выходной сигнал $Q=0$ (это естественный так называемый тривиальный ноль). Когда $A=B=1$ выходной сигнал Q также равен нулю, хотя на двух входах A и B присутствуют единицы. Если добавить к элементу исключающее ИЛИ двухвходовой элемент И, который будет служить

формирователем единицы старшего разряда (по-другому, генератором переноса; он образует выход C), то получится двухразрядный полусумматор. Схема полусумматора показана на рис. 1.34, *б*. Она дает при A=B=1 результат Q=0 (это младший разряд суммы) и C=1 (старший разряд, здесь он называется единицей переноса). В итоге на обоих выходах полусумматора появляется двухразрядное двоичное выходное слово: A+B=1+1=10. Его десятичный эквивалент 1+1=2.

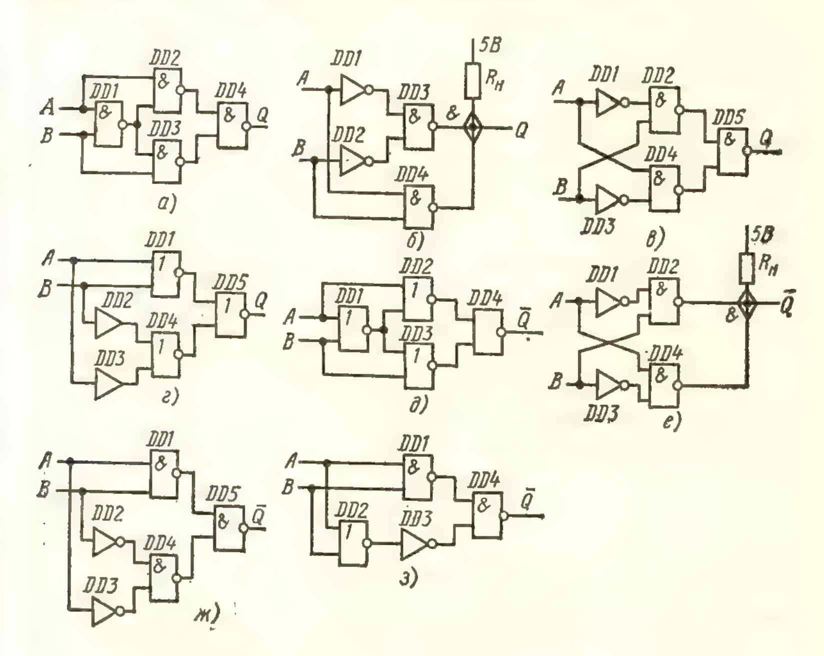


Рис. 1.35. Структуры узла исключающее ИЛИ без инверсии *(а—г)* и с инверсией *(д—з)*

В таблице состояний на рис. 1.34, *а* последняя колонка соответствует элементу исключающее ИЛИ с инверсией. На рис. 1.34, *в* показано расположение элементов исключающее ИЛИ в микросхемах К155ЛП5, К555ЛП5, К531ЛП5, а также в К555ЛЛ3, имеющей выходы с открытым коллектором. На рис. 1.34, *г* дана таблица состояний для одного элемента каждой из этих микросхем. Микросхема К555ЛЛ3 имеет ток потребления 10 мА (все входные уровни низкие). Для нее время задержки распространения $t_{зд,р}$=30 нс. Микросхеме К555ЛЛ3 соответствует 74LS136.

Микросхема К155ЛП5 потребляет ток питания 50 мА, К555ЛП5 10 мА. Для К531ЛП5 этот ток равен 75 мА, но время задержки распространения сигнала уменьшается до 10 нс (для К155ЛП5 и К555ЛП5 $t^{1,0}_{зд,р}$=30 нс, а $t^{0,1}_{зд,р}$=22 нс). В зарубежных сериях 74 отечественным

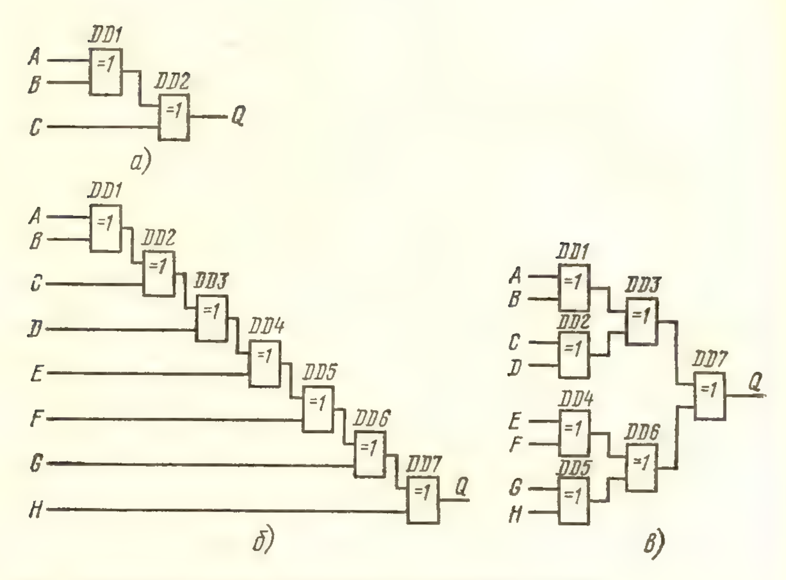


Рис. 1.36. Многовходовые элементы исключающее ИЛИ

микросхемам ЛП5 соответствуют микросхемы с номерами 86, S86 и LS86.

Иногда появляется необходимость собрать элемент исключающее ИЛИ из отдельных логических элементов. На рис. 1.35, *а—г* даны схемы таких устройств без инверсии, а на рис. 1.35, *д—з* — аналогичные структуры, но с инверсией выходной функции суммирования по модулю 2. Если требуется многовходовой элемент исключающее ИЛИ, можно собрать его по схемам, показанным на рис. 1.36. На рис. 1.36, *а* дана схема трехвходового сумматора по модулю 2:

$$Q = A \oplus B \oplus C, \qquad (1.5)$$

а на рис. 1.36, *б* — восьмивходового:

$$Q = A \oplus B \oplus C \oplus D \oplus E \oplus F \oplus G \oplus H. \qquad (1.6)$$

На рис. 1.36, *в* изображена другая восьмивходовая схема, реализующая уравнение (1.6). Такая структура — основа микросхем, предназначенных для проверки на четность многоразрядных цифровых слов (см., например, рис. 1.128 и рис. 2.66).

Рассмотрим несколько примеров применения микросхем исключающее ИЛИ. Выходные импульсы этих логических элементов появляются в моменты совпадения обоих входных сигналов (если оба входных уровня высокие или оба низкие). Простейший пример — устройство выделения фронта и среза входного импульса (рис. 1.37, *а*). Напомним, что традиционно это делали с помощью дифференцирующего CR-звена с последующим усилением и формированием сигнала. Микросхема среднего уровня интеграции исключающее ИЛИ ЛП5 или ЛЛ3 упрощает

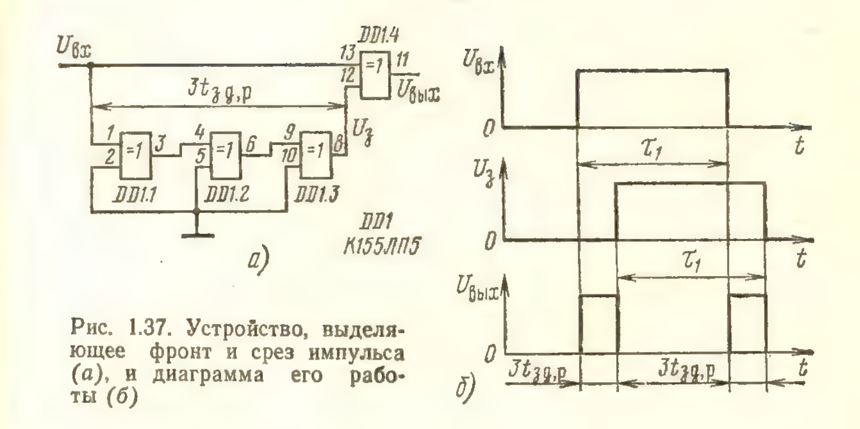


Рис. 1.37. Устройство, выделяющее фронт и срез импульса (*а*), и диаграмма его работы (*б*)

такое устройство. Фронты выделяются здесь гораздо стабильнее. Длительность каждого выходного импульса окажется равной $3t_{зд,р}$.

Поскольку в устройстве (рис. 1.37, *а*) фазы входного $U_{вх}$ и задержанного $U_з$ импульсов совпадают, то в выходном элементе исключающее ИЛИ нулевое выходное напряжение будет в двух случаях: если $U_{вх}=U_з=0$ и $U_{вх}=U_з=U_{и.п}$. Когда же $U_{вх}\neq U_з$, выделяются выходные импульсы с длительностью $3t_{зд,р}$. Другими словами, с такой точностью можно определить время прихода фронта импульса и время окончания этого импульса. Устройство, собранное по схеме (рис. 1.37, *а*), удваивает частоту входного сигнала.

В настоящее время для преобразования оптического изображения в электрический телевизионный сигнал стали все шире применять вместо приемных электронно-лучевых трубок (например, видиконов) полупроводниковые матрицы. Это микросхемы с открытой для сфокусированного изображения поверхностью, состоящей примерно из 250 тысяч светочувствительных ячеек и имеющей размер оптической зоны около 15×20 мм (число отдельных транзисторов в этой сверхбольшой интегральной схеме превышает полмиллиона!). В каждой из ячеек накапливается заряд, соответствующий яркости одной точки изображения. Все накопленные 250 тысяч зарядов при последовательном выносе их из матрицы дают кадр телевизионного изображения. Схемотехнически задача организации такого выноса весьма сложна (здесь используются специальные внешние БИС управления ячейками матрицы, связанными между собой дорожками переноса зарядов, из-за этого матрицы называют приборами с зарядовой связью — ПЗС).

Часто для переноса зарядов в матрице на ее поверхности делают трехфазные шины управления. На эти шины требуется подавать точные трехфазные сигналы управления специальной формы, так называемые сигналы кадрового и строчного переноса. Строчная последовательность подается с частотой до 10 МГц. Наиболее надежным оказался формирователь, выполненный по схеме, показанной на рис. 1.38, *а*. Здесь задающая частота синхронизации должна быть выбрана в 6 раз большей, чем требуемая частота трехфазной последовательности переноса.

Счетчик К155ИЕ4 (см. рис. 1.65) генерирует последовательности импульсов А, В и С. После трех элементов исключающее ИЛИ выходные последовательности Ф1, Ф2 и Ф3 имеют точную и постоянную

фазировку со взаимным сдвигом на треть периода. Такую же схему формирования трехфазного напряжения можно использовать для питания специальных бесщеточных микродвигателей.

С помощью элемента исключающее ИЛИ можно построить коммутатор фазы последовательности импульсов, поступающей от кварцевого автогенератора с частотой $f_{кв}$. Эта схема показана на рис. 1.39, *а*. На управляющий вход ($U_{упр}$) в этом устройстве подается команда управления фазой. На рис. 1.39, *б* показаны диаграммы входных, внутренних и выходных сигналов устройства, имеющиеся в узлах, обозначенных на принципиальной схеме буквами А—Ж. Отрицательный импульс В слу-

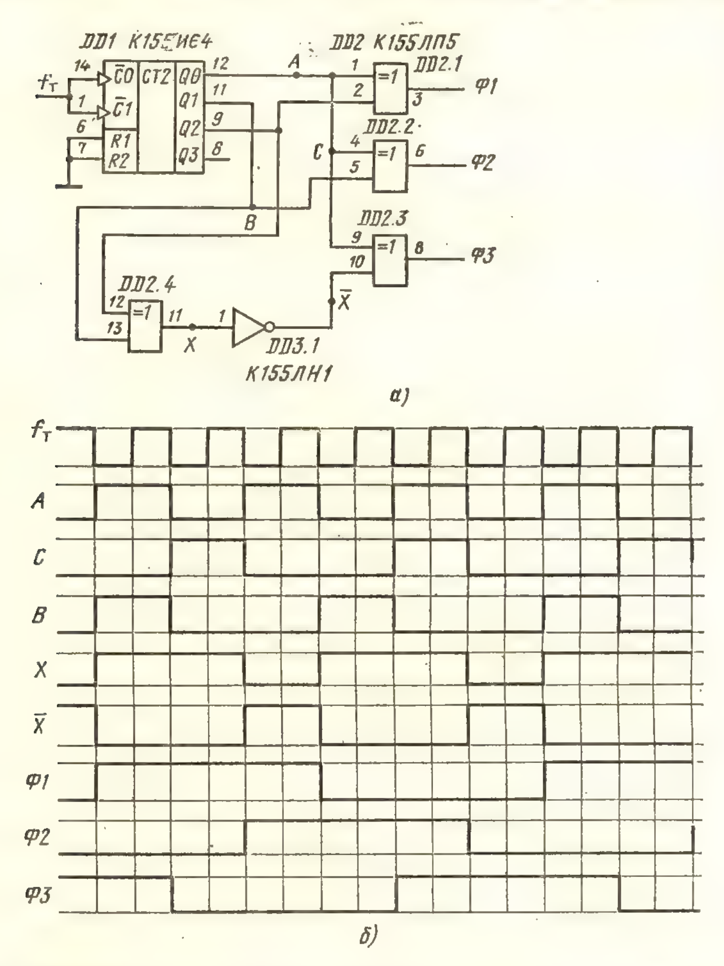


Рис. 1.38. Генератор трехфазной последовательности (*а*) и диаграмма его работы (*б*)

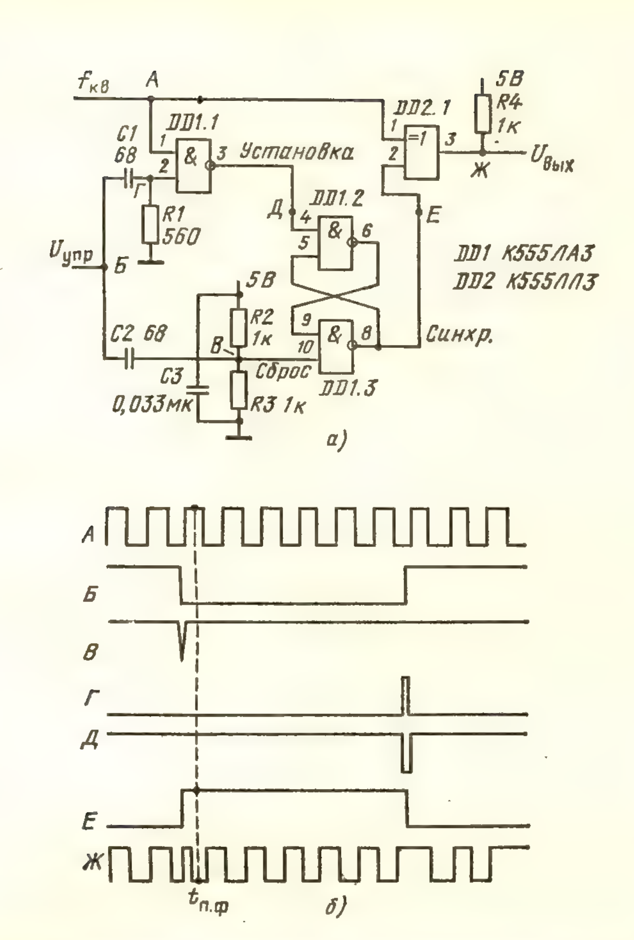


Рис. 1.39. Коммутатор кварцованной последовательности *(а)* и диаграмма его работы *(б)*

жит для сброса RS-защелки, положительный импульс Г подается на ее синхронный запуск. Эти импульсы получаются как результат дифференцирования фронта и среза сигнала коммутации фазы Б (сравните этот метод выделения фронта с предложенным на рис. 1.37, *а*).

Импульс установки Д и сигнал сброса В управляют RS-защелкой (элементы DD1.2 и DD1.3), причем импульс Д сфазирован с последовательностью А. На выходе триггера-защелки вырабатывается сигнал синхронизации Е. В момент перемены фазы входной импульс А и импульс Е имеют высокие уровни, следовательно, после исключающего ИЛИ (т. е. на выходе Ж) появится напряжение низкого уровня.

Отметим, что элементы исключающее ИЛИ дают на выходе пики помех, если суммируемые входные импульсы имеют искаженные фрон-

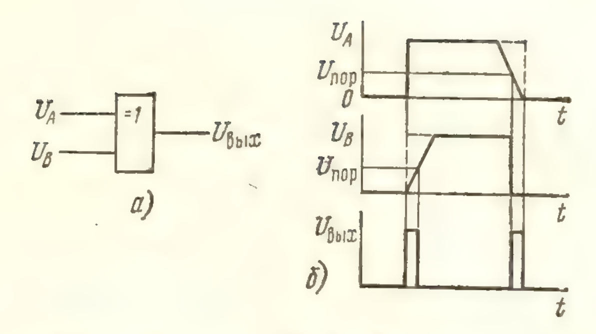


Рис. 1.40. Суммирование в схеме исключающее ИЛИ (*а*) двух неидеальных прямоугольных импульсов (*б*)

ты. На рис. 1.40, *а* показан сумматор по модулю 2, а на рис. 1.40, *б* изображены два отличающихся по форме входных импульса U_A и U_B. Нетрудно видеть, что на выходе появятся паразитные импульсы в моменты, пока напряжение фронта и среза импульсов U_A и U_B ниже, чем пороговое $U_{пор}$. Такая помеха реально имеет вид «клыков», следующих с удвоенной частотой. Если форма импульсов идеальная (отмечено штриховой линией), то выходное напряжение $U_{вых}$ строго равно 0. Таким образом, перед суммированием цифровые последовательности следует тщательно формировать.

1.11. ТРИГГЕРНЫЕ СХЕМЫ

Триггер — логическое устройство, способное хранить 1 бит данных. (Название единицы информации 1 бит происходит от слов binary digit, т. е. двоичный разряд.) К триггерным принято относить все устройства, имеющие два устойчивых состояния. В основе любого триггера находится кольцо из двух инверторов, показанное на рис. 1.41, *а*. Общепринято это кольцо изображать в виде так называемой защелки, которая показана на рис. 1.41, *б*. Принципиальная схема простейшего триггера-защелки, выполненного на двух инверторах резисторно-транзисторной логики, дана на рис. 1.41, *в*. Цепи входного управления у этой защелки нет.

После подачи на триггер напряжения питания состояния его транзисторов могут быть равновероятны: либо насыщен транзистор VT1, а VT2 находится в состоянии отсечки, либо наоборот. Эти состояния устойчивы. Защелка не может работать как мультивибратор. Пусть по каким-то причинам при включении питания на коллекторе одного из транзисторов, например VT1, коллекторное напряжение снижается, тем самым уменьшается базовый ток $I_{Б2}$ транзистора VT2, следовательно, падает и сила его коллекторного тока $I_{К2}$. Из-за этого на коллекторе VT2 напряжение $U_{и.п}—I_{К2}R_{К2}$ должно повыситься. Если это так, то должен еще быстрее возрастать базовый ток $I_{Б1}$ транзистора VT1, ускоряя его переход к состоянию насыщения. Этот процесс идет быстро,

лавинообразно. Он называется регенеративным. Процесс окончится, когда перестанет изменяться коллекторный ток транзистора VT1 и он перейдет в состояние насыщения. Транзистор VT2 окажется в состоянии отсечки.

Дальнейшее изменение токов I_{K1} и I_{K2} станет невозможным. Поскольку защелка симметрична, выключая и включая питание $U_{и.п}$ можно получить один из двух вариантов устойчивого состояния транзисторов в защелке. Если считать, что напряжение низкого уровня соответствует логическому 0, обнаруживаем, что запись данных в защелку способом включения и выключения питания даст равновероятный, а поэтому неопределенный результат: 1,0 или 0,1. Однозначную запись 1 бита информации в защелку можно осуществить, если снабдить ее цепями управления и запуска.

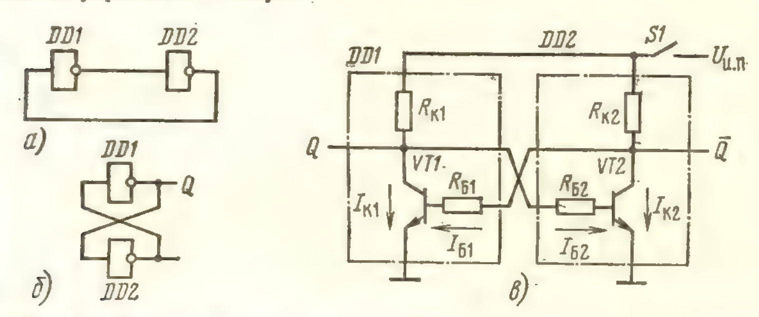


Рис. 1.41. Кольцо из двух инверторов *(а)*, изображение бистабильного элемента-защелки *(б)*, схема двухтранзисторной защелки *(в)*

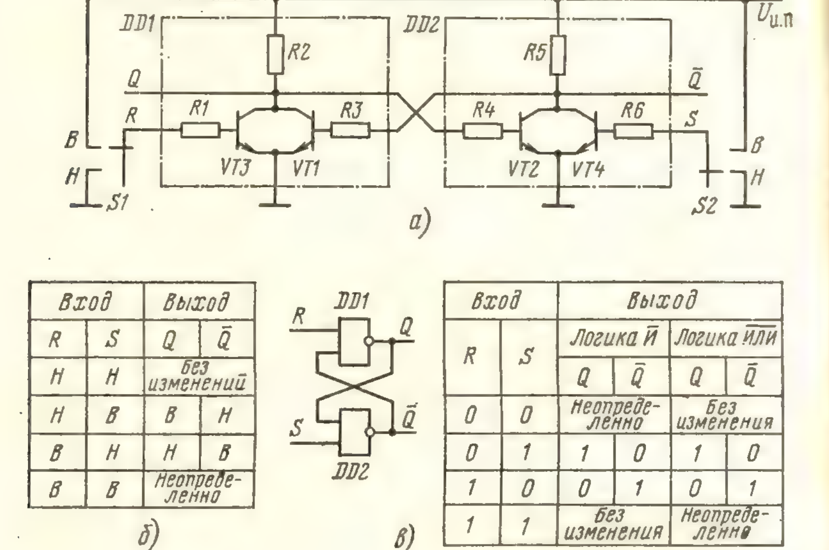
В настоящее время существует много разновидностей триггерных схем. Все они появились как результат разработки новых цепей запуска. Для записи данных, т. е. переключения состояния триггера, могут использоваться: статический запуск уровнями напряжения, запуск только одним, положительным или отрицательным перепадом импульса, а также запуск полным тактовым импульсом, когда используются его фронт и срез. Известны триггеры с подачей запускающего перепада через конденсатор, т. е. импульсный запуск только по переменной составляющей тактовой последовательности.

Для формирования сигналов управления триггерами используются часто логические элементы со свойствами триггера Шмитта (см. § 1.9).

На рис. 1.42, *а* показана принципиальная схема RS-триггера, которая содержит защелку (транзисторы VT1 и VT2), а также два раздельных статических входа управления (транзисторы VT3 и VT4). Эти входы управления называются R (reset — сброс) и S (set — установка). Иногда входы R и S называют по-другому: clear — очистка (сброс) и preset — предварительная установка соответственно. Ко входам раздельного статического запуска триггера R и S присоединены управляющие переключатели S1 и S2. Поскольку от каждого из них на входы можно подать напряжение низкого Н или высокого В уровней, то имеется четыре комбинации этих управляющих сигналов. Они перечислены в колонках R и S таблицы состояний RS-триггера (рис. 1.42, *б*). Если

от S1 и S2 подать на оба входа R и S напряжение низкого уровня (Н, Н), то транзисторы VT3 и VT4 открывающих токов не получат, будут разомкнуты и поэтому не смогут повлиять на состояние транзисторов защелки VT1 и VT2. Напряжения на выходах триггера Q и $\overline{Q}$ останутся без изменения. Это значит, что в триггере осталась информация, записанная ранее.

Переведем движок переключателя S2 в положение В (высокое входное напряжение), оставив S1 в Н (низкое). Теперь транзистор VT4 будет насыщен, он замкнется и окажется низким напряжением на коллекторе присоединенного в параллель ему транзистора VT2. На входе Q будет также напряжение низкого уровня. Транзистор VT1 больше не получит от выхода $\overline{Q}$ открывающий базовый ток, поэтому он перейдет в состояние отсечки. По этой причине на выходе Q появляется напря-



Вход		Выход	
R	S	Q	$\overline{Q}$
Н	Н	без изменений	
Н	В	В	Н
В	Н	Н	В
В	В	Неопределенно	

Вход		Выход			
R	S	Логика $\overline{И}$		Логика $\overline{ИЛИ}$	
		Q	$\overline{Q}$	Q	$\overline{Q}$
0	0	Неопределенно		Без изменения	
0	1	1	0	1	0
1	0	0	1	0	1
1	1	Без изменения		Неопределенно	

Рис. 1.42. RS-триггеры

жение высокого уровня (транзистор VT3 от переключателя S1 ток смещения не получает и на этот процесс в триггере не влияет). Данное состояние транзисторов VT1 и VT2 будет зафиксировано, защелкнуто.

Поменять напряжения на выходах Q и $\overline{Q}$ можно, если перевести движки переключателей S1 и S2 в положения В и Н соответственно (см. третью строку таблицы на рис. 1.42, *б*). Наконец, возможно четвертое состояние переключателей S1 и S2: оба их движка переводятся в состояние В. Такой входной сигнал RS-триггер зафиксировать не может. Действительно, в этом случае, когда S1=S2=В, на обоих выходах

Q и $\overline{Q}$ должно появиться напряжение низкого уровня. Но если S1 и R2 строго одновременно отсоединить от входов, триггер переключится в неопределенное состояние. Иначе, после исчезновения входного состояния В,В защелка не переключается однозначно. Таким образом, два логических уровня В,В одновременно на входы R и S подавать нельзя.

На рис. 1.42, *в* показано функциональное обозначение RS-триггера, составленного из двух двухвходовых инверторов. Такой триггер можно строить на элементах $\overline{\text{И}}$ и на элементах $\overline{\text{ИЛИ}}$. На рис. 1.42, *г* дана таблица логических состояний для RS-триггеров, построенных на элементах $\overline{\text{И}}$ и $\overline{\text{ИЛИ}}$. Строки состояний «Без изменения» и «Неопределенно» здесь меняются местами в зависимости от выбранного соответствия 1 и 0 напряжениям высокого и низкого уровня.

Таким образом, RS-триггер имеет два раздельных статических входа управления, чтобы можно было записывать и хранить 1 бит информации. Вместе с тем, известно, что триггерные ячейки — это основа многих динамических устройств, главные из которых: делители частоты, счетчики и регистры. В этих устройствах записанную ранее информацию по специальному сигналу, называемому тактовым, следует передать на выход и переписать в следующую ячейку. Для осуществления такого режима RS-триггер необходимо снабдить тактовым входом С (clock).

Предварительно рассмотрим принципиальную схему так называемого Т-триггера (toggle — переключатель), выполняющего лишь одну функцию: он может делить частоту тактовой последовательности, подаваемой на вход С в 2 раза. Принципиальная схема Т-триггера, содержащего два инвертора DD1.1 и DD1.2 популярной в 50—60-е годы резистивно-емкостной логики (РЕТЛ), показана на рис. 1.43, *а*. Схему такто-

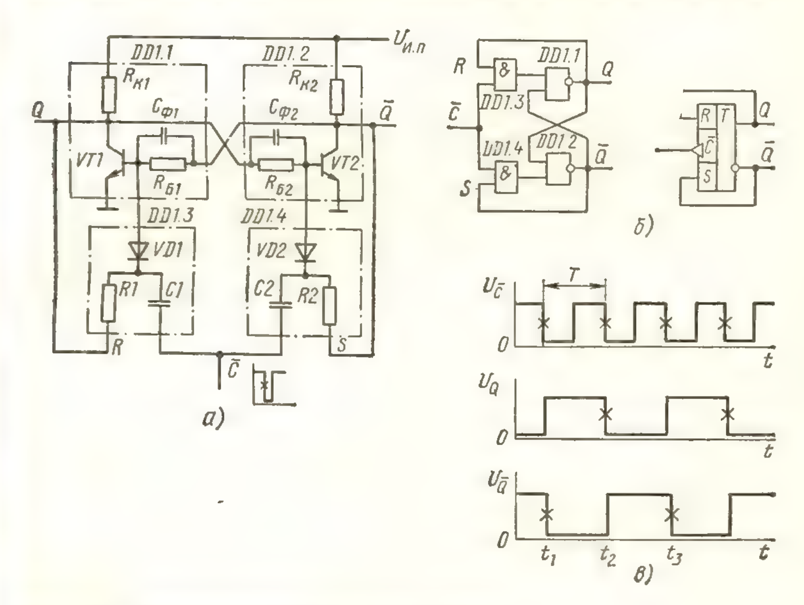


Рис. 1.43. Триггер-делитель на два (Т-триггер)

вого запуска здесь образуют два резисторно-конденсаторных логических элемента И без инверсии (DD1.3 и DD1.4). Функциональная схема этого Т-триггера показана на рис. 1.43, *б*.

Для начала анализа работы Т-триггера положим, что в интервале времени от 0 до t_1 (рис. 1.43, *в*) транзистор VT1 насыщен, его база получает избыточный ток от положительного полюса $U_{и.п}$ через резисторы $R_{б1}$ и $R_{к2}$; транзистор VT2 разомкнут. Тогда на выходе Q напряжение низкого уровня не должно превышать 0,3 В. На выходе $\overline{Q}$ будет напряжение высокого уровня $U_{\overline{Q}} \approx U_{и.п}$. Следовательно, диод VD2 надежно закрыт, поскольку на его катоде присутствует большой положительный потенциал. Диод VD1 не закрыт. Обратим внимание также на то, что формирующий конденсатор $C_{ф1}$ заряжен до напряжения, существенно превышающего напряжение на втором таком же конденсаторе $C_{ф2}$.

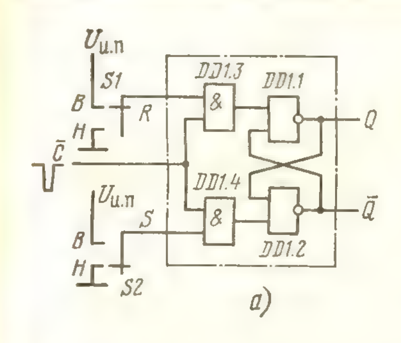
Таким образом, зная эти начальные условия, ждем прихода первого отрицательного перепада тактового импульса $\overline{C}$ в момент t_1. Вызванный им отрицательный перепад тока выведет транзистор VT1 из состояния насыщения, поскольку скачок отрицательного (закрывающего) базового тока пройдет через незакрытый диод VD1 и конденсатор C1. Отметим, что через закрытый диод VD2 никакой скачок тока пройти не может. Поскольку скачок закрывающего базового тока транзистору VT1 был дан, должен уменьшиться и его коллекторный ток, что вызовет положительный перепад напряжения на коллекторе, т. е. на выходе Q. Далее, уже без влияния цепи запуска в RS-защелке происходит регенеративный процесс переброса, т. е. смены состояний транзисторов. Этот процесс идет однонаправленно и не останавливается с окончанием отрицательного перепада входного запускающего импульса $\overline{C}$, что гарантируется неравенством начальных зарядов конденсаторов $C_{ф1}$ и $C_{ф2}$. Эти заряды мгновенно измениться не могут, поэтому конденсаторы $C_{ф1}$ и $C_{ф2}$ выполняют роль памяти предыдущего состояния. Но, как показал опыт, емкость форсирующих конденсаторов не должна превышать 30...50 пФ, чтобы процесс не гасился избыточным током запуска.

Таким образом, по окончании регенерации в RS-защелке на выходе Q напряжение будет высоким, а на $\overline{Q}$ — низким (отрезок времени от t_1 до t_2). В этот период изменилось состояние диодов, распределяющих тактовые перепады: VD1 теперь заперт, а VD2 открыт, т. е. именно он готов передать RS-защелке очередной отрицательный перепад тактовой последовательности импульсов $\overline{C}$. После прихода в момент t_2 второго отрицательного перепада состояния выходов Q и $\overline{Q}$ вновь изменятся: и закроется диод VD2, третий отрицательный перепад тактовой последовательности пройдет через диод VD1. Цикл работы Т-триггера на этом закончится.

Сигналы на выходах Q и $\overline{Q}$ имеют частоту повторения, в 2 раза меньшую, чем исходная тактовая последовательность $\overline{C}$ (сравните частоты повторения отрицательных фронтов на графиках $U_{\overline{C}}$, U_Q и $U_{\overline{Q}}$ (рис. 1.43, *в*). Таким образом, Т-триггер делит частоту входного сигнала в 2 раза, переключается отрицательным перепадом тактового импульса. Запуск отрицательным перепадом отмечен знаком инверсии $\overline{C}$.

Рассмотренный Т-триггер несложно превратить в так называемый RST-триггер (рис. 1.44, *а*). Для этого разомкнем его внешние цепи обратных связей от выходов на цепь запуска Q—R и $\overline{Q}$—S. Ко входам R

и S присоединим управляющие переключатели S1 и S2 (см. также рис. 1.43, *б*). Теперь еще до подачи перепада тактового импульса $\bar{C}$ в триггер можно записать две комбинации напряжений высоких и низких уровней, как и для RS-триггера (рис. 1.42, *б*). Записанная информация будет храниться в защелке до прихода тактового перепада $\bar{C}$, и после прихода его триггер переключится. Полученный импульсный перепад выходных сигналов Q и $\bar{Q}$ будет однозначным. Бит информации в момент перепада появится на выходах RS-защелки. В данном случае его можно использовать для переключения последующего триггера.



Вход		Выход		Выход после импульса $\bar{C}$	
До импульса $\bar{C}$					
R	S	Q	$\bar{Q}$	Q	$\bar{Q}$
Н	Н	Н или В	В или Н	В или Н	Н или В
Н	В	В	Н	Н	В
В	Н	Н	В	В	Н
В	В	Неопределенно			

б)

Рис. 1.44. Раздельное, статическое управление тактируемым триггером по входам R и S

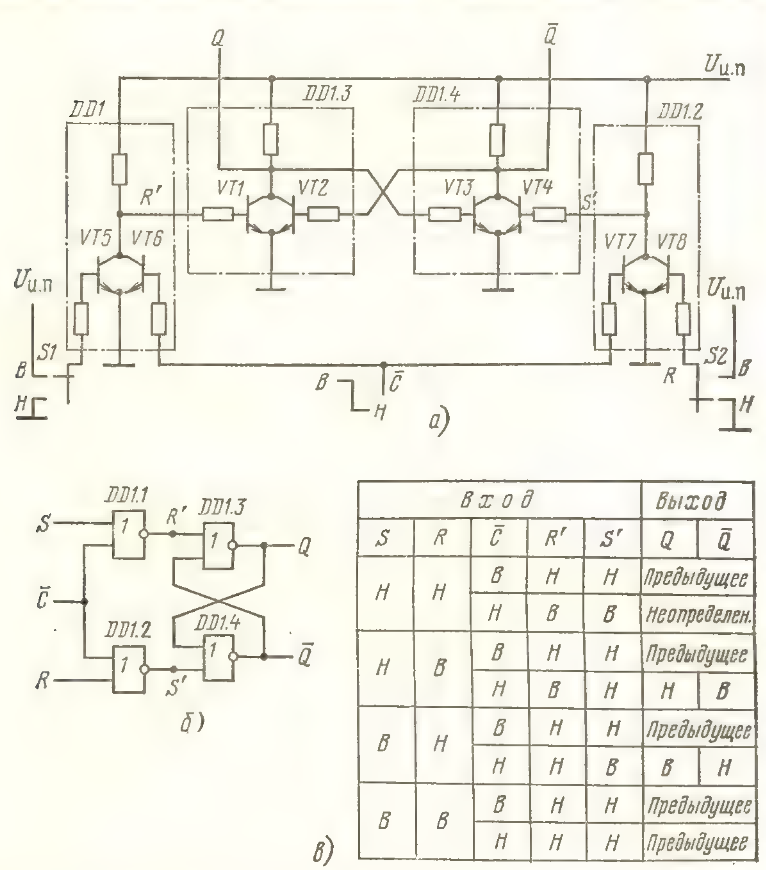
Таблица состояний RST-триггера (рис. 1.44, *б*) показывает, что если на R и S входы поданы напряжения низких уровней, в триггере сохранится предыдущая информация. Она изменится на выходах на противоположную после прихода тактового импульса $\bar{C}$. Подавать одновременно на статические входы два напряжения высоких уровней нельзя, поскольку аналогично RS-защелке выходной отклик окажется неопределенным. Этот основной недостаток RST-триггера послужил в свое время отправной точкой дальнейшего совершенствования методов запуска RS-защелки.
низкого уровня, поскольку насыщаются транзисторы VT6 и VT7. На двухвходовые инверторы. Получается принципиальная схема RST-триггера на элементах РТЛ (рис. 1.45, *а*). Функциональная схема его приведена на рис. 1.45, *б*, а таблица состояний на рис. 1.45, *в*. При напряжении высокого уровня на входе $\bar{C}$ (на входах R и S могут быть любые уровни) в промежуточных точках R′ и S′ появляются напряжения низкого уровня, поскольку насыщаются транзисторы VT6 и VT7. На RS-защелку (элементы DD1.3 и DD1.4) прохождение управляющих сигналов R и S запрещено. В защелке хранится предыдущее ее состояние.

Если одновременно на входы R и S подать напряжение высокого уровня, то в точках S′ и R′ будет напряжение низкого уровня, и действие тактового входа $\bar{C}$ будет запрещено. На выходах отобразится предыдущее состояние защелки. Когда на входах R и S зафиксировано напряжение низкого уровня и такое же напряжение поступит на вход $\bar{C}$, в точках S′ и R′ появятся одновременно два напряжения вы-

сокого уровня. Такую логическую информацию RS-защелка не примет (неопределенность). Присутствующие на входах R и S взаимно противоположные уровни позволяют после прихода тактового импульса $\overline{C}$ установить на выходах Q и $\overline{Q}$ наперед заданную комбинацию уровней: Q=H, $\overline{Q}$=B, и наоборот.

Наиболее универсален JK-триггер. В его таблице состояний устраняется строчка неопределенности.

Предварительно рассмотрим принцип действия T-триггера, построенного на элементах не с динамическими, а с потенциальными входами. Для этого включим в режиме T-триггера ранее изученный RST-триггер (рис. 1.45, *б*). Схема такого включения показана на рис. 1.46, *а*. По сравнению с схемой T-триггера (рис. 1.43, *б*) полярность связей выходов и входов здесь противоположная. Разделим схему T-триггера на

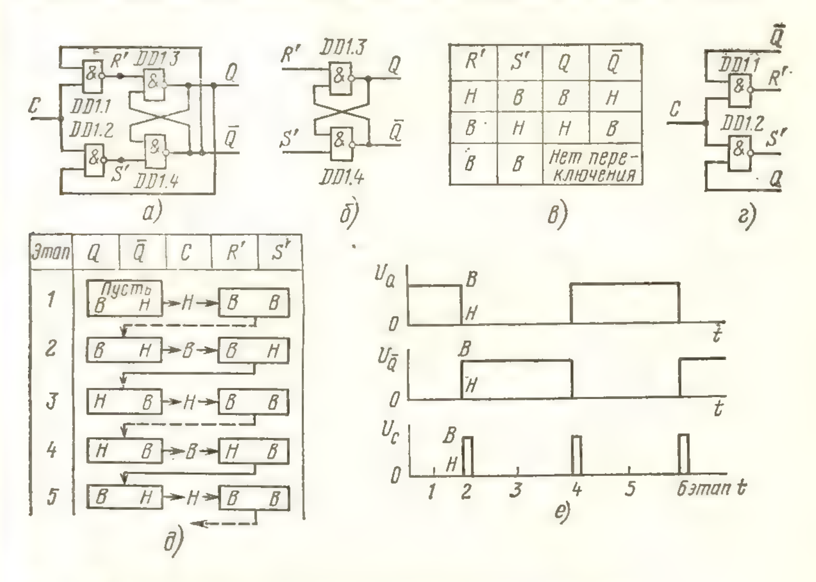


Вход					Выход	
S	R	$\overline{C}$	R'	S'	Q	$\overline{Q}$
H	H	B	H	H	Предыдущее	
		H	B	B	Неопределен.	
H	B	B	H	H	Предыдущее	
		H	B	H	H	B
B	H	B	H	H	Предыдущее	
		H	H	B	B	H
B	B	B	H	H	Предыдущее	
		H	H	H	Предыдущее	

Рис. 1.45. RST-триггер на элементах РТЛ

две части: RS-защелку (элементы DD1.3 и DD1.4 на рис. 1.46, *б*) и логику управления (элементы DD1.1 и DD1.2, на рис. 1.46, *г*).

Предположим, что схема (рис. 1.46, *а*) построена на ТТЛ элементах, активный включающий уровень для которых — низкий. Тогда согласно таблице состояний R′S′-защелки (рис. 1.46, *в*) входные уровни R′=S′=B не должны вызывать ее переброса. Для схемы управления на рис. 1.46, *г* напряжение высокого уровня, поданное на вход C, разрешает прохождение на выходы R′ и S′ сигналам Q и $\bar{Q}$. При C=H на выходах R′ и S′ установятся напряжения высокого уровня, которые не могут перебросить защелку (см. таблицу состояний на рис. 1.46, *в*).



R′	S′	Q	$\bar{Q}$
H	B	B	H
B	H	H	B
B	B	Нет переключения	

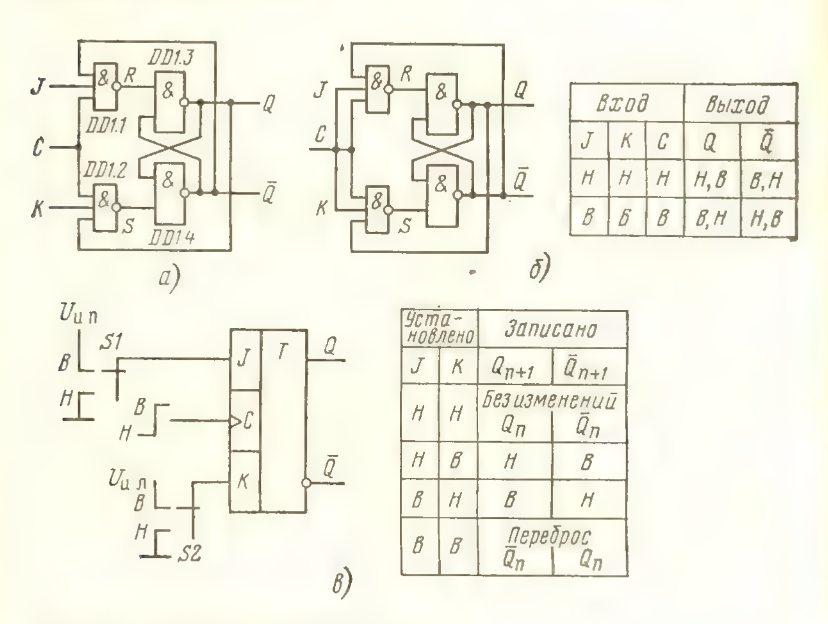
Этап	Q	$\bar{Q}$	C	R′	S′
1	B (Пусть)	H	H	B	B
2	B	H	B	B	H
3	H	B	H	B	B
4	H	B	B	H	B
5	B	H	H	B	B

Рис. 1.46. Т-триггер с обратными связями через инверторы

В таблице состояний на рис. 1.46, *д* и на диаграмме сигналов рис. 1.46, *е* отмечены этапы работы Т-триггера. На первом, исходном этапе полагаем, что Q=B и $\bar{Q}$=H. Подаем на тактовый вход C напряжения низкого уровня: C=H. Отмечаем, что на первом этапе R′=B и S′=B. Такая комбинация сигналов не перебрасывает защелку. К началу второго этапа запишем прежние состояния выходов Q=B и $\bar{Q}$=H. Подадим на вход C напряжение высокого уровня. Теперь сигналы управления станут R′=B и S′=H, что вызовет перемену выходных состояний защелки, т. е. Q=H и Q=B. Эти состояния переносим в таблице на начало третьего этапа и даем на тактовый вход сигнал C=H, который, как и на первом этапе, не вызовет переброса защелки. На начало четвертого этапа состояния Q=H и $\bar{Q}$=B сохраняются, но положительный перепад тактового импульса перебросит триггер (как и на втором этапе). Триггер переключается с приходом каждого положительного

перепада тактовой последовательности прямоугольных импульсов. На основании этих данных построена осциллограмма работы Т-триггера из элементов ТТЛ (рис. 1.46, *е*).

На рис. 1.47, *а* показана схема простейшего JK-триггера. От RST-триггера (рис. 1.45, *а*) он отличается двумя обратными связями, которые устраняют неопределенность в таблице состояний. Назначение входов J и K такое же, как и входов R и S (сброс и установка). Буквы J и K были выбраны в свое время авторами как соседние в алфавите (сравните R и S).



Вход			Выход	
J	K	C	Q	Q̄
Н	Н	Н	Н,В	В,Н
В	Б	В	В,Н	Н,В

Установлено		Записано	
J	K	Q_{n+1}	$\bar{Q}_{n+1}$
Н	Н	Без изменений Q_n	$\bar{Q}_n$
Н	В	Н	В
В	Н	В	Н
В	В	Переброс $\bar{Q}_n$	Q_n

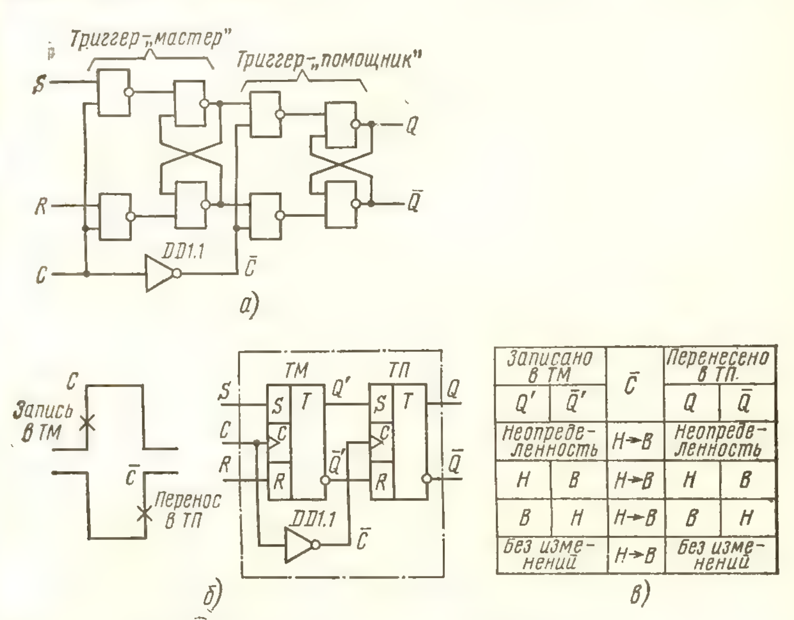
Рис. 1.47. Триггер со входами J и K

Если входы J, C и K объединить (рис. 1.47, *б*), получим схему ранее рассмотренного Т-триггера (рис. 1.46, *а*), если входы элементов ТТЛ DD1.1 и DD1.2 равноправны. Следовательно, как только на объединенный вход C поступит напряжение высокого уровня (после низкого), состояние выходов Q и $\bar{Q}$ изменится. Вход C можно от общей точки отключить, и в этом случае входная комбинация J=В и K=В переключит триггер: объединенные входы J и K выступят в роли отомкнутого входа C. Таким образом, неопределенности на выходах триггера при обоих высоких входных уровнях в JK-триггере не существует.

На рис. 1.47, *в* показана схема управления JK-триггером и его таблица состояний, в которой две графы: установлено (делается в момент t_n) и записано (анализируется состояние выходов после прихода тактового перепада в последующий момент t_{n+1}). При входных сигналах J=Н и K=Н состояние выходов не меняется, оно сохраняется таким, каким было в момент установки t_n. Напомним, что напряжение

низкого уровня на одном входе элемента ТТЛ отменяет прохождение сигналов от других его входов и удерживает сигнал на высоком уровне.

Когда через входы J и K в момент t_n загружаем взаимно противоположные уровни, то в последующий момент t_{n+1} выходы JK-триггера устанавливаются в такие же состояния, как и RS-триггер. Последняя строка таблицы на рис. 1.47, *в* отображает, что при подаче на входы J и K одновременно напряжений высокого уровня (входы можно просто объединить), триггер перебрасывается, переходит в состояние, противоположное предыдущему. Например, если было Q_n=В, $\bar{Q}_n$=Н, то станет Q_{n+1}=Н и $\bar{Q}_{n+1}$=В.



Записано в ТМ		$\bar{C}$	Перенесено в ТП	
Q'	$\bar{Q}'$		Q	$\bar{Q}$
Неопределенность		Н→В	Неопределенность	
Н	В	Н→В	Н	В
В	Н	Н→В	В	Н
Без изменений		Н→В	Без изменений	

Рис. 1.48. Двухступенчатый RS-триггер «мастер-помощник»

Для надежной и четкой работы триггерных ячеек в многоразрядных устройствах (регистрах, счетчиках) предназначены двухступенчатые триггеры, называемые master — slave, что лучше всего переводится как «мастер — помощник» (слово master имеет еще одно значение: хозяин). Структурная схема такого триггера, состоящего из двух RST-триггеров, показана на рис. 1.48, *а*. Входы С обоих триггеров ТМ (мастера) и ТП (помощника) соединены между собой через инвертор DD1.1.

На рис. 1.48, *б* показано, что составным триггером ТМ — ТП управляет полный (с фронтом и срезом) тактовый импульс С. Действительно, если каждый из триггеров имеет установку положительным перепадом, входная RS-комбинация будет записана в ТМ в момент прихода положительного перепада тактового импульса С. В этот момент в ТП информация попасть не может. Когда придет отрицательный пе-

репад входного импульса C, на выходе инвертора DD1.1 он появится как положительный. Следовательно, положительный перепад импульса $\bar{C}$ перепишет данные от выходов Q′ и $\bar{Q}'$ в ТП. Таблица состояний двухступенчатого RST-триггера показана на рис. 1.48, *в*.

Двухфазный способ управления полным тактовым импульсом C применяется и для двухступенчатых JK-триггеров (рис. 1.49, *а*). Этот триггер, как и простой JK-триггер, имеет обратные связи с выходов на входы, исключающие неопределенное логическое состояние. Схема простейшего двухступенчатого JK-триггера показана на рис. 1.49, *б*. Защелка ТМ состоит из элементов DD1.2 и DD1.3. Элементы DD1.1 и DD1.4 — входные ключи, с которых снимается сигнал $\bar{C}$ для управ-

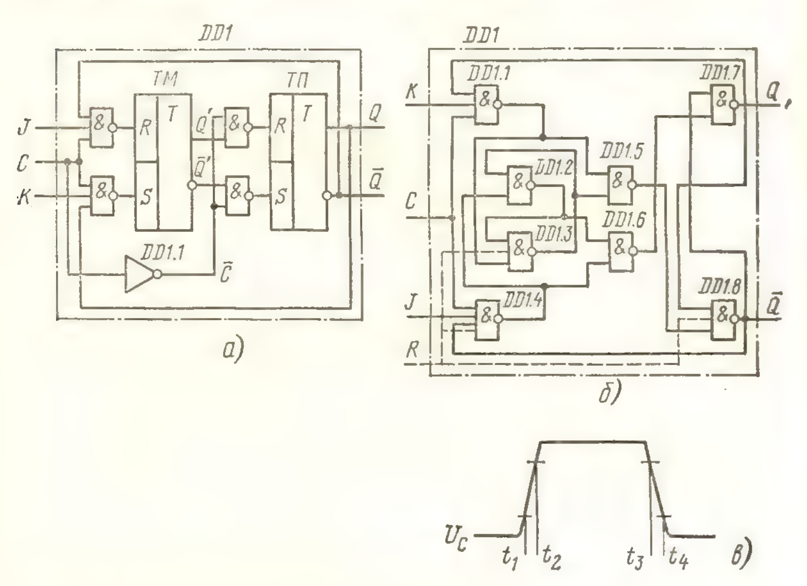


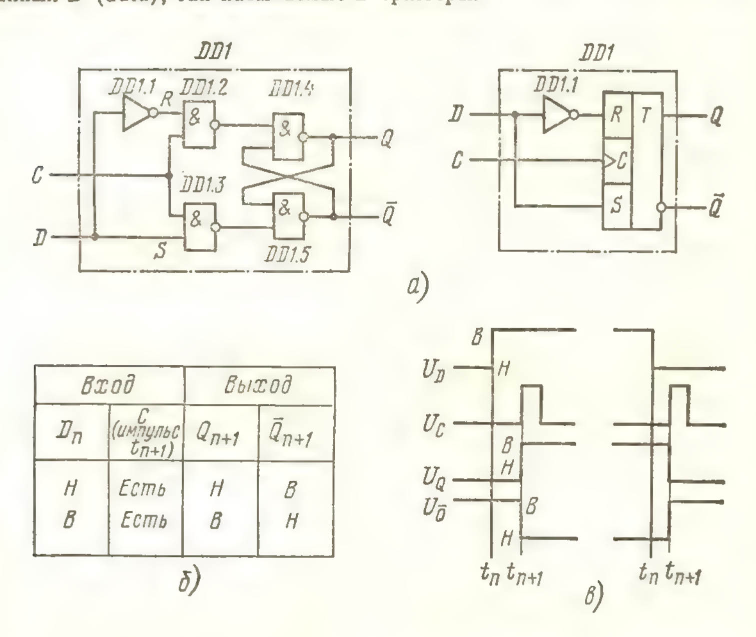
Рис. 1.49. Двухступенчатый JK-триггер

ления ТП, защелка RS которого построена на элементах DD1.7 и DD1.8. Сигналы управления подаются на ТП через DD1.5 и DD1.6. Триггер может иметь вход общего сброса данных R, который для этой схемы иногда в литературе называют clear. Многие JK-триггеры имеют также вход предварительной установки S (другое название preset), симметричный входу R, что создает дополнительные входы у элементов DD1.1, DD1.2 и DD1.7.

На рис. 1.49, *в* показана осциллограмма переключающего импульса, на которой отмечены этапы работы составного триггера. В момент t_1 ТП изолирован от ТМ; в момент t_2 разрешается прием данных входами ТМ. С приходом отрицательного перепада импульса в момент t_3 запрещается прием данных входами ТМ, а в момент t_4 заканчивается перенос данных из ТМ в ТП. Таким образом, замечательное свойство двухфазного управления состоит в том, что входы приема данных за период

тактового импульса, т. е. во время загрузки 1 бита информации, не имеют сквозной связи с выходными цепями. Изоляция входов и выходов обеспечивает устойчивое переключение сложного триггера, если частота тактовых импульсов нестабильна (дрожит).

Наиболее часто в цифровых интегральных микросхемах, а также в импульсных устройствах применяют триггеры с единственным входом данных D (data), так называемые D-триггеры.



Вход		Выход	
D_n	C (импульс t_{n+1})	Q_{n+1}	$\bar{Q}_{n+1}$
Н	Есть	Н	В
В	Есть	В	Н

Рис. 1.50. Триггер со входом D

Одна из причин их появления была в том, что число выводов у корпусов микросхем ранних разработок не превышало 14, а стоимость многовыводного корпуса составляла значительную часть от стоимости готовой микросхемы. Для D-триггера требуется всего четыре внешних вывода: вход данных D, тактовый вход C, два выхода Q и $\bar{Q}$ (один из них может отсутствовать). Схема D-триггера (рис. 1.50, *а*) отличается от схемы RST-триггера (рис. 1.45, *б*) наличием инвертора DD1.1, добавленного между входами S и R. Теперь состояние неопределенности для входов R и S исключается, так как инвертор DD1.1 формирует на входе R сигнал $\bar{S}$.

Согласно таблице логических состояний D-триггера (рис. 1.50, *б*) в некоторый момент времени t_n на вход D можно подать напряжения низкого или высокого уровня. Если в последующий момент t_{n+1} придет положительный перепад тактового импульса, состояния на выходах Q_{n+1} и $\bar{Q}_{n+1}$ будут соответствовать табл. 1.50, *б*. На рис. 1.50, *в* показа-

ны диаграммы записи в D-триггер напряжений высокого и низкого входных уровней и их считывание. Непременное условие правильной работы D-триггера — это наличие защитного интервала времени после прихода запускающего импульса U_D перед тактовым U_C (интервал времени $t_{n+1} - t_n$ оговаривается справочными данными на D-триггер).

Если снабдить D-триггер цепью обратной связи, соединяющей выход $\bar{Q}$ со входом D, он станет работать как T-триггер, т. е. делитель частоты в 2 раза. Действительно, нетрудно видеть, что делитель на рис. 1.51, *а* по фазировке сигналов соответствует T-триггеру, рассмотренному на рис. 1.46, *а*. На рис. 1.51, *б* показаны осциллограммы работы делителя на два частоты тактовой последовательности U_C.

В заключение рассмотрим несколько схем взаимного преобразования триггеров. На рис. 1.52, *а* — *в* показаны схемы делителей частоты на RST-, D- и JK-триггерах соответственно. Триггер D можно преобразовать в T (делитель на 2), снабдив делитель дополнительным входом

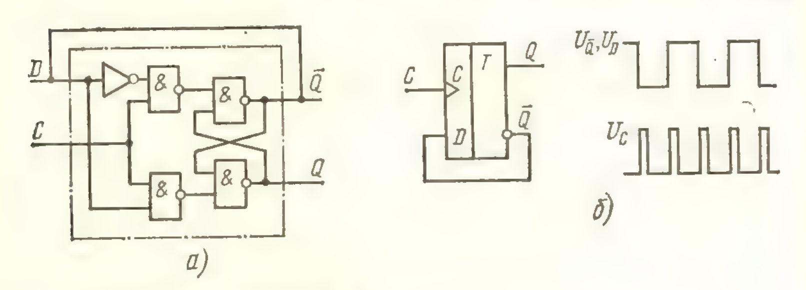


Рис. 1.51. Счетчик-делитель на 2:

а — структурная схема; *б* — применение D-триггера для деления на 2

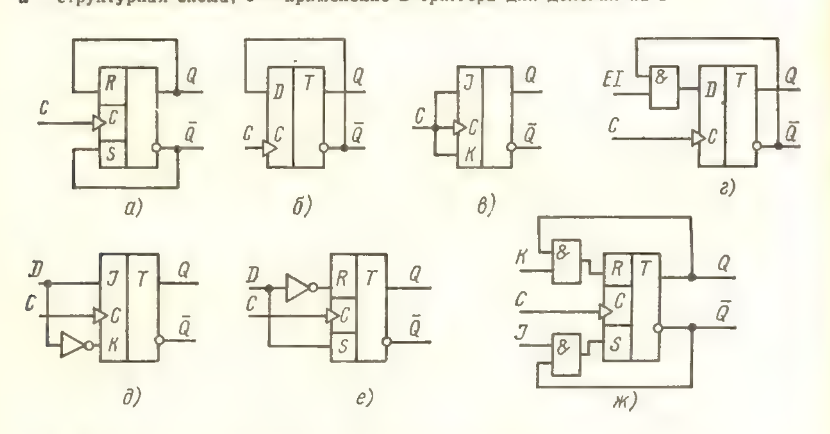


Рис. 1.52. Схемы взаимного преобразования триггеров:

а — из RS в T; *б* — из D в T; *в* — из JK в T; *г* — T-триггер со входом разрешения EI; *д* — JK в D; *е* — RST в D; *ж* — RST в JK

разрешения EI (рис. 1.52, *г*). В режиме D-триггера можно использовать JK- и RST-триггеры (рис. 1.52, *д*, *е*). Из RST-триггера можно получить JK-триггер по схеме (рис. 1.52, *ж*).

1.12. RS- И D-ТРИГГЕРЫ

В составе серий ТТЛ выпускаются микросхемы, содержащие RS-, D- и JK-триггеры. Как правило, эти микросхемы многоканальные. Несколько триггеров имеют общие выводы питания и некоторые объединенные входы управления. На многотриггерных микросхемах можно самостоятельно проектировать устройства: делители частоты, регистры, память малой емкости.

Микросхема К555ТР2 (рис. 1.53) содержит четыре RS-триггера, причем два из них имеют по два входа установки $\bar{S}$. Для входа сброса $\bar{R}$ активный уровень низкий. Если на входы триггера $\bar{S}1$, $\bar{S}2$ и $\bar{R}$ подать

Таблица 1.20. **Состояния триггера из микросхемы К555ТР2**

Вход			Выход Q
$\bar{S}1$	$\bar{S}2$	$\bar{R}$	
Н	Н	Н	В
Н	х	В	В
х	Н	В	В
В	В	Н	Н
В	В	В	Без изменения

Рис. 1.53. Микросхема К555ТР2

одновременно напряжение низкого уровня, то на выходе Q появится напряжение высокого уровня (см. табл. 1.20). Однако это состояние не будет зафиксировано, «защелкнуто»: если входные уровни Н убрать, на выходе Q появится неопределенное состояние. При подаче на входы напряжений высоких уровней напряжение на выходе Q останется без изменения.

Ток потребления микросхемы К555ТР2 7 мА. Время задержки распространения сигнала от входа S до выхода Q равно: при включении (при переходе выходного сигнала на уровень Н) 22 нс, а при выключении (к уровню В) 15 нс. Аналогичная задержка для входа R 27 нс (от уровня В к Н). Соответствующая зарубежная микросхема имеет наименование 74 LS 279.

Микросхемы ТТЛ, содержащие наборы триггеров, перечислены в табл. 1.21.

Микросхемы ТМ2 (рис. 1.54) содержат два независимых D-тригге-

Таблица 1.21. D-триггеры ТТЛ

Серия	Обозначение	Номер микросхемы				
		2	5	7	8	9
К155	ТМ	+	+	+	+	
КМ155		+	+	+		
К555						+
КМ555		+		+	+	+
К531		+			+	+
74	—	74	77	75	175	174

ра, имеющих общую цепь питания. У каждого триггера есть входы D, $\overline{S}$ и $\overline{R}$, а также комплементарные выходы Q и $\overline{Q}$ (см. рис. 1.54, *а*). Входы $\overline{S}$ и $\overline{R}$ — асинхронные, потому что они работают (сбрасывают состояние триггера) независимо от сигнала на тактовом входе; активный уровень для них — низкий. Сигнал от входа D передается на выходы Q и $\overline{Q}$ по положительному перепаду импульса на тактовом входе C (от Н к В). Чтобы триггер переключился правильно (т. е. согласно табл. 1.22), уровень на входе D следует зафиксировать заранее, перед приходом тактового перепада. Защитный интервал должен превышать время задержки распространения сигнала в триггере. Если на входы $\overline{S}$ и $\overline{R}$ триггеров ТМ2 одновременно подаются напряжения низкого уровня, состояние выходов Q и $\overline{Q}$ окажется неопределенным. Загрузить в триг-

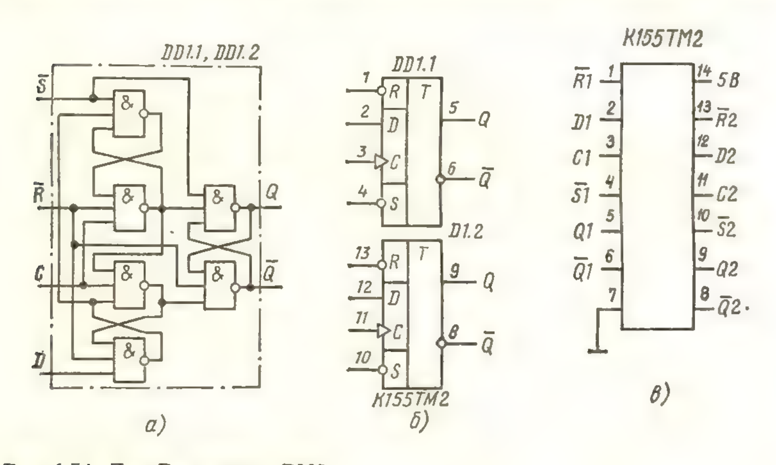


Рис. 1.54. Два D-триггера ТМ2:

а — структурная схема одного канала; *б* — функциональная схема; *в* — цоколевка

Таблица 1.22. Состояния триггера из микросхем ТМ2

Режим работы	Вход				Выход	
	$\bar{S}$	$\bar{R}$	C	D	Q	$\bar{Q}$
Асинхронная установка	Н	В	х	х	В	Н
Асинхронный сброс	В	Н	х	х	Н	В
Неопределенность	Н	Н	х	х	В	В
Загрузка 1 (установка)	В	В	↑	в	В	Н
Загрузка 0 (сброс)	В	В	↑	н	Н	В

гер входные уровни В или Н (т. е. 1 или 0) можно, если на входы $\bar{S}$ и $\bar{R}$ подать напряжения высокого уровня.

Асинхронная установка нужного сочетания уровней на выходах получится, когда на входы $\bar{S}$ и $\bar{R}$ поданы взаимно противоположные логические сигналы. В это время входы С и D отключены. Функциональное обозначение триггеров микросхемы ТМ2 показано на рис. 1.54, *б*; ее цоколевка — на рис. 1.54, *в*.

Микросхемы ТМ5 (рис. 1.55) и ТМ7 (рис. 1.56) функционально идентичны, так как обе содержат по две пары D-триггеров. Пары представляют собой простейшие защелки данных по 2 бита. Микросхемы

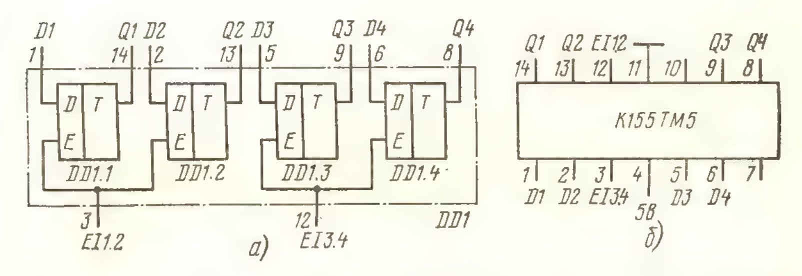


Рис. 1.55. Функциональная схема *(а)* и цоколевка *(б)* четырех D-триггеров ТМ5

различаются по числу выводов корпуса: микросхема ТМ5 расположена в 14-контактном корпусе, поэтому каждый ее триггер имеет только один прямой выход данных Q. Структурная схема одного D-триггера показана на рис. 1.56, *в*. Каждая пара триггеров имеет вход разрешения загрузки EI1.2 и EI3.4. Когда на такой вход разрешения подается напряжение высокого уровня, данные, присутствующие на входах D, без изменения отображаются на выходе Q (табл. 1.23).

В защелке будет зафиксирована (по-другому, в ячейку памяти будет загружена) информация, имевшаяся на входе D, если состояние

входа EI переключить от высокого уровня к низкому. Выход Q находится в текущем состоянии q время время, пока напряжение на входе EI остается низкого уровня. В табл. 1.23 обозначено: q — состояние выхода Q перед приходом защелкивающего перепада на вход EI (от В к Н). При EI=Н состояние входа D безразлично, D=x (т. е. на этом входе могут присутствовать или не присутствовать любые входные уровни).

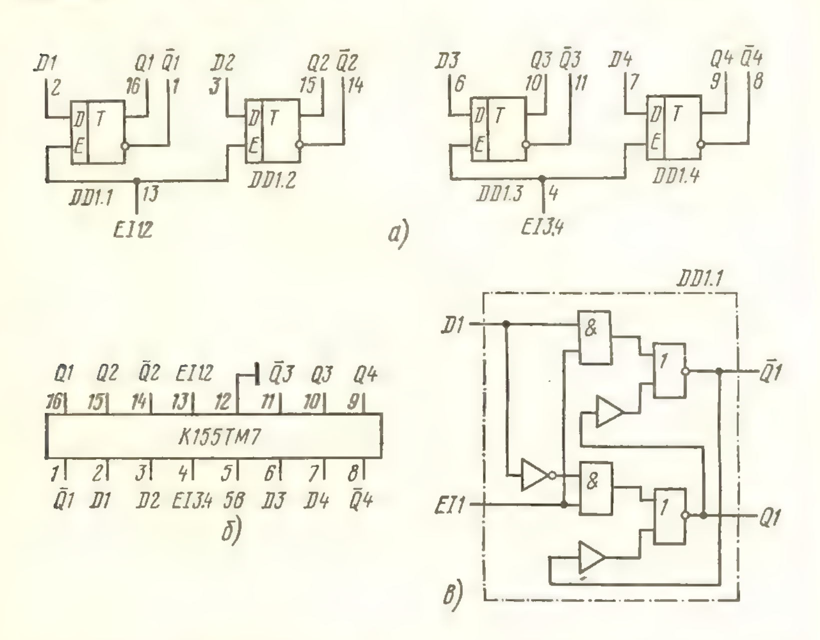


Рис. 1.56. Функциональная схема (*а*), цоколевка четырех D-триггеров ТМ7 (*б*) и схема одного D-триггера из микросхем ТМ5 и ТМ7 (*в*)

Микросхемы ТМ8 и **ТМ9** расположены в 16-контактных корпусах и содержат наборы D-триггеров, имеющих общие входы синхронного сброса $\bar{R}$ и тактового запуска С. В микросхемах ТМ8 число триггеров четыре, у каждого есть выходы Q и $\bar{Q}$. Микросхемы ТМ9 содержат шесть D-триггеров, у которых только один выход Q. Микросхема ТМ8 имеет структуру, показанную на рис. 1.57, *а*. Ее цоколевка приведена на рис. 1.57, *б*. Аналогичные изображения для микросхемы ТМ9 даны на рис. 1.57, *в*, *г*. Режимы работы триггеров в микросхемах ТМ8 и ТМ9 соответствуют табл. 1.24 (напомним, что триггер из ТМ9 выходов $\bar{Q}$ не имеет). Сброс всех триггеров в состояние Q_n=Н произойдет, когда на вход асинхронного сброса $\bar{R}$ будет подано напряжение низкого уровня Н. Входы С и D_n, когда $\bar{R}$=Н, не действуют, их состояние безразлично (x).

Информацию от параллельных входов данных (D1 — D4 для ТМ8

Таблица 1.23. **Состояния триггеров из микросхем ТМ5 и ТМ7**

Режим работы	Вход		Выход	
	EI	D	Q	$\overline{Q}$
Разрешение передачи данных на вход	В	Н, В	Н, В	В, Н
Защелкивание данных	Н	x	q	$\overline{q}$

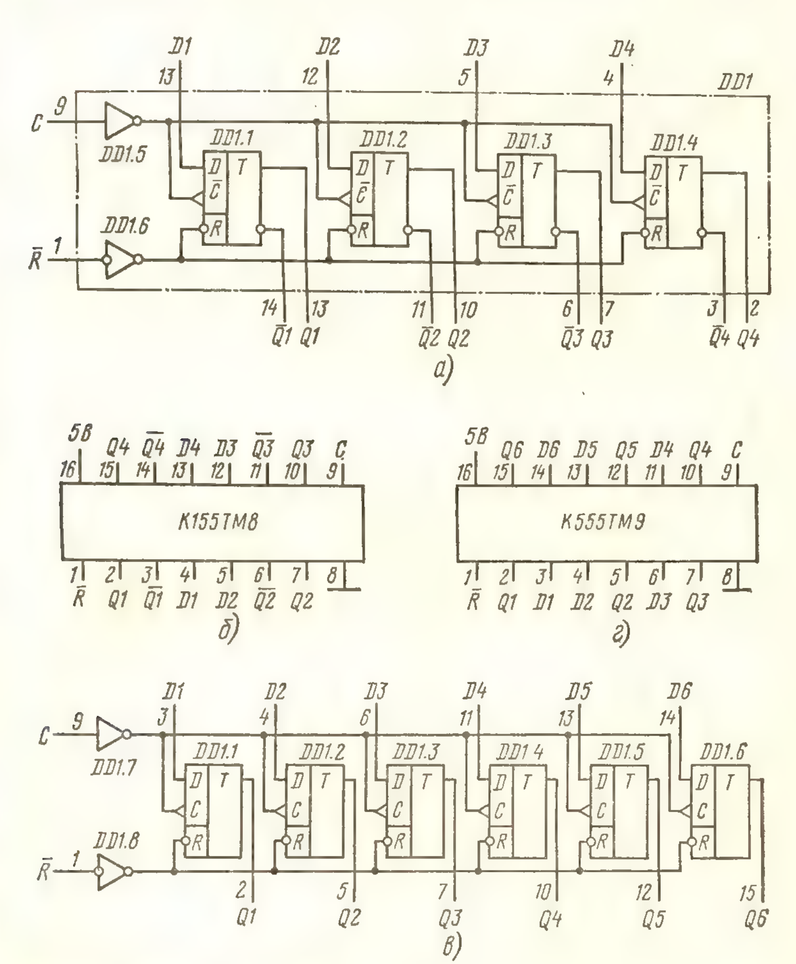


Рис. 1.57. Четыре D-триггера:

а — микросхема ТМ8; *б* — цоколевка ТМ8; *в* — микросхема ТМ9; *г* — цоколевка ТМ9

Таблица 1.24. **Состояния триггеров из микросхем ТМ8 и ТМ9**

Режим работы	Вход			Выход	
	$\bar{R}$	C	D_n	Q_n	$\bar{Q}_n$
Сброс	Н	x	x	Н	В
Загрузка 1	В	↑	в	В	Н
Загрузка 0	В	↑	н	В	В

и D1 — D6 для ТМ9) можно загрузить в триггеры микросхем, если на вход $\bar{R}$ подать напряжение высокого уровня. Тогда на тактовый вход C следует подать положительный перепад импульса и предварительно установленные на каждом входе D напряжения высокого или низкого (в или н) уровня появятся на выходе Q (т. е. В или Н соответственно).

Микросхема К155ТМ8 имеет ток потребления 45 мА, К531ТМ8 96 мА, а К555ТМ8 18 мА. Соответственно их максимальные тактовые частоты составляют 25, 50 и 35 МГц, а время задержки распространения сигнала сброса 35, 22 и 28 нс. Микросхемы ТМ9 потребляют пропорционально их усложнению больший ток питания: К155ТМ9 65 мА, К531ТМ9 144 мА, а К555ТМ9 26 мА. Их тактовые частоты достигают соответственно: 25, 75 и 30 МГц. Основное назначение микросхем ТМ8 и ТМ9 — построение регистров данных, запускаемых перепадами тактового импульса.

1.13. JK-ТРИГГЕРЫ

Сводка выпускаемых JK-триггеров ТТЛ представлена в табл. 1.25.

Микросхема К155ТВ1 (рис. 1.58) — универсальный, многоцелевой JK-триггер со структурой «мастер-помощник». Триггер имеет инверсные входы установки $\bar{S}$ и сброса $\bar{R}$. Каждый из входов J и K снабжен трехвходовым логическим элементом И, поэтому у микросхемы три входа J (J1 — J3) и три входа K (K1 — K3). У триггера есть тактовый вход $\bar{C}$ и комплементарные выходы Q и $\bar{Q}$.

Таблица 1.25. **JK-триггеры ТТЛ**

Серия	Обозначение	Номер микросхемы					
		1	6	9	10	11	15
К155	ТВ	+					+
КМ155	ТВ	+					
К555	ТВ		+	+			
К531	ТВ			+	+	+	
74	—	72	107	112	113	114	109

Управление состояниями триггера ТВ1 происходит согласно табл. 1.26, в которой перечислены семь режимов его работы. Когда на входах $\bar{S}$ и $\bar{R}$ присутствуют напряжения высокого уровня, в триггер можно

загружать информацию от входов J и K, либо задерживать, т. е. хранить ее. Состояния двухступенчатого триггера переключаются фронтом и срезом положительного тактового импульса: JK-информация загружается в триггер-мастер (элементы DD1.3 и DD1.4 на рис. 1.58, *а*), когда напряжение тактового входа переходит на высокий уровень и переносится в триггер-помощник по отрицательному перепаду тактового импульса (от В к Н). Отметим, что состояния выходов Q и $\bar{Q}$ неопределенные, если на входы $\bar{S}$ и $\bar{R}$ одновременно поданы напряжения низкого уровня. Кроме того, сигналы на входах J и K не должны меняться, если на входе $\bar{C}$ присутствует напряжение высокого уровня.

Входы $\bar{S}$ и $\bar{R}$ — асинхронные с активным низким уровнем. Когда на эти входы поданы противоположные уровни В и Н, входы C, J и K действовать не будут. Состояния выходов Q и $\bar{Q}$ определяются первыми двумя строчками табл. 1.26. Микросхема К155ТВ1 потребляет ток питания 20 мА и может работать с тактовой частотой 15 Ми МГц.

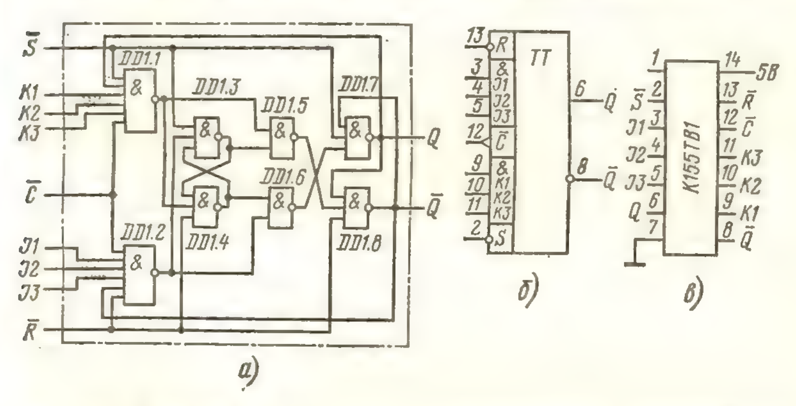


Рис. 1.58. JK-триггер ТВ1 (*а*), его функциональное обозначение (*б*) и цоколевка (*в*)

Таблица 1.26. **Состояния JK-триггера К155ТВ1**

Режим работы	Вход					Выход	
	$\bar{S}$	$\bar{R}$	$\bar{C}$	J	K	Q	$\bar{Q}$
Асинхронная установка	Н	В	х	х	х	В	Н
Асинхронный сброс	В	Н	х	х	х	Н	В
Неопределенность	Н	Н	х	х	х	В	В
Переключение	В	В	⎍	в	в	$\bar{q}$	q
Загрузка 0 (сброс)	В	В	⎍	н	в	Н	В
Загрузка 1 (установка)	В	В	⎍	в	н	В	Н
Хранение (нет изменений)	В	В	⎍	н	н	q	$\bar{q}$

Микросхема К555ТВ6 (рис. 1.59) расположена в 14-контактном корпусе и содержит два JK-триггера с общим выводом питания. Данные в каждом триггере переносятся от входов на выходы по отрицательному перепаду тактового импульса $\bar{C}$. Когда импульс $\bar{C}$ переходит от высокого уровня к низкому, сигналы на входах J и K изменяться не должны. Данные от входов J и K следует загружать в триггер, когда на входе $\bar{C}$ присутствует напряжение высокого уровня. Режимы работы триггера из микросхемы ТВ6 следует выбирать по табл. 1.27.

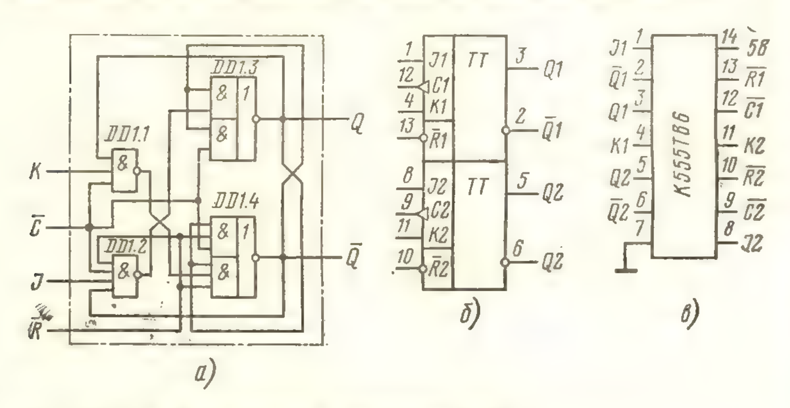


Рис. 1.59. Два JK-триггера из микросхемы ТВ6:

а — схема одного триггера; *б* — обозначение выводов; *в* — цоколевка

Таблица 1.27. **Состояния триггеров микросхемы К555ТВ6**

Режим	Вход				Выход	
	$\bar{R}$	$\bar{C}$	J	K	Q	$\bar{Q}$
Асинхронный сброс	Н	x	x	x	Н	В
Переключение	В	↓	в	в	$\bar{q}$	q
Загрузка 0 (сброс)	В	↓	н	в	Н	В
Загрузка 1 (установка)	В	↓	в	н	В	Н
Хранение: нет изменений	В	↓	н	н	q	$\bar{q}$

У триггеров микросхемы К555ТВ6 нет входов S. Асинхронные входы сброса $\bar{R}$ имеют низкий активный уровень. Если на входе $\bar{R}$ будет напряжение низкого уровня, прохождение сигналов от входов $\bar{C}$, J и K запрещается. На выходе Q появляется напряжение низкого уровня (первая строка табл. 1.27). Остальные четыре режима работы возможны лишь при напряжении высокого уровня на входе $\bar{R}$. Отметим, что когда J=K=H, состояние выходов под действием отрицательного перепада на тактовом входе $\bar{C}$ не меняется. Микросхема К555ТВ6 имеет ток потребления 8 мА и работает с тактовой частотой до 30 МГц.

Микросхемы К555ТВ9 и К531ТВ9 расположены в 16-контактных корпусах и содержат по два JK-триггера. Сравнив структурные схемы (рис. 1.59, *а* и рис. 1.60, *а*), нетрудно видеть, что в триггер микросхемы ТВ9 добавлен вход установки $\overline{S}$. В остальном эти микросхемы идентичны.

Согласно табл. 1.28 входы J и K могут работать, если на входах $\overline{S}$ и $\overline{R}$ присутствуют напряжения высокого уровня. Когда при условии $\overline{S}=\overline{R}=$В на тактовый вход $\overline{C}$ подан отрицательный перепад, по окончании переходных процессов установления уровни сигналов, присутствующие на входах J и K, переносятся в триггер. Выходы Q и $\overline{Q}$ будут

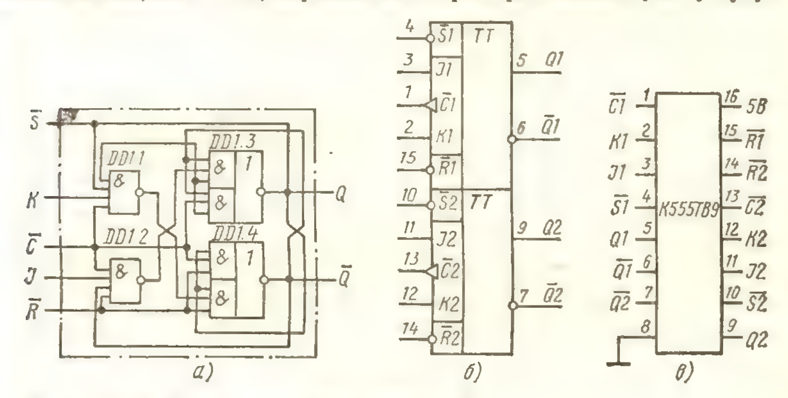


Рис. 1.60. Два JK-триггера микросхемы ТВ9:

а — схема одного триггера: *б* — обозначение выводов; *в* — цоколевка

иметь состояния, перечисленные в последних четырех строках табл. 1.28, как только на вход $\overline{C}$ придет отрицательный перепад тактового импульса. Третья строка таблицы отображает неопределенное (х) состояние выходов, если на входы $\overline{S}$ и $\overline{R}$ подать одновременно напряжения низкого уровня. Микросхема К555ТВ9 работает с тактовой частотой до 30 МГц.

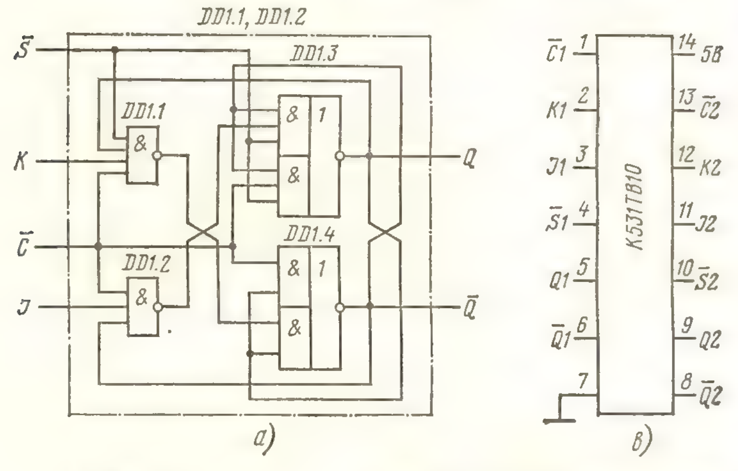
Таблица 1.28. **Состояния JK-триггера из микросхемы ТВ9**

Режим работы	Вход					Выход	
	$\overline{S}$	$\overline{R}$	$\overline{C}$	J	K	Q	$\overline{Q}$
Асинхронная установка	Н	В	х	х	х	В	Н
Асинхронный сброс	В	Н	х	х	х	Н	В
Неопределенность	Н	Н	х	х	х	В	В
Переключение	В	В	↓	в	в	$\overline{q}$	q
Загрузка 0 (сброс)	В	В	↓	н	в	Н	В
Загрузка 1 (установка)	В	В	↓	в	н	В	Н
Хранение: нет изменений	В	В	↓	н	н	q	$\overline{q}$

Микросхема К531ТВ10 (рис. 1.61) содержит два JK-триггера, идентичных по структуре триггерам микросхемы К555ТВ6, за исключением того, что входы $\bar{R}$ в ней заменены входами $\bar{S}$. Поэтому таблица состояний триггера из К531ТВ10 (табл. 1.29) совпадает с аналогичной таб-

Таблица 1.29. **Состояния JK-триггера из микросхемы К531ТВ10**

Режим работы	Вход				Выход	
	$\bar{S}$	$\bar{C}$	J	K	Q	$\bar{Q}$
Асинхронная установка	Н	x	x	x	В	Н
Переключение	В	↓	в	в	$\bar{q}$	q
Загрузка 0 (сброс)	В	↓	н	в	Н	В
Загрузка 1 (установка)	В	↓	в	н	В	Н
Хранение: нет изменений	В	↓	н	н	q	$\bar{q}$



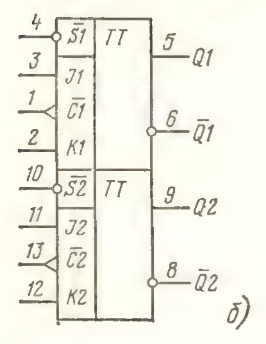


Рис. 1.61. Два JK-триггера микросхемы ТВ10:

а — схема одного триггера; *б* — обозначение выводов; *в* — цоколевка

лицей для триггера из К555ТВ6, кроме первой строки: от сигнала входа асинхронной установки $\overline{S}$ выход Q может получить напряжение высокого уровня, если подать сигнал $\overline{S}$=Н (здесь вход $\overline{S}$ имеет активный низкий уровень). Микросхема К531ТВ10 потребляет ток 50 мА.

Микросхема К531ТВ11 (рис. 1.62) — вариант К531ТВ9, у которой кристалл располагается в 14-контактном корпусе. Два триггера микросхемы имеют по две общие цепи управления: тактовый вход $\overline{C}$ и вход сброса $\overline{R}$. Для микросхемы ТВ11 верна таблица состояний микросхемы ТВ9 (табл. 1.28). Ток потребления 50 мА, время установления 3 нс.

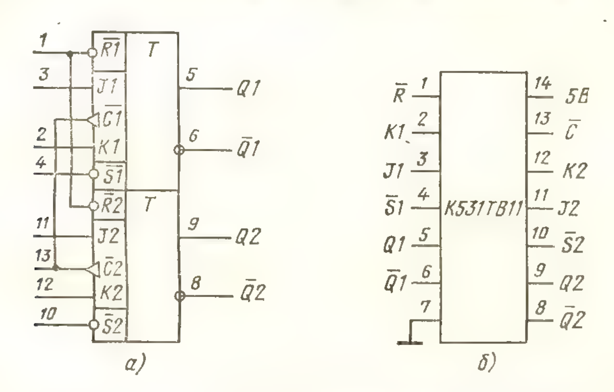


Рис. 1.62. Связь двух JK-триггеров в микросхеме ТВ11 (*а*) и ее цоколевка (*б*)

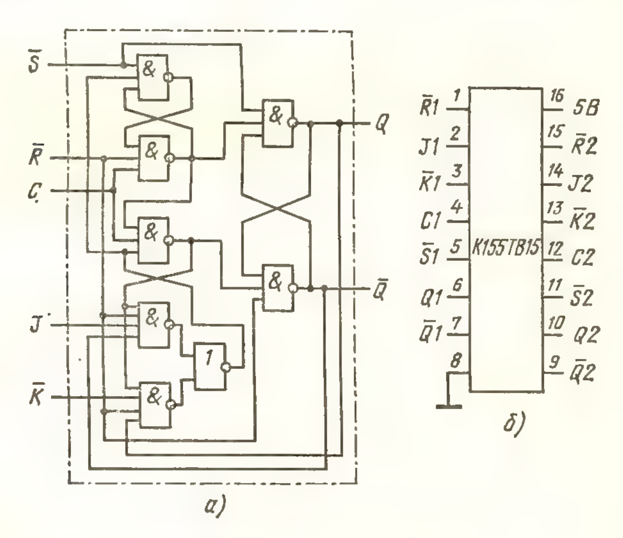


Рис. 1.63. JK-триггер ТВ15 (*а*) и его цоколевка (*б*)

Микросхема К155ТВ15 (рис. 1.63) состоит из двух независимых JK-триггеров, которые запускаются положительным перепадом тактового импульса. Каждый триггер имеет независимые асинхронные входы установки $\overline{S}$ и сброса $\overline{R}$. Как и у других триггеров ТТЛ, если на одном входе (или на обоих) $\overline{S}$ и $\overline{R}$ присутствует напряжение низкого уровня, то прием сигналов по входам C, J и $\overline{K}$ запрещается, а выходные сигналы Q и $\overline{Q}$ устанавливаются на высокий или низкий уровни согласно первым трем строкам табл. 1.30.

Таблица 1.30. **Состояния JK-триггера из микросхемы К155ТВ15**

Режим работы	Вход					Выход	
	$\overline{S}$	$\overline{R}$	C	J	$\overline{K}$	Q	$\overline{Q}$
Асинхронная установка	Н	В	x	x	x	В	Н
Асинхронный сброс	В	Н	x	x	x	Н	В
Неопределенность	Н	Н	x	x	x	В	В
Переключение	В	В	↑	в	н	$\overline{q}$	q
Загрузка 0 (сброс)	В	В	↑	н	в	Н	В
Загрузка 1 (установка)	В	В	↑	в	н	В	Н
Хранение: нет изменений	В	В	↑	н	в	q	$\overline{q}$

Структурная схема одного триггера из микросхемы К155ТВ15 показана на рис. 1.63, *а*, а цоколевка на рис. 1.63, *б*. Выбранная полярность логических уровней для входов J и $\overline{K}$ позволяет превратить этот триггер в D, соединив входы J и $\overline{K}$ (рис. 1.52, *д*). Сигналы на входах J и $\overline{K}$ следует зафиксировать перед приходом положительного перепада тактового импульса на вход C. Последние четыре строки табл. 1.30 соответствуют аналогичным режимам из табл. 1.28 (триггер из микросхемы ТВ9), однако переключение триггера микросхемы К155ТВ15 происходит при положительном перепаде тактового импульса, а на вход $\overline{K}$ подаются инверсные сигналы управления. Ток потребления для микросхемы К155ТВ15 30 мА, максимальная частота переключения 25 МГц.

1.14. СЧЕТЧИКИ ТТЛ

Соединив последовательно несколько триггерных схем — делителей частоты на два, получим простейший многоразрядный двоичный делитель. Более общее название для делителей частоты — счетчики. Коэффициент деления счетчика, состоящего из n-триггеров типа T, составляет 2^n; здесь n — число двоичных разрядов счетчика. В настоящее время используется много вариантов счетных схем: асинхронные и синхронные; двоичные и десятичные; однонаправленные, только с увеличением счета, и двунаправленные, счет в которых может увеличиваться или уменьшаться (такие счетчики называют реверсивными). Коэффициент деления счетчика может быть либо постоянным, либо переключаемым.

Основой любой из этих схем служит линейка из нескольких триг-

геров. Рассмотренные варианты счетчиков различаются схемой управления этими триггерами. Между триггерами добавляются логические связи, назначение которых — запретить прохождение в цикле счета лишним импульсам. К примеру, четырехтриггерный счетчик может делить исходную частоту на 16, так как $2^4=16$. Получим минимальный выходной код 0000, а максимальный 1111. Чтобы построить счетчик-делитель на 10, трех триггеров недостаточно ($10>2^3$), поэтому десятичный счетчик содержит в своей основе четыре триггера, но имеет обратные связи, останавливающие счет при коде 9=1001.

Таким образом, удобно выпускать четырехтриггерные счетчики в двух вариантах: двоичном и десятичном. Примеры таких микросхем — пары: ИЕ6 и ИЕ7, ИЕ16 и ИЕ17. Расширять функции счетчиков можно, видоизменяя их цепи управления. Первоначально счетчики были асинхронными. В асинхронном режиме предыдущий триггер вырабатывает для последующего тактовые импульсы. Такие счетчики иногда называют счетчиками пульсаций.

В синхронном счетчике все триггеры получают тактовый импульс одновременно, поскольку тактовые входы их соединяются параллельно. Поэтому триггеры переключатся практически одновременно. В счетчике пульсаций каждый триггер вносит в процесс счета определенную задержку, поэтому младшие разряды результирующего кода появляются на выходах триггеров неодновременно, т. е. несинхронно с соответствующим тактовым импульсом. Например, для четырехразрядного счетчика пульсаций выходной параллельный код 1111 появится на выходах триггеров уже после того, как поступит шестнадцатый тактовый импульс, кроме того, эти четыре единицы сформируются неодновременно.

Синхронная схема значительно сложнее асинхронной. На ее выходах данные от каждого разряда появляются одновременно и строго синхронно с последним входным импульсом. В синхронный счетчик разрешается синхронная (с тактовым импульсом) параллельная (в каждый триггер) загрузка начальных данных. Триггерная линейка синхронного счетчика снабжается специальным шифратором, который называется схемой ускоренного переноса (СУП).

Внутренние логические элементы управления, которыми часто снабжаются счетчики, позволяют сделать процесс счета реверсивным. Согласно команде, подаваемой на вход управления счетом «Больше/Меньше», можно либо увеличивать, либо уменьшать на единицу содержимое счетчика при каждом очередном тактовом импульсе. У некоторых счетчиков тактовые входы на увеличение и на уменьшение отдельные.

Сброс данных счетчика, чтобы на всех выходах установился нулевой код, у одних схем асинхронный R, у других синхронный SR, происходит одновременно с приходом тактового импульса. Имеются счетчики с переменным коэффициентом деления. Устанавливаемый коэффициент деления зависит от кода, набранного на входах управления.

В табл. 1.31 перечислены счетчики ТТЛ, входящие в серии К155, К555, К531.

Микросхема К155ИЕ2 — четырехразрядный десятичный асинхронный счетчик пульсаций. Внутренняя схема его показана на рис. 1.64, *а*, а цоколевка на рис. 1.64, *б*. Первый триггер счетчика DD1.3 (рис. 1.64, *а*) может работать самостоятельно. Он служит делителем входной частоты в 2 раза. Тактовый вход этого делителя $\overline{C0}$ (вывод 14), а выход Q0 (вывод 12). Остальные три триггера DD1.4—DD1.6 образуют делитель на 5. Тактовый вход здесь $\overline{C1}$ (вывод 1). Для обоих тактовых входов запускающий перепад отрицательный, т. е. от высокого уровня к низкому.

Таблица 1.31. **Счетчики ТТЛ**

Серия	Обозначение	Номер микросхемы												
		2	4	5	6	7	8	9	10	14	15	16	17	18
К155	ИЕ	+	+	+	+	+	+	+						
КМ155	ИЕ	+	+	+	+	+	+							
К555	ИЕ				+	+			+	+	+			+
КМ555	ИЕ							+	+					
К531	ИЕ									+	+	+	+	
74	—	90	92	93	192	193	97	160	161	196	197	168	169	163

Счетчик имеет два входа R для асинхронного сброса (выводы 6 и 7), а также два асинхронных входа S (выводы 2 и 3) для предварительной записки в счетчик двоичного кода 1001, соответствующего десятичной цифре 9. Поскольку счетчик К155ИЕ2 асинхронный, состояния на его выходах Q0—Q3 не могут изменяться одновременно. Если после данного счетчика выходной код требуется дешифрировать, т. е. перевести его в десятичное число, дешифратор должен стробироваться на время этой операции. Иначе из-за неодновременности переключения выходных уровней четырех триггеров могут дешифроваться импульсные помехи (клыки).

Входы асинхронного сброса R1 и R2 (двухвходовой элемент $\overline{И}$) запрещают действие импульсов по обоим тактовым входам и входам установки S. Нуль, поданный на вход R, дает сброс данных по всем триггерам одновременно. Нулем напряжения на входах S1 и S2 запрещается прохождение на счетчик тактовых импульсов, а также

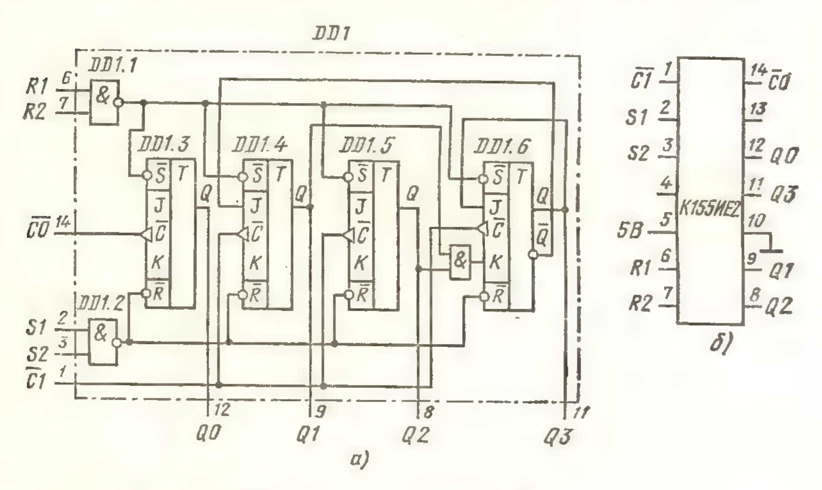


Рис. 1.64. Счетчик ИЕ2 (*а*) и его цоколевка (*б*)

сигналов от входов R1 и R2. На выходах регистра Q0—Q3 (выводы 12, 9, 8 и 11) устанавливаются напряжения выходных уровней ВННВ, что соответствует коду 1001, т. е. цифре 9.

Чтобы получить на выходах счетчика двоично-десятичный код с весом двоичных разрядов 8-4-2-1, необходимо соединить выводы 12 и 1 (т. е. выход Q0 и вход $\overline{C}1$). Входная последовательность подается на тактовый вход $\overline{C}0$ (вывод 14). Симметричный счетчик-делитель входной частоты в 10 раз получится, если соединить вывод 11 (выход Q3) с выводом 14 (вход $\overline{C}0$). Симметричный способ деления в зарубежной литературе называется bi-quinary, т. е. в переводе — две пятерки. Выходная последовательность при счете двумя пятерками имеет вид симметричного меандра с уменьшенной в 10 раз частотой. Снимается она с выхода Q0 (вывод 12) микросхемы К155ИЕ2.

Для деления частоты на два используется тактовый вход $\overline{C}0$ (вывод 14) и выход Q0 (вывод 12). Для деления частоты в 5 раз подаем входную последовательность на вывод 1. Выходной сигнал получаем на выходе Q3 (вывод 11). Внешние перемычки для этих простых делителей не нужны. Счетчик К155ИЕ2 (аналог 7490) имеет ток потребления 53 мА и максимальную тактовую частоту 10 МГц. Аналогичная схема варианта 74LS90 потребляет ток 15 мА и имеет тактовую частоту до 30 МГц.

Режим работы счетчика К155ИЕ2 можно выбрать по табл. 1.32 (сброс выходных данных в ноль, установка, т. е. загрузка девятки, счет). В табл. 1.33 показана последовательность смены напряжений высоких и низких уровней на выходах счетчика К155ИЕ2 в режиме двоично-десятичного счета, когда требуется соединить внешней перемычкой выход Q0 и вход $\overline{C}1$ (т. е. выводы 1 и 12).

Микросхема К155ИЕ4 — четырехразрядный двоичный счетчик-делитель на 2, на 6 и на 12. Внутренняя схема его и цоколевка показаны соответственно на рис. 1.65, *а*, *б*. Счетчик ИЕ4 состоит из двух независимых делителей, как и предыдущая микросхема. Если тактовая последовательность с частотой f подана на вход $\overline{C}0$ (вывод 14), на выходе

Таблица 1.32. **Выбор режима работы счетчика К155ИЕ2**

Вход сброса и установки				Выход			
R1	R2	S1	S2	Q0	Q1	Q2	Q3
В	В	Н	x	В	Н	Н	В
В	В	x	Н	В	Н	Н	В
Н	Н	В	В	Н	Н	Н	Н
Н	x	Н	x	Счет			
x	Н	x	Н	»			
Н	x	x	Н	»			
x	Н	Н	x	»			

Таблица 1.33. **Последовательность двоично-десятичного счета в микросхеме К155ИЕ2**

Счет	Выход			
	Q0	Q1	Q2	Q3
0	Н	Н	Н	Н
1	В	Н	Н	Н
2	Н	В	Н	Н
3	В	В	Н	Н
4	Н	Н	В	Н
5	В	Н	В	Н
6	Н	В	В	Н
7	В	В	В	Н
8	Н	Н	Н	В
9	В	Н	Н	В

Q0 (вывод 12) получим меандр с частотой f/2. Последовательность с частотой f на тактовом входе $\overline{C1}$ (вывод 1) запускает делитель на 6, и меандр с частотой f/6 появляется на выходе Q3 (вывод 8). При этом на выводах 11 и 9 имеются сигналы с частотой f/3 (выходы Q1 и Q2). На входы R1 и R2 подаются команды сброса.

Чтобы построить счетчик с модулем деления 12, требуется соединить делители на 2 и на 6, замкнув выводы 12 и 1. На вход C0 дается входная частота f, на выходе Q3 получается последовательность симметричных прямоугольных импульсов с частотой f/12. Тактовые запус-

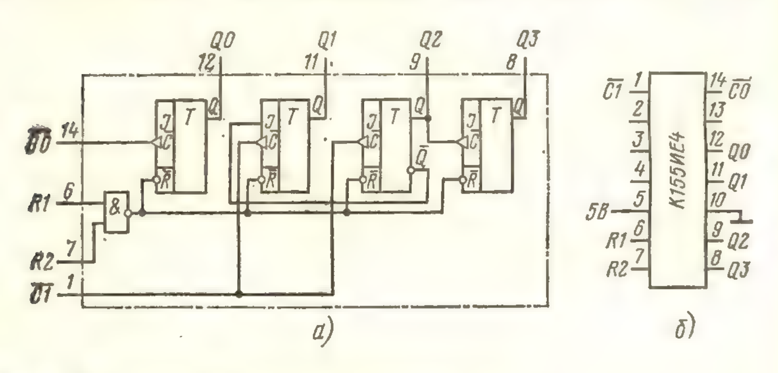


Рис. 1.65. Счетчик ИЕ4 *(а)* и его цоколевка *(б)*

кающие перепады для счетчика К155ИЕ4 — отрицательные, от высокого уровня к низкому. Режим работы счетчика ИЕ4 можно выбрать по табл. 1.34. Последовательность смены выходных уровней при счете от 0 до 11 показана в табл. 1.35.

Счетчик К155ИЕ4 (аналог 7492) потребляет ток питания 51 мА и работает с тактовой частотой 10 МГц. Для исполнения 74LS92 ток потребления 15 мА, максимальная частота до 10 МГц.

Микросхема К155ИЕ5, как и предыдущие, является четырехразрядным, асинхронным счетчиком пульсаций. Его структурная схема и цоколевка показаны соответственно на рис. 1.66, *а, б*. Согласно рис. 1.66, *а* счетчик ИЕ5 имеет две части: делитель на 2 (выход Q0; тактовый вход $\overline{C0}$) и делитель на восемь (выходы Q1—Q3; тактовый вход $\overline{C1}$). Режим работы счетчика ИЕ5 выбирается по табл. 1.36.

Если микросхема К155ИЕ5 применяется как счетчик-делитель на 16, необходимо соединить выводы 1 и 12. При этом последовательность счета от 0 до 15 (т. е. последовательность смены логических уровней на выходах Q0—Q3) будет соответствовать табл. 1.37. Другие особенности применения счетчика ИЕ5 соответствуют микросхемам ИЕ2 и ИЕ4. Микросхема К155ИЕ5 (аналог 7493) потребляет ток питания 53 мА и работает с тактовой частотой 10 МГц. Счетчик 74LS93 потребляет ток 15 мА, по входу C0 максимальная частота до 10 МГц и по входу $\overline{C1}$ до 32 МГц.

Микросхемы К155ИЕ6 и К155ИЕ7 — четырехразрядные реверсивные счетчики, аналогичные по структуре. Счетчик ИЕ6 (рис. 1.67, *а*) двоично-десятичный, а счетчик ИЕ7 (рис. 1.67, *б*) — двоичный. Внутрен-

Таблица 1.34. **Режимы работы счетчика К155ИЕ4**

Вход сброса		Выход			
R1	R2	Q0	Q1	Q2	Q3
В	В	Н	Н	Н	Н
Н	В	Счет			
В	Н	»			
Н	Н	»			

Таблица 1.35. **Последовательность счета для К155ИЕ4**

Счет	Выход			
	Q0	Q1	Q2	Q3
0	Н	Н	Н	Н
1	В	Н	Н	Н
2	Н	В	Н	Н
3	В	В	Н	Н
4	Н	Н	В	Н
5	В	Н	В	Н
6	Н	Н	Н	В
7	В	Н	Н	В
8	Н	В	Н	В
9	В	В	Н	В
10	Н	Н	В	В
11	В	Н	В	В

Таблица 1.36. **Режим работы счетчика К155ИЕ5**

Вход сброса		Выход			
R1	R2	Q0	Q1	Q2	Q3
В	В	Н	Н	Н	Н
Н	В	Счет			
В	Н	»			
Н	Н	»			

Таблица 1.37. **Последовательность счетчика К155ИЕ5**

Счет	Выход				Счет	Выход			
	Q0	Q1	Q2	Q3		Q0	Q1	Q2	Q3
0	Н	Н	Н	Н	8	Н	Н	Н	В
1	В	Н	Н	Н	9	В	Н	Н	В
2	Н	В	Н	Н	10	Н	В	Н	В
3	В	В	Н	Н	11	В	В	Н	В
4	Н	Н	В	Н	12	Н	Н	В	В
5	В	Н	В	Н	13	В	Н	В	В
6	Н	В	В	Н	14	Н	В	В	В
7	В	В	В	Н	15	В	В	В	В

нюю схему счетчика К155ИЕ7 можно изучить по рис. 1.67, *в*. На рис. 1.67, *г* показана цоколевка этих счетчиков. Импульсные тактовые входы для счета на увеличение C_U (вывод 5) и на уменьшение C_D (вывод 4) в этих микросхемах раздельные. Состояние счетчика меняется по положительным перепадам тактовых импульсов от низкого уровня к высокому на каждом из этих тактовых входов.

Для упрощения построения счетчиков с числом разрядов, превышающим четыре, обе микросхемы имеют выводы окончания счета на увеличение ($\overline{TC}_U$, вывод 12) и на уменьшение ($\overline{TC}_D$, вывод 13). От

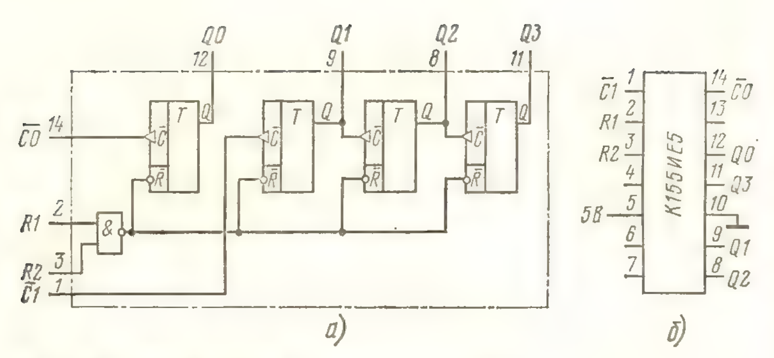
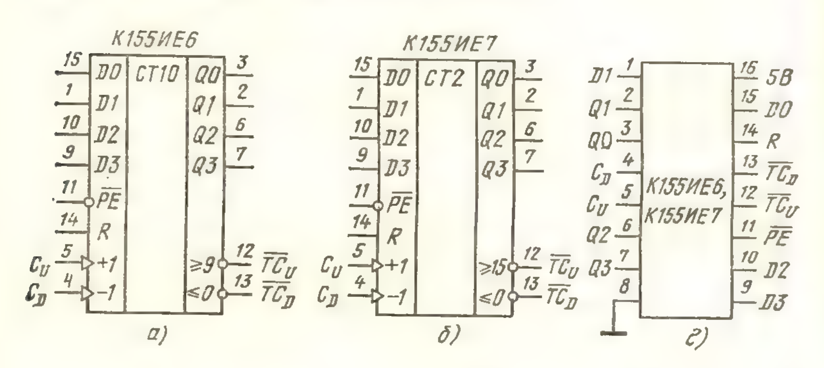


Рис. 1.66. Счетчик ИЕ5 (*а*) и его цоколевка (*б*)



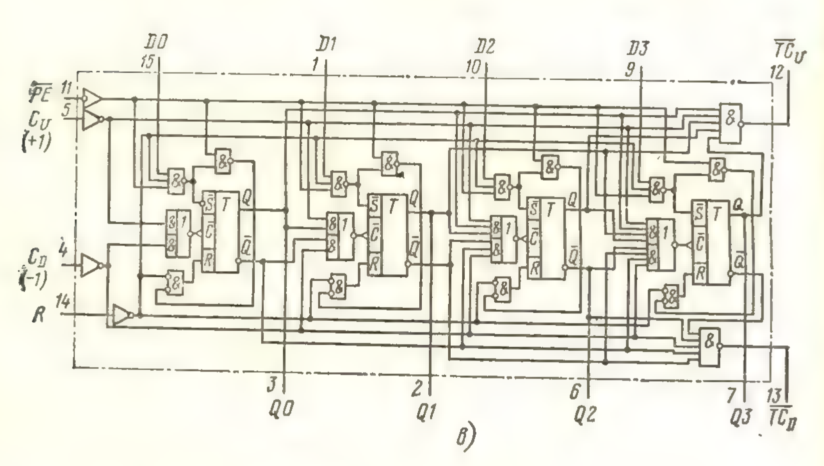


Рис. 1.67. Счетчики ИЕ6, ИЕ7

этих выводов берутся тактовые сигналы переноса и заема для последующего и от предыдущего четырехразрядного счетчика. Дополнительной логики при последовательном соединении этих счетчиков не требуется: выводы $\overline{TC}_U$ и $\overline{TC}_D$ предыдущей микросхемы присоединяются к выводам C_U и C_D последующей. По входам разрешения параллельной загрузки $\overline{PE}$ и сброса R запрещается действие тактовой последовательности и даются команды загрузки четырехразрядного кода в счетчик или его сброса.

В микросхемах ИЕ6 и ИЕ7 счетчики основаны на четырех двухступенчатых триггерах «мастер-помощник». Десятичный счетчик отличается от двоичного (см. его схему на рис. 1.67, *в*) внутренней логикой, управляющей триггерами. Счетчики можно переводить в режимы: сброса, параллельной загрузки, а также синхронного счета на увеличение и уменьшение.

Если на вход C_D подается импульсный перепад от низкого уровня к высокому (дается команда на уменьшение — down), от содержимого счетчика вычитается 1. Аналогичный перепад, поданный на вход C_U, увеличивает (up) счет на 1. Если для счета используется один из этих входов, на другом тактовом входе следует зафиксировать напряжение высокого логического уровня. Первый триггер счетчика не может переключиться, если на его тактовом входе зафиксировано напряжение низкого уровня. Во избежание ошибок менять направление счета следует в моменты, когда запускающий тактовый импульс перешел на высокий уровень, т. е. во время плоской вершины импульса.

На выходах $\overline{TC}_U$ (окончание счета на увеличение, вывод 12) и $\overline{TC}_D$ (окончание счета на уменьшение, вывод 13) нормальный уровень — высокий. Если счет достиг максимума (цифра 9 для ИЕ6 и 15 для ИЕ7), с приходом следующего тактового перепада на вход C_U от высокого уровня к низкому (более 9 или более 15) на выходе $\overline{TC}_U$ появится низкое напряжение. После возврата напряжения на тактовом входе C_U к высокому уровню напряжение на выходе $\overline{TC}_U$ останется низким еще на время, соответствующее двойной задержке переключения логического элемента ТТЛ.

Аналогично на выходе $\overline{TC}_D$ появляется напряжение низкого уровня, если на вход C_D пришел счетный перепад низкого уровня. Импульсные перепады от выходов $\overline{TC}_U$ и $\overline{TC}_D$ служат, таким образом, как тактовые для последующих входов C_U и C_D при конструировании счетчиков более высокого порядка. Такие многокаскадные соединения счетчиков ИЕ6 и ИЕ7 не полностью синхронные, поскольку на последующую микросхему тактовый импульс передается с двойной задержкой переключения.

Если на вход разрешения параллельной загрузки $\overline{PE}$ (вывод 11) подать напряжение низкого уровня, то код, зафиксированный ранее на параллельных входах D0—D3 (выводы 15, 1, 10 и 9), загружается в счетчик и появляется на его выходах Q0—Q3 (выводы 3, 2, 6 и 7) независимо от сигналов на тактовых входах. Следовательно, операция параллельной загрузки — асинхронная.

Параллельный запуск триггеров запрещается, если на вход сброса

R (вывод 14) подано напряжение высокого уровня. На всех выходах Q установится низкий уровень.

Счетчики К155ИЕ6 (74192) и К155ИЕ7 (74193) потребляют ток 102 мА. Маломощные варианты этих микросхем с переходами Шотки имеют ток потребления 34 мА. Максимальная тактовая частота 25 МГц; время задержки распространения сигнала от входа C_U до выхода $\overline{TC}_U$ 26 нс, аналогичные задержки от входа $\overline{PE}$ до выхода Q3 составляют 40 нс. Время действия сигнала сброса (от входа R до выходов Q) 35 нс.

На рис. 1.68, *а* показана диаграмма работы десятичного счетчика ИЕ6, где обозначены логические переходы сигналов при счете на уве-

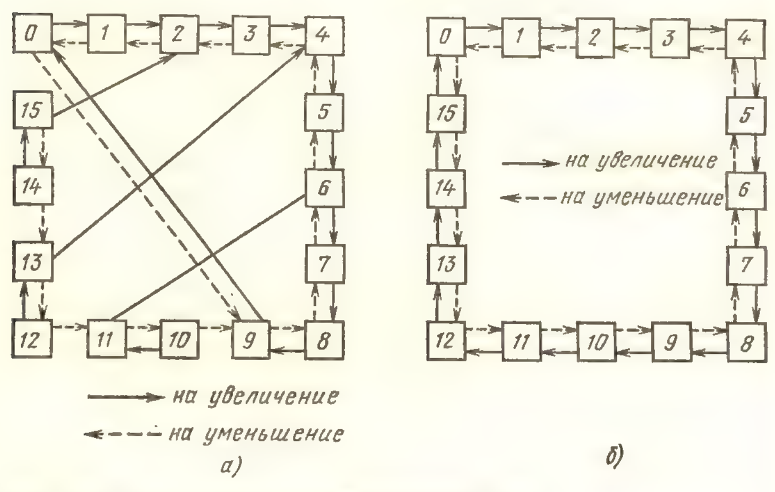


Рис. 1.68. Диаграммы работы счетчиков ИЕ6, ИЕ7

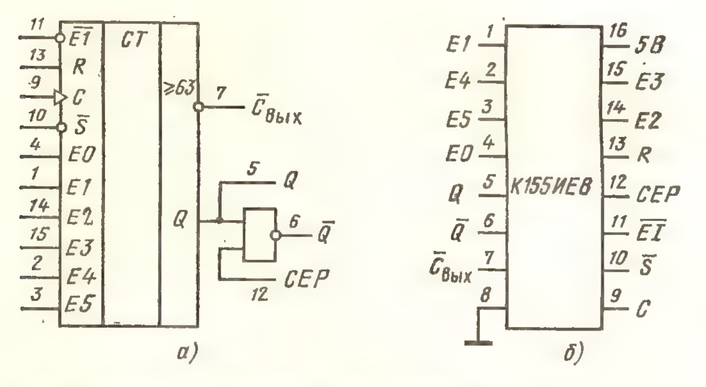


Рис. 1.69. Счетчик К155ИЕ8 *(а)* и его цоколевка *(б)*

личение и уменьшение. Кольцевой счет возможен в пределах 0...9, остальные шесть состояний триггерам запрещены. Кольцо счета для двоичного счетчика ИЕ7 внутренних запретов не имеет (см. рис. 1.68, *б*). Составив определенную комбинацию входных сигналов, по табл. 1.38 можно выбрать один из четырех режимов работы счетчика ИЕ6. Счет на увеличение здесь закончится при выходном коде ВННВ (9), на

Таблица 1.38. Режимы счетчиков ИЕ6

Режим	Вход								Выход					
	R	$\overline{PE}$	C_U	C_D	D0	D1	D2	D3	Q0	Q1	Q2	Q3	$\overline{TC}_U$	$\overline{TC}_D$
Сброс	В	x	x	Н	x	x	x	x	Н	Н	Н	Н	В	Н
	В	x	x	В	x	x	x	x	Н	Н	Н	Н	В	В
Параллельная загрузка	Н	Н	x	Н	Н	Н	Н	Н	Н	Н	Н	Н	В	Н
	Н	Н	x	В	Н	Н	Н	Н	Н	Н	Н	Н	В	В
	Н	Н	Н	x	В	Н	Н	В	$Q_n=D_n$				Н	В
	Н	Н	В	x	В	Н	Н	В	$Q_n=D_n$				В	В
Счет на увеличение	Н	В	↑	В	x	x	x	x	Счет на увеличение				В	В
Счет на уменьшение	Н	В	В	↑	x	x	x	x	Счет на уменьшение				В	В

Таблица 1.39. Режимы счетчика ИЕ7

Режим	Вход								Выход					
	R	$\overline{PE}$	C_U	C_D	D0	D1	D2	D3	Q0	Q1	Q2	Q3	$\overline{TC}_U$	$\overline{TC}_D$
Сброс	В	x	x	Н	x	x	x	x	Н	Н	Н	Н	В	Н
	В	x	x	В	x	x	x	x	Н	Н	Н	Н	В	В
Параллельная загрузка	Н	Н	x	Н	Н	Н	Н	Н	Н	Н	Н	Н	В	Н
	Н	Н	x	В	Н	Н	Н	Н	Н	Н	Н	Н	В	В
	Н	Н	Н	x	В	В	В	В	В	В	В	В	Н	В
	Н	Н	В	x	В	В	В	В	В	В	В	В	В	В
Счет на увеличение	Н	В	↑	В	x	x	x	x	Счет на увеличение				В	В
Счет на уменьшение	Н	В	В	↑	x	x	x	x	Счет на уменьшение				В	В

уменьшение — при НННН (0). Аналогичные операции со счетчиком ИЕ7 позволяет проводить табл. 1.39. Окончанию счета на увеличение здесь соответствует код ВВВВ (15), а на уменьшение — НННН (0).

Микросхема К155ИЕ8 (рис. 1.69) — программируемый счетчик с входом для переключения коэффициента, на который можно разделить входную тактовую частоту. Счетчик имеет комплементарные выходы Q и $\overline{Q}$, а также выход переноса $\overline{C}_{вых}$ (после подсчета 63-го импульса). Тактовая частота подается на вход С (активный перепад — положительный). Максимальный коэффициент деления счетчика ИЕ8 — 64. Для уменьшения этого коэффициента служат шесть входов поразрядного разрешения: Е0 — Е5.

Выходную частоту можно рассчитать по уравнению:

$$f_{вых} = (f/64)(E5\cdot 2^5 + E4\cdot 2^4 + E3\cdot 2^3 + E2\cdot 2^2 + E1\cdot 2^1 + E0\cdot 2^0). \quad (1.7)$$

Здесь Е0 — Е5 — данные на входах разрешения, причем значение каждого коэффициента E_i может быть 1 или 0.

Сигнал разрешения по входу $\overline{EI}$ подается на вывод 11. Остановить деление можно, подав на вход $\overline{S}$ (вывод 10) напряжение высокого уровня. Активные напряжения низкого уровня, данные по входам $\overline{EI}$ и $\overline{S}$, разрешают счет. Общий сброс с остановкой деления осуществляется высоким уровнем по входу R (вывод 13). Для последовательного соединения счетчиков ИЕ8 служит вход СЕР (наращивание). Если сигнал СЕР=Н, на выходе Q установится напряжение высокого уровня.

В табл. 1.40 даны примеры состояний счетчика ИЕ8. Первая строка здесь показывает фазировку сигналов при сбросе (на R и $\overline{S}$ поданы напряжения высокого уровня). Последующие восемь строк — это примеры установки разных коэффициентов деления, точнее, в данных этой таблицы высоким уровнем последовательно опрашиваются входы разрешения Е0—Е5. Десятая строка показывает пример получения числа выходных импульсов 40 (число входных импульсов 64), но на входах

Таблица 1.40. Состояния счетчика ИЕ8

Вход											Выход		
R	$\overline{EI}$	$\overline{S}$	E5	E4	E3	E2	E1	E0	Число импульсов на входе C	$\overline{CEP}$	Число импульсов $\overline{Q}$	Число импульсов Q	$\overline{C}_{вых}$ (≥63)
В	x	В	x	x	x	x	x	x	x	В	Н	В	В
Н	Н	Н	Н	Н	Н	Н	Н	Н	64	В	Н	В	1
Н	Н	Н	Н	Н	Н	Н	Н	В	64	В	1	1	1
Н	Н	Н	Н	Н	Н	Н	В	Н	64	В	2	2	1
Н	Н	Н	Н	Н	Н	В	Н	Н	64	В	4	4	1
Н	Н	Н	Н	Н	В	Н	Н	Н	64	В	8	8	1
Н	Н	Н	Н	В	Н	Н	Н	Н	64	В	16	16	1
Н	Н	Н	В	Н	Н	Н	Н	Н	64	В	32	32	1
Н	Н	Н	В	В	В	В	В	В	64	В	63	63	1
Н	Н	Н	В	Н	В	Н	Н	Н	64	В	40	40	1

Е5 и Е3 присутствуют напряжения высокого уровня — единицы, на остальных входах — 0; подставьте эти данные в ф-лу (1.7).

Микросхема К155ИЕ9 (рис. 1.70) — декадный двоично-десятичный счетчик. Он запускается положительным перепадом тактового импульса и имеет синхронную загрузку (предварительную установку каждого триггера). Несколько счетчиков ИЕ9 образуют синхронный многодекадный счетчик. Сброс всех триггеров асинхронный по общему входу сброса $\bar{R}$.

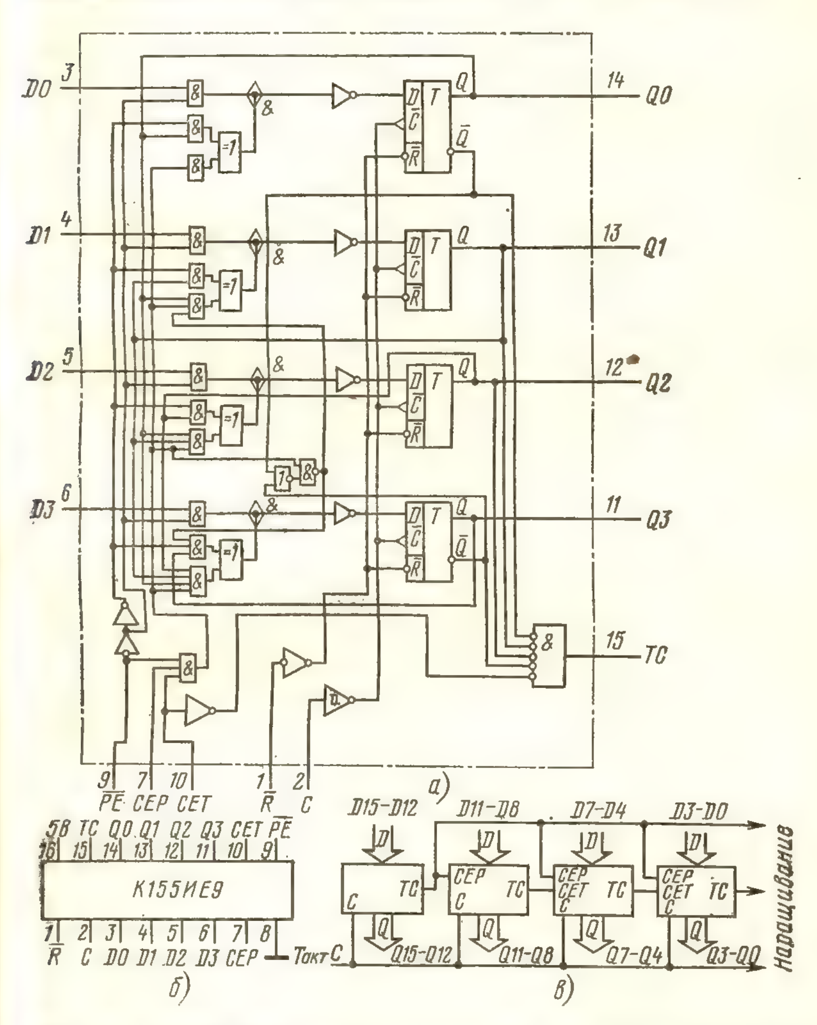


Рис. 1.70. Счетчик ИЕ9 (*а*), его цоколевка (*б*) и схема соединения четырех микросхем (*в*)

Принципиальная схема высокоскоростного синхронного счетчика отличается внутренней логикой ускоренного переноса и тем, что все триггеры получают перепад тактового импульса одновременно. Изменения выходных состояний триггеров совпадают по времени, поэтому в выходных импульсных последовательностях нет пиковых помех (клыков). Запускающий тактовый фронт импульса — положительный, причем для варианта этой микросхемы с переходами Шотки буферный элемент тактового входа имеет порог Шмитта с гистерезисом ±400 мВ (см. рис. 1.32, *б*), что уменьшает чувствительность к импульсным помехам, а также обеспечивает устойчивое переключение триггеров при медленно нарастающем перепаде тактового импульса.

Счетчик ИЕ9 — полностью программируемый, поскольку на каждом из его выходов можно установить требуемый логический уровень. Такая предварительная установка происходит синхронно с перепадом тактового импульса и не зависит от того, какой уровень присутствует на входах разрешения счета CEP и CET. Напряжение низкого уровня, поступившее на вход параллельной загрузки $\overline{PE}$, останавливает счет и разрешает подготовленным на входах D0—D3 данным загрузиться в счетчик в момент прихода следующего перепада тактового импульса (от уровня Н к В).

Сброс у счетчика ИЕ9 — асинхронный. Если на общий вход сброса $\overline{R}$ поступило напряжение низкого уровня, на выходах всех четырех триггеров устанавливаются низкие уровни независимо от сигналов на входах C, $\overline{PE}$, CET и CEP. Внутренняя схема ускоренного переноса необходима для синхронизации многодекадной цепи счетчиков ИЕ9. Специально для синхронного каскадирования микросхема имеет два входа разрешения: CEP (параллельный) и CET (вспомогательный, с условным названием «трюковый»), а также выход TC (окончание счета).

Счетчик считает тактовые импульсы, если на обоих его входах CEP и CET напряжение высокого уровня. Вход CET последующего счетчика получает разрешение счета в виде напряжения высокого уровня от выхода TC предыдущего счетчика. Длительность высоких уровней на выходе TC примерно соответствует длительности высокого уровня на выходе Q0 предыдущего счетчика.

На рис. 1.70, *в* показана схема соединения четырех микросхем ИЕ9 в быстрый, синхронный 16-разрядный счетчик.

Для счетчиков ИЕ9 не допускаются перепады от высокого уровня к низкому на входах CEP и CET, если на тактовом ходе присутствует напряжение низкого уровня. Нельзя подавать положительный перепад на вход $\overline{PE}$, если на тактовом входе присутствует напряжение низкого уровня, а на входах CEP и CET — высокого (во время перепада или перед ним). Сигналы на входах CEP и CET можно изменять, если на тактовом входе C присутствует напряжение низкого уровня. Когда на входе $\overline{PE}$ появляется высокий уровень, а входы CE не активны (т. е. не используем CEP и CET и на них остается низкий уровень), то вместе с последующим положительным перепадом тактового импульса на выходах Q0—Q3 появится код от входов D0—D3.

Запуская напряжениями высокого уровня входы CET и CEP во время низкоуровневой части тактового периода, получим на выходах наложение кодов загрузки и внутреннего счета. Если во время низкоуровневой части периода тактовой последовательности на входы CET, CEP и $\overline{PE}$ поданы положительные перепады, нарастающие от низкого

Таблица 1.41. **Режимы работы счетчика ИЕ9**

Режим	Вход						Выход	
	$\bar{R}$	C	CEP	CET	$\overline{PE}$	D_n	Q_n	TC
Сброс	Н	x	x	x	x	x	Н	Н
Параллельная	В	↑	x	x	н	н	Н	Н
загрузка	В	↑	x	x	н	в	В	В
Счет	В	↑	в	в	в	x	Счет	В
Хранение	В	x	н	x	в	x	q_n	Н
	В	x	x	н	в	x	q_n	Н

уровня к высокому, тактовый перепад изменит код на выходах Q0—Q3 на последующий.

При входных сигналах высокого уровня счетчик К155ИЕ9 (74160) потребляет ток питания 94 мА, К555ИЕ9 (74LS160A) 32 мА; если все выходные сигналы имеют низкий уровень, то 101 и 32 мА соответственно. Максимальная частота счета 25 МГц. Время распространения сигнала от входа С до выхода ТС («Счет закончен») составляет 35 и 27 нс, а время сброса (от входа $\bar{R}$ до выходов Q) 38 и 28 нс для обычного исполнения и варианта Шотки.

Режим работы счетчика ИЕ9 можно выбрать согласно табл. 1.41. На выходе ТС появится напряжение высокого уровня, если выходной код счетчика ВННВ (т. е. 9), а на входе СЕТ напряжение высокого уровня.

Микросхема К555ИЕ10 — двоичный счетчик по структуре аналогичен ИЕ9 (запускается положительным перепадом, имеет синхронную запись — предустановку). Внутренняя схема счетчика ИЕ10 (вариант Шотки) показана на рис. 1.71, *а*, его цоколевка на рис. 1.71, *б*. Режим работы этого счетчика можно выбрать по табл. 1.41. Однако сигнал окончания счета ТС появится, когда на выходах Q все уровни окажутся высокими (код ВВВВ. т. е. 15). Для построения синхронных многокаскадных счетчиков ИЕ10 можно пользоваться схемой на рис. 1.70, *в*. Счетчик К555ИЕ10 потребляет от источника питания ток 32 мА. Максимальная тактовая частота счета 25 МГц.

Микросхема К555ИЕ18 (74163) — четырехразрядный, двоичный, синхронный счетчик. Он отличается от счетчика ИЕ10 синхронным входом сброса данных. Цоколевка его показана на рис. 1.71, *б*. Назначение выводов и их функция, кроме вывода $\overline{SR}$ (вывод 1), такие же, как и у микросхемы ИЕ10. Перед синхронным сбросом согласно табл. 1.42 на вход $\overline{SR}$ подается напряжение низкого уровня. С этого момента другие входы управления перестают принимать сигнал. Вход $\overline{SR}$ активный, он сбрасывает данные только во время положительного перепада тактового импульса. Низкое напряжение на входе $\overline{SR}$ должно быть полностью зафиксировано до прихода положительного перепада сигнала на вход С. Счетчик в обычном варианте потребляет ток питания 101 мА (для 74163), в варианте LS (К555ИЕ18) 32 мА.

Микросхема К531ИЕ14 (рис. 1.72) — декадный асинхронный счетчик пульсаций. Он состоит из делителя на 2 (первый триггер, выход Q0, вывод 5) и делителя на 5 (выходы Q1—Q3). Оба делителя имеют

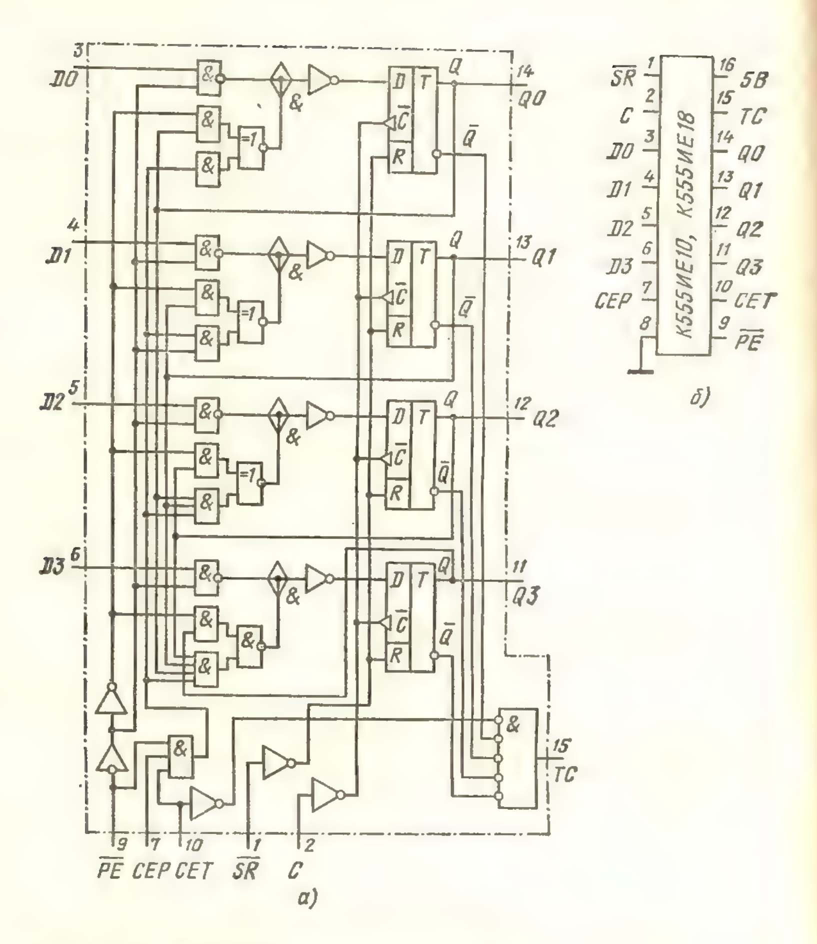


Рис. 1.71. Счетчик ИЕ10 *(а)* и его цоколевка *(б)*

отдельные тактовые входы: $\overline{C0}$ (вывод 8) и $\overline{C1}$ (вывод 6). Нагрузочная способность выхода Q0 повышена, так как к нему дополнительно присоединяют вход $\overline{C1}$.

Состояния счетчика меняются по отрицательному перепаду тактового импульса. Из-за внутренних задержек переключения триггеров состояния выходов не могут устанавливаться строго одновременно. Как и для других асинхронных счетчиков, подключаемый к выходам дешифратор должен иметь разрешение по выходу, чтобы не передавать в шину данных ложные коды, которые могут возникнуть при смене содержимого счетчика.

Режим работы счетчика можно выбрать по табл. 1.43. От этого

Таблица 1.42. **Состояния счетчика К555ИЕ13**

Режим работы	Вход						Выход	
	$\overline{SR}$	C	CEP	CET	PE	D_n	Q_n	TC
Сброс	н	↑	х	х	х	х	Н	Н
Параллельная	н	↑	х	х	н	н	Н	Н
загрузка	в	↑	х	х	н	в	В	В
Счет	в	↑	в	в	в	х	Счет	В
Хранение	н	х	н	х	в	х	q_n	Н
	в	х	х	н	в	х	q_n	Н

Таблица 1.43(а). **Выбор режимов счетчика К531ИЕ14**

Режим работы	Вход				Выход
	$\overline{R}$	$\overline{PE}$	C	D_n	Q_n
Сброс	Н	х	х	х	Н
Параллельная загрузка	В	Н	х	Н	Н
	В	Н	х	В	В
Счет	В	В	↓	х	Счет

Таблица 1.43(б). **Последовательность счета для К531ИЕ14**

Двоично-десятичная					Симметрия				
Число	Q3	Q2	Q1	Q0	Число	Q0	Q1	Q2	Q3
0	Н	Н	Н	Н	0	Н	Н	Н	Н
1	Н	Н	Н	В	1	Н	Н	Н	В
2	Н	Н	В	Н	2	Н	Н	В	Н
3	Н	Н	В	В	3	Н	Н	В	В
4	Н	В	Н	Н	4	Н	В	Н	Н
5	Н	В	Н	В	5	В	Н	Н	Н
6	Н	В	В	Н	6	В	Н	Н	В
7	Н	В	В	В	7	В	Н	В	Н
8	В	Н	Н	Н	8	В	Н	В	В
9	В	Н	Н	В	9	В	В	Н	Н

десятичного счетчика можно получить две последовательности счета. Двоично-десятичную выходную последовательность можно получить, если подать тактовые импульсы на вход $\overline{C0}$ и соединить выводы 5 и 6 (т. е. выход Q0 и вход $\overline{C1}$). Если необходимо поделить входную частоту в 10 раз и получить при этом симметричный выходной меандр, т. е.

считать двумя пятерками (режим bi-quinary, см. рис. 1.64, *а*), следует подать импульсы с частотой f на вход C1, а от выхода Q3 снять тактовый сигнал для входа $\overline{C0}$. На выходе Q0 получим прямоугольные импульсы с частотой f/10 и скважностью 1 : 2. При счете двумя пятерками максимальная скорость счета снижается из-за задержек в логической части делителя на 5.

Вход сброса счетчика ИЕ14 имеет низкий активный уровень. Сигналом $\overline{R}$=H запрещается работа всем входам счетчика, а на всех выходах появляется напряжение низкого уровня. Сброс здесь асинхронный. Когда на вход разрешения параллельной загрузки $\overline{PE}$ подано напряжение низкого уровня, действие тактовых входов запрещается. Данные, присутствующие на входах D0—D3, загружаются параллельно в триггеры счетчика.

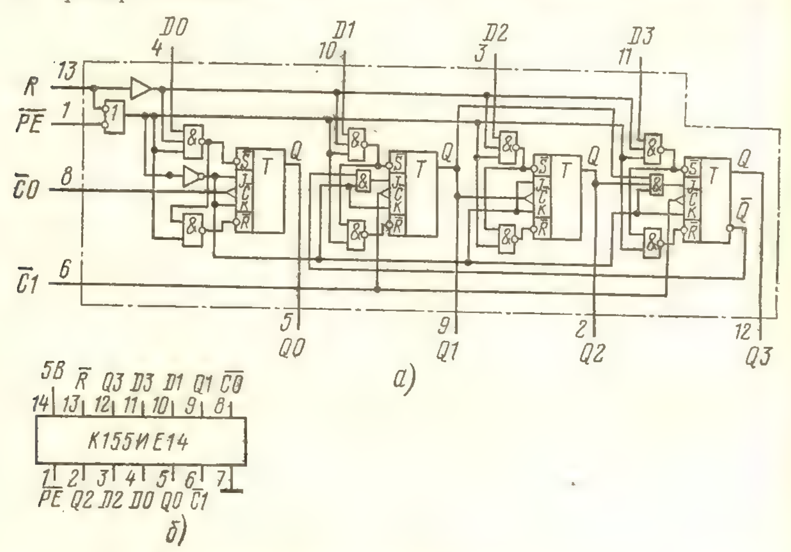


Рис. 1.72. Счетчик ИЕ14 (*а*) и его цоколевка (*б*)

Счетчик ИЕ14 удобно использовать как фиксирующую, отображающую код (по-другому, четырехбитовый байт) защелку. Если коды на входах D0—D3 постоянно меняются, то выборки из этой последовательности цифровых слов будут отображаться на выходах, когда на вход $\overline{PE}$ дается напряжение низкого уровня. Счетчик К531ИЕ14 имеет ток потребления 88 мА, максимальная тактовая частота его достигает 80 МГц по входу $\overline{C0}$ и 40 МГц по входу $\overline{C1}$. Наибольшее время задержки распространения сигнала от входа $\overline{C1}$ до выхода Q2 25 нс, от входов D до выхода Q 20 нс, время сброса (от входа $\overline{R}$ до выхода Q) 15 нс.

Микросхемы К531ИЕ16 и К531ИЕ17 — синхронные, реверсивные счетчики. Счетчик ИЕ16 — декадный, двоично-десятичный (формат ко-

да 8-4-2-1), счетчик ИЕ17 — четырехразрядный, двоичный. На рис. 1.73, *а* показана принципиальная схема двоичного счетчика ИЕ17. Счетчик ИЕ16 имеет другую логику управления и ускоренного переноса. Цоколевки и назначение выводов у этих счетчиков одинаковые (рис. 1.73, *б*). Поскольку эти счетчики реверсивные, полезно сравнить их устройство со структурами счетчиков К155ИЕ6 и К155ИЕ7 (рис. 1.67).

Тактовый вход у счетчиков ИЕ16 и ИЕ17 работает по положительному перепаду импульса. На вход параллельного разрешения $\overline{PE}$ (активный уровень — низкий) подается команда параллельной записи данных, подготовленных на входах D0—D1. Как и у других синхронных счетчиков, имеются два входа каскадирования: $\overline{CEP}$ — параллельное разрешение счета и $\overline{CET}$ — трюковый вход разрешения счета. Для этих входов активные уровни — низкие.

Для переключения направления счета служит вход команды $U/\overline{D}$ (Больше/Меньше). Счет возрастает, пока на вход $U/\overline{D}$ дается напряжение высокого уровня. Если командой $U/\overline{D}$ является напряжение низкого уровня, то содержимое счетчика будет уменьшаться. После окончания счета на выходе $\overline{TC}$ появится напряжение низкого активного уровня.

Все состояния на выходах Q0—Q3 счетчиков ИЕ16 и ИЕ17 сменяются строго в соответствии с положительным перепадом тактового импульса. Триггеры переключаются одновременно, поэтому выходные импульсные перепады совпадут. Предварительная установка байта происходит независимо от логических уровней, присутствующих на входах разрешения счета. Если на вход разрешения параллельной загрузки $\overline{PE}$ дать напряжение низкого уровня, счет запрещается. По следующему положительному тактовому перепаду в счетчик поступят данные от входов D0—D3. Схема соединения счетчиков ИЕ16 и ИЕ17 показана на рис. 1.74.

У счетчика DD1 входы разрешения $\overline{CEP}$ и $\overline{CET}$ принимают низкие уровни (заземлены). Для разрешения работы счетчику DD2 по его входу $\overline{CEP}$ используются напряжение низкого уровня от выходного импульса «Счет окончен» на выводе $\overline{TC}$. Схемы присоединения последующих каскадов — аналогичные. Режимы работы счетчиков ИЕ16 и ИЕ17 можно установить, пользуясь табл. 1.44. В колонке данных $\overline{TC}$ снос-

Таблица 1.44. **Состояния счетчиков К531ИЕ16 и К531ИЕ17**

Режим	Вход						Выход	
	C	$U/\overline{D}$	$\overline{CEP}$	$\overline{CET}$	$\overline{PE}$	D_n	Q_n	$\overline{TC}$
Параллельная загрузка	↑	х	х	х	н	н	Н	В
	↑	х	х	х	н	в	В	В
Счет на увеличение	↑	в	н	н	в	х	Увеличение	1*
Счет на уменьшение	↑	н	н	н	в	х	Уменьшение	1*
Хранение	↑	х	в	х	в	х	q_n	В
	↑	х	х	в	в	х	q_n	В

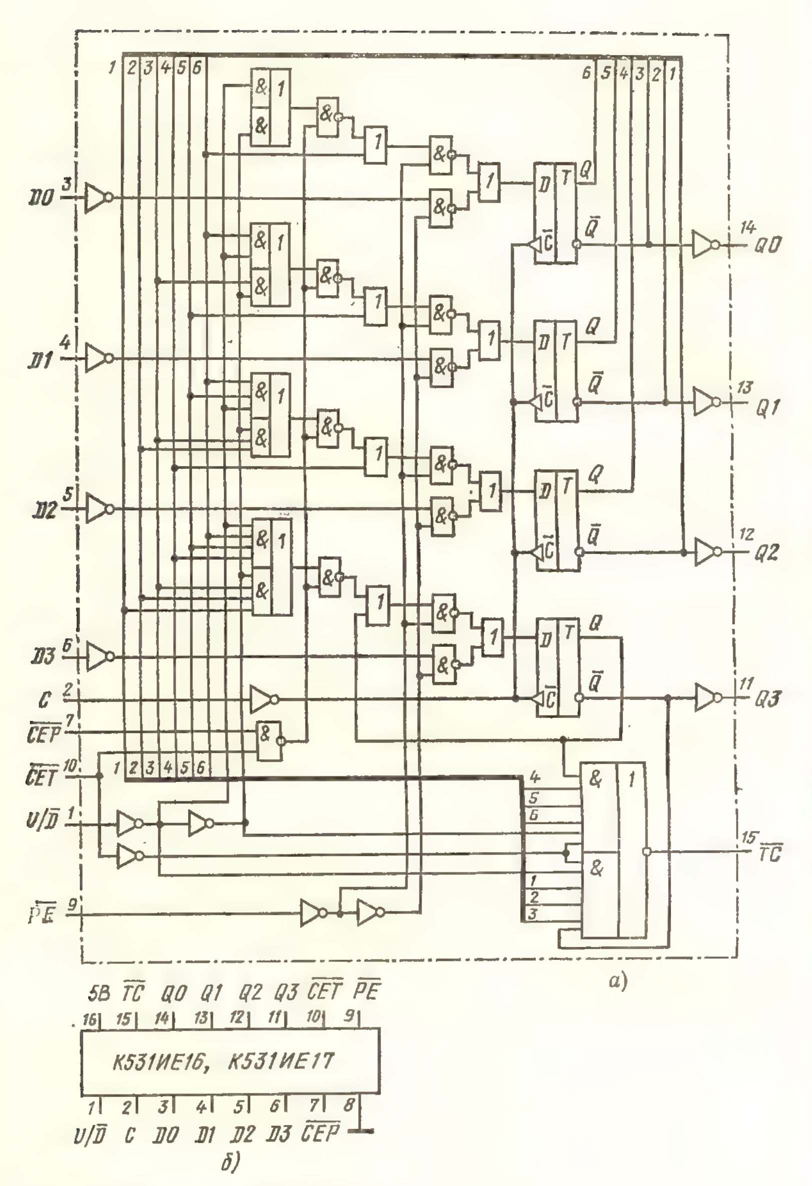


Рис. 1.73. Счетчики ИЕ16 и ИЕ17

кой *) обозначено состояние: уровень на выходе $\overline{TC}$ окажется низким, если на входе $\overline{CET}$ присутствует напряжение низкого уровня, а счет закончен.

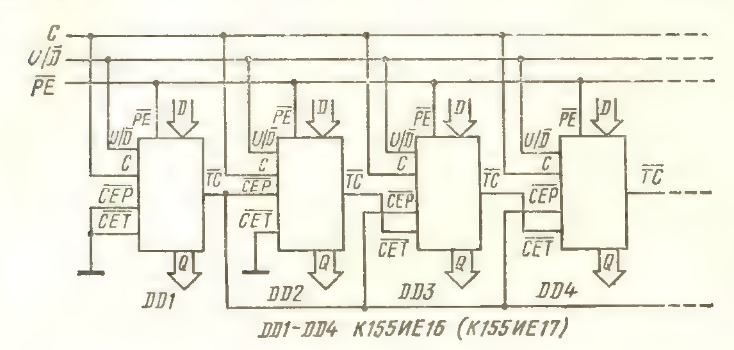


Рис. 1.74. Схема соединения счетчиков ИЕ16 и ИЕ17

Счетчик ИЕ16 заканчивает счет на увеличение, когда на выходах накапливается код ВННВ (т. е. цифровой эквивалент 9). Для счетчика ИЕ17 максимальный выходной код ВВВВ (15). Счет на уменьшение происходит до минимального кода НННН (т. е. до нуля).

1.15. РЕГИСТРЫ ТТЛ

Регистр — это линейка из нескольких триггеров, в которой в отличие от счетчиков-делителей нет внутренних запрещающих обратных связей. Регистры применяются для накопления и сдвига данных. Регистры, снабженные внешними перемычками, можно использовать как делители частоты.

В простейшем регистре триггеры соединены последовательно: выходы Q и $\overline{Q}$ предыдущего триггера передают бит данных на входы R и S последующего. Все тактовые входы C триггеров соединены параллельно. При таком включении единица, записанная в виде напряжений низкого и высокого уровней по входам R и S первого триггера, после подачи одного тактового импульса перейдет во второй триггер, затем во время следующего тактового импульса она попадет в третий триггер и так проследует далее, до конца регистра.

Аналогично продвигается по регистру многоразрядное слово: оно поразрядно вводится на входы R и S первого триггера. Простейший регистр имеет один вход и один выход — последовательные. Вход управления также единственный — тактовый. Если ко входу каждого триггера добавить разрешающую логику, можно получить дополнительные, так называемые параллельные входы одновременной загрузки байта в регистр. Здесь, как правило, используются дополнительные защелки, где фиксируются данные, поступившие на входы после прихода тактового импульса. В такую схему добавляется вход разрешения параллельной записи.

Можно предусмотреть также логическую схему параллельного отображения на выходах состояния каждого триггера. Тогда после запол-

Таблица 1.45. Регистры ТТЛ

Серия	Обозначение	Номер							
		1	8	9	11	12	13	15	16
К155		+					+	+	
КМ155		+						+	
К555				+	+			+	+
КМ555	ИР		+	+	+				
К531					+	+			
74	—	95	164	165	194	195	198	173	295

* Аналог DM2504.
** Аналоги из серии AM25S.
*** См. § 1.19, рис. 1.124.

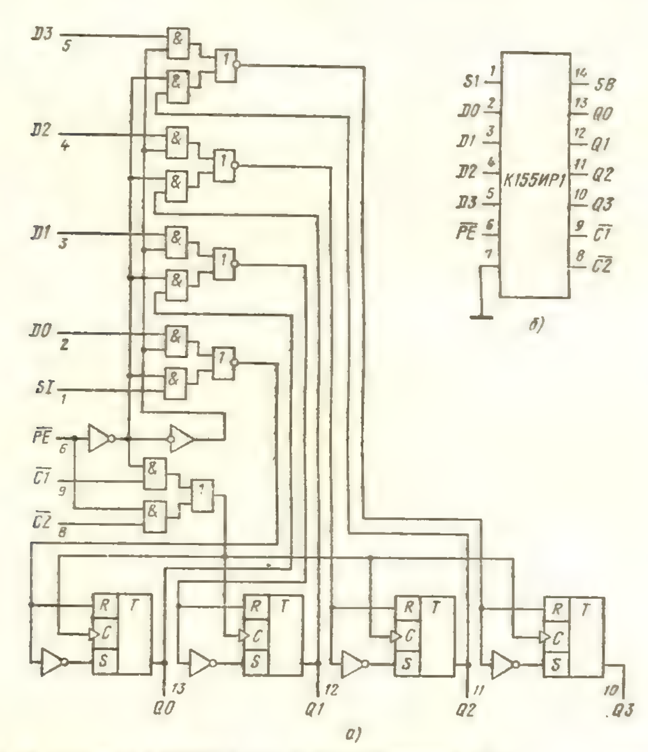


Рис. 1.75. Регистр К155ИР1 *(а)* и его цоколевка *(б)*

микросхемы										
17	18	19	20	22	23	24	25	26***	27	28
+							К533			
				+	+			+	+	+
					+					
	+	+	+	+	+	+				
*	07**	08**	09**	373	374	299	395	670	377	322

нения регистра от последовательного или параллельных входов, по команде разрешения выхода накопленное цифровое слово можно отобразить поразрядно сразу на всех параллельных выходах. Для удобства поочередной выдачи данных от таких регистров — буферных накопителей в шину данных обрабатывающего устройства — процессора — параллельные выходы регистров снабжаются выходными буферными усилителями, имеющими третье, разомкнутое Z-состояние. По многопроводной шине данных процессор получит цифровое слово — байт от выходов того регистра, которому дана команда разрешения выдачи.

Регистры, как и реверсивные счетчики, могут быть двунаправленными: загруженное слово можно сдвигать по линейке триггеров как вправо, так и влево. Для включения режимов сдвига влево или вправо служит специальный вход команды.

Существуют многорежимные регистры. Их входные и выходные линии данных объединены и образуют так называемый порт данных. Это означает, что от шины данных процессора приходит один провод (а не два), который по команде служит или входным или выходным. Число сигнальных входов и выходов микросхемы за счет портовой организации можно уменьшить в 2 раза (см. также устройство ДНШУ на рис. 1.17).

Однотипные регистры могут различаться функциями отдельных входов: синхронным или асинхронным сбросом, инверсными или прямыми входами, наличием выводов наращивания. Существуют специализированные регистровые микросхемы среднего уровня интеграции, например регистры последовательного приближения для построения АЦП. В табл. 1.45 представлена номенклатура регистровых микросхем, рассматриваемых в этом параграфе. Данные регистра К555ИР26 см. в § 1.19.

Микросхема К155ИР1 (рис. 1.75) — четырехразрядный, сдвиговый регистр. Он имеет последовательный вход данных SI (вывод 1), четыре параллельных входа D0—D3 (выводы 2—5), а также четыре выхода Q0—Q3 (выводы 13—10) от каждого из триггеров (рис. 1.75, *а*). Регистр имеет два тактовых входа $\overline{C1}$ и $\overline{C2}$. От любого из пяти входов

данных код поступит на выходы синхронного с отрицательным перепадом, поданным на выбранный тактовый вход.

Вход разрешения параллельной загрузки $\overline{PE}$ служит для выбора режима работы регистра. Если на вход $\overline{PE}$ дается напряжение высокого уровня, разрешается работа тактовому входу $\overline{C2}$. В момент прихода на этот вход отрицательного перепада тактового импульса в регистр загружаются данные от параллельных входов D0—D3.

Если на вход $\overline{PE}$ подано напряжение низкого уровня, разрешается работа тактовому входу $\overline{C1}$. Отрицательные фронты последовательности тактовых импульсов сдвигают данные от последовательного входа SI на выход Q0, затем на Q1, Q2 и Q3, т. е. вправо. Сдвиг данных по регистру влево получится, если соединить выход Q3 и вход D2, Q2

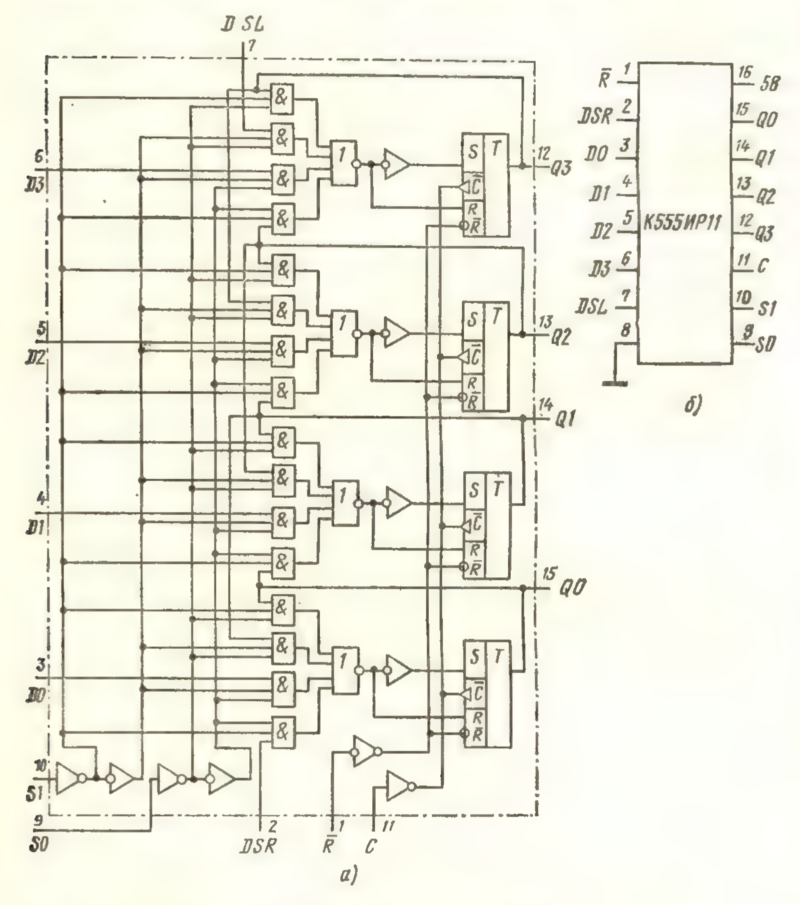


Рис. 1.76. Регистр ИР11 *(а)* и его цоколевка *(б)*

Таблица 1.46. Состояния регистра К155ИР1

Вход								Выход			
$\overline{PE}$	$\overline{C2}$	$\overline{C1}$	Последовательный S1	Параллельные D0	D1	D2	D3	Q0	Q1	Q2	Q3
В	В	x	x	x	x	x	x	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
В	↓	x	x	a	b	c	d	a	b	c	d
В	↓	x	x	Q_B	Q_C	Q_D	d	Q_{Bn}	Q_{Cn}	Q_{Dn}	d
Н	Н	В	x	x	x	x	x	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
Н	x	↓	В	x	x	x	x	В	Q_{An}	Q_{Bn}	Q_{Cn}
Н	x	↓	Н	x	x	x	x	Н	Q_{An}	Q_{Bn}	Q_{Cn}
↑	Н	Н	x	x	x	x	x	Q_{A0}	Q_{Bo}	Q_{C0}	Q_{D0}
↓	Н	Н	x	x	x	x	x	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
↑	Н	В	x	x	x	x	x	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
↑	В	Н	x	x	x	x	x	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
↑	В	В	x	x	x	x	x	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}

и D1, Q1 и D0. Регистр надо перевести в параллельный режим, подав на вход $\overline{PE}$ напряжение высокого уровня. Напряжение на входе $\overline{PE}$ можно менять только, если на обоих тактовых входах уровни низкие. Однако если на входе $\overline{C1}$ напряжение низкого уровня, перемена сигнала на входе $\overline{PE}$ от низкого уровня к высокому не меняет состояния выходов.

Обычный вариант микросхемы К155ИР1 имеет ток потребления 63мА, с переходами Шотки 21мА. Максимальная тактовая частота 25 МГц. Возможные режимы работы регистра ИР1 следует выбирать по табл. 1.46.

Микросхема К555ИР11 (рис. 1.76) — универсальный четырехразрядный сдвиговый регистр, с помощью которого можно строго синхронно сдвигать цифровое слово вправо и влево. Таким образом, регистры с обозначением ИР11 — двунаправленные. Время переходных процессов при сдвиге данных не превышает 20 нс для обычного исполнения и варианта К555, т. е. LS; для варианта S это время снижается до 12 нс.

Регистр К555ИР11 может выполнять целый ряд функций, поскольку снабжен несколькими входами выбора режимов: S0, S1, DSR, DSL (рис. 1.76, *а*). Если на входы выбора S0 и S1 поданы напряжения низкого уровня, код регистра сохраняется, задерживается. При напряжениях высокого уровня на этих входах данные от параллельных входов D0—D3 будут загружены в регистр и появятся поэтому на выходах Q0—Q3 в момент последующего положительного перепада тактового импульса.

При напряжении низкого уровня на входе S1 и высокого на S0, код поступающий на вход последовательных данных DSR, сдвигается по регистру вправо (от Q0 к Q3). При обратном соотношении уровней на входах S1 и S0 код принимается последовательным входом DSL и затем при каждом положительном перепаде тактовых импульсов сдвигается влево, т. е. от Q3 к Q0.

Поскольку режимы хранения, загрузки и сдвига синхронные, следует фиксировать момент вводных команд управления режимами. Если на вход $\overline{R}$ подается напряжение низкого уровня, происходит сброс данных и на выходах Q0—Q3 появляются напряжения низкого уровня.

Ток потребления регистра К531ИР11 равен 135 мА, К555ИР11 23 мА. Регистр К155ИР11 потребляет ток 63 мА, его тактовая частота равна 25 МГц. Регистр К531ИР11 может работать с тактовой частотой до 70 МГц. Режимы работы регистров ИР11 представлены в табл. 1.47.

Микросхема К531ИР12 (рис. 1.77) — регистр для скоростных операций: сдвига, счета, накопления, взаимного параллельно-последовательного преобразования цифровых слов. С помощью входа $\overline{PE}$ можно загружать параллельные данные, а также сдвигать их вправо. Если на входе $\overline{PE}$ присутствует напряжение высокого уровня, через входы первого триггера J и $\overline{K}$ (выводы 2 и 3, рис. 1.77, *а*) в регистр вводятся последовательные данные. Вход J имеет высокий активный уровень, вход $\overline{K}$ — низкий, если эти входы соединить, получим простой D-вход. Данные сдвигаются в направлении от Q0 к Q1, Q2, а затем к Q3 согласно каждому положительному перепаду на тактовом входе $\overline{C}$ (вывод 10).

Если на входе $\overline{PE}$ присутствует напряжение низкого (активного) уровня, все четыре триггера запускаются одним тактовым перепадом

(от низкого уровня к высокому). Тогда данные от параллельных входов D0—D3 передаются на соответствующие выходы Q0—Q3. Сдвиг данных влево получается в схеме, где каждый выход Q_n соединен внешней перемычкой со входом D_{n-1}. Напряжение на входе $\overline{PE}$ надо зафиксировать на низком уровне.

Из-за того, что все операции в регистре ИР12 строго синхронны и запускается он фронтом импульса, логические уровни на входах J, $\overline{K}$, D_n, $\overline{PE}$ можно без ограничений менять, пока не пришел фронт запуска. Низким уровнем на входе R все выходные сигналы устанавливаются на низкий уровень.

Напряжение низкого уровня на входе $\overline{R}$ означает запрет прохождения тактового импульса С. Для правильного сброса данных надо выбрать момент, когда на входе С присутствует напряжение низкого уровня. Необходимый режим работы регистра ИР12 можно выбрать по табл. 1.48.

Регистр 74195 потребляет ток 63 мА (максимальная частота 30 МГц), К531ИР12 109 мА (частота более 70 МГц) и 74 LS 195 21 мА (30 МГц).

Микросхема К155ИР13 (рис. 1.78) — универсальный, восьмиразрядный, синхронный регистр сдвига. Каждая операция продолжается в регистре не более 20 нс, поэтому он пригоден для обслуживания скоростных процессов и ЗУ как буферный накопитель байта. Синхронную работу регистру обеспечивают специальные входы выбора режима S0 и S1. В табл. 1.49 указаны сочетания уровней на этих входах, позволяющие переводить регистр в режимы: хранения (на входах S0 и S1 на-

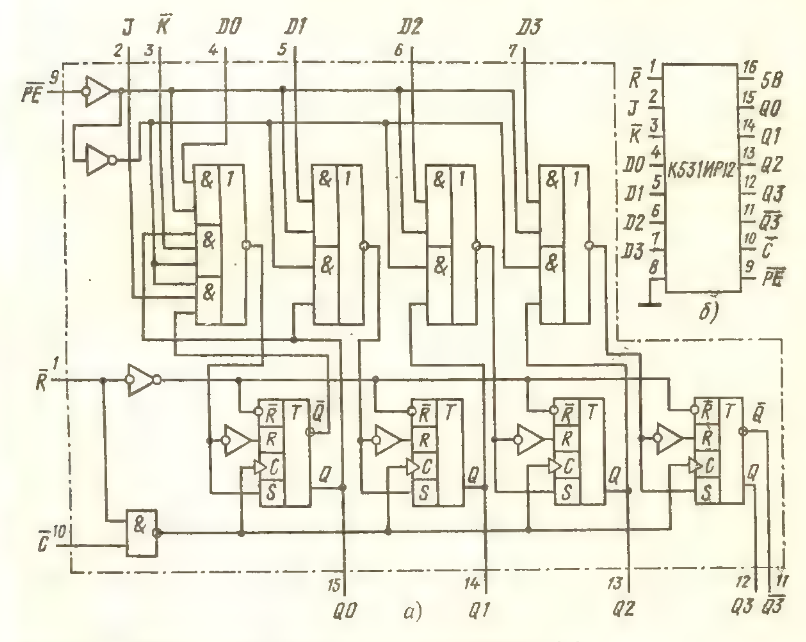


Рис. 1.77. Регистр К531ИР12 (*а*) и его цоколевка (*б*)

Таблица 1.47. **Состояния регистра К531ИР11**

Режим работы	Вход							Выход			
	C	$\bar{R}$	S1	S0	DSR	DSL	D_n	Q0	Q1	Q2	Q3
Сброс	x	Н	x	x	x	x	x	Н	Н	Н	Н
Хранение	x	В	н	н	x	x	x	q_0	q_1	q_2	q_3
Сдвиг влево	↑	В	в	н	x	н	x	q_1	q_2	q_3	Н
	↑	В	в	н	x	в	x	q_1	q_2	d_3	В
Сдвиг вправо	↑	В	н	в	н	x	x	Н	q_0	q_1	q_2
	↑	В	н	в	в	x	x	В	q_0	q_1	q_2
Параллельная загрузка	↑	В	в	в	x	x	d_n	d_0	d_1	q_2	d_3

Таблица 1.48. **Состояния регистра К531ИР12**

Режим работы	Вход						Выход				
	$\bar{R}$	$\bar{C}$	$\overline{PE}$	J	$\bar{K}$	D_n	Q0	Q1	Q2	Q3	$\bar{Q}3$
Асинхронный сброс	Н	x	x	x	x	x	Н	Н	Н	Н	В
Сдвиг и установка по первому каскаду	В	↑	в	в	в	x	В	q_0	q_1	q_2	$\bar{q}_2$
Сдвиг и сброс по первому каскаду	В	↑	в	н	н	x	Н	d_0	q_1	q_2	$\bar{q}_2$
Сдвиг и переключение первого каскада	В	↑	в	в	н	x	$\bar{q}_0$	q_0	q_1	q_2	$\bar{q}_2$
Сдвиг и хранение в первом каскаде	В	↑	в	н	в	x	q_0	q_0	q_1	q_2	$\bar{q}_2$
Параллельная загрузка	В	↑	н	x	x	d_n	d_0	d_1	d_2	d_3	$\bar{d}_3$

пряжения низкого уровня), параллельной загрузки (на этих входах напряжения высокого уровня), сдвига влево (S1=в, S0=н) и сдвига вправо (S1=н, а S0=в).

Кроме однотипных параллельных входов D0—D7, первый и последний разряды регистра имеют дополнительные D-входы: DSR — для сдвига вправо и DSL — для сдвига влево. Состоянием входов S0 и S1 определяется также прием тактового перепада от входа C. На входы S0 и S1 перепад от высокого уровня к низкому можно подавать, когда на входе C присутствует напряжение высокого уровня. При параллельной загрузке (S1=в, S0=в) слово, подготовленное на входе D0—D7, появится на выходах Q0—Q7 после прихода последующего положительного перепада тактового импульса.

Таблица 1.49. **Состояния регистра К155ИР13**

Режим работы	Вход							Выход		
	C	$\overline{R}$	S1	S0	DSR	DSL	D_n	Q0	Q1—Q6	Q7
Сброс	x	Н	x	x	x	x	x	Н	Н—Н	Н
Хранение	↑	В	н	н	x	x	x	q_0	q_1—q_6	q_7
Сдвиг влево	↑	В	в	н	x	н	x	q_1	q_2—q_7	Н
	↑	В	в	н	x	в	x	q_1	q_2—q_7	В
Сдвиг вправо	↑	В	н	в	н	x	x	Н	q_0—q_5	q_6
	↑	В	н	в	в	x	x	В	q_0—q_5	q_6
Параллельная загрузка	↑	В	в	в	в	x	d_n	d_0	d_1—d_6	d_7

Сброс у регистра К155ИР13 — асинхронный: при подаче на вход $\overline{R}$ активного напряжения низкого уровня на выходах Q0—Q7 фиксируются низкие уровни. Регистр потребляет ток 116 мА, тактовая частота его может превышать 25 МГц.

Микросхема К155ИР15 (рис. 1.79) — четырехразрядный регистр. Он имеет выходы с третьим, Z-состоянием, а его входы снабжены логическими элементами разрешения записи. Используется регистр как четырехразрядный источник кода, способный обслуживать непосредственно шину данных в системе. Для выбора режимов работы: сброс, хране-

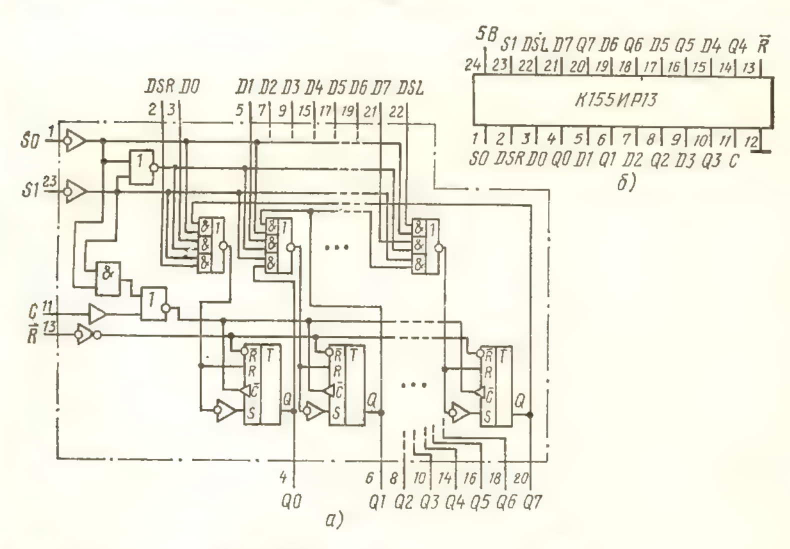


Рис. 1.78. Регистр К155ИР13 (*а*) и его цоколевка (*б*)

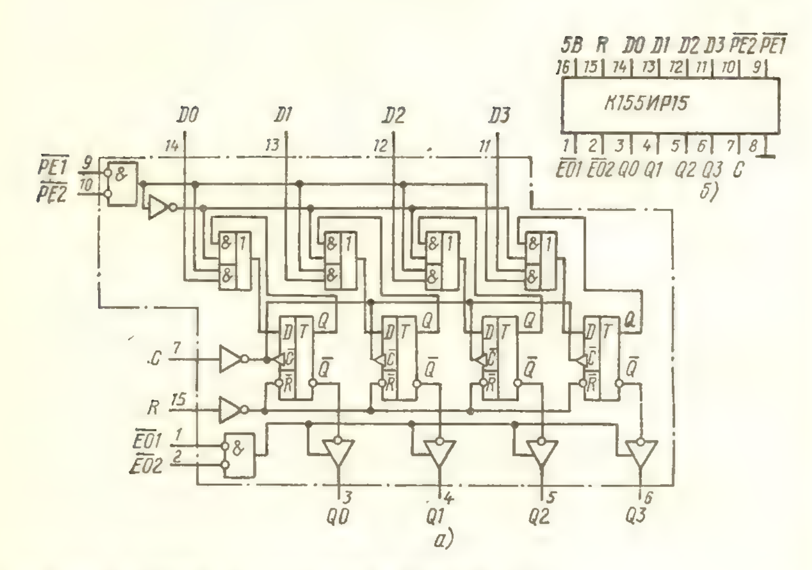


Рис. 1.79. Регистр ИР15 *(а)* и его цоколевка *(б)*

Таблица 1.50. **Состояния регистра ИР15**

Режим	Вход R	Вход C	Вход $\overline{PE1}$	Вход $\overline{PE2}$	Вход D_n	Выход Q_n
Сброс	В	x	x	x	x	Н
Параллельная загрузка	Н	↑	н	н	н	Н
	Н	↑	н	н	в	В
Хранение (без изменения)	Н	x	в	x	x	q_n
	Н	x	x	в	x	q_n

Таблица 1.51.

Режимы выходов с тремя состояниями регистра ИР15

Режим	Вход D_n	Вход $\overline{EO1}$	Вход $\overline{EO2}$	Выход Q0—Q3
Считывание	Н	Н	Н	Н
	В	Н	Н	В
Запрет	x	В	x	Z
	x	x	В	Z

ние и загрузка в регистр следует пользоваться табл. 1.50. Перевести выходы в Z-состояние можно с помощью команды, выбранной по табл. 1.51.

Разрешение на прием параллельных данных от входов D0—D3 дается по входам управления $\overline{PE1}$ и $\overline{PE2}$. Загрузка произойдет синхронно с положительным перепадом тактового импульса, если на обоих входах присутствуют напряжения низкого уровня. Если на одном из этих входов напряжение высокого уровня, после прихода положительного так-

тового перепада в регистре должны остаться прежние данные. Напряжения на входах $\overline{PE1}$, $\overline{PE2}$, D0—D3 ко времени прихода положительного перепада тактового импульса должны быть зафиксированы.

Вход сброса R имеет высокий активный уровень. Выходные буферные инверторы Q0—Q3 управляются от входов разрешения $\overline{E01}$ и $\overline{E02}$. Если на эти входы подано напряжение активного низкого уровня, данные, содержащиеся в регистре, отображаются на выходах Q0—Q3. Присутствие хотя бы одного напряжения высокого уровня на входах разрешения $\overline{E01}$ и $\overline{E02}$ вызывает Z-состояние (размыкание) для выходных линий Q0—Q3. При этом данные из регистра в шину данных системы не проходят, выходы регистра не влияют на работу других аналогичных выходов, присоединенных к проводникам шины.

На работу входов сброса R и тактового C смена уровней на входах разрешения влияния не оказывает. В режиме запрета (табл. 1.51) выходное сопротивление каждого выхода очень большое. Регистр К155ИР15 потребляет ток 72 мА и имеет тактовую частоту до 25 МГц; вариант 74 LS173 потребляет ток 30 мА, его тактовая частота 30 МГц.

Микросхема К555ИР16 (рис. 1.80) — четырехразрядный сдвиговый регистр с третьим состоянием выходов. Режимы загрузки и сдвига переключаются с помощью входа параллельного разрешения $\overline{PE}$. Если на входе $\overline{PE}$ присутствует напряжение высокого уровня, данные загружаются в регистр от параллельных входов D0—D3 сихронно с отрицательным перепадом на тактовом входе $\overline{C}$. Напряжение низкого уровня на входе $\overline{PE}$ вызывает загрузку данных от последовательного входа SI. Цифровое слово сдвигается вправо от Q0 к Q1 далее к Q2 и Q3 синхронно с каждым отрицательным перепадом на тактовом входе $\overline{C}$. Состояния регистра ИР16 отображены в табл. 1.52.

Таблица 1.52. **Состояния регистра К555ИР16**

Режим работы	Вход				Выход			
	$\overline{C}$	$\overline{PE}$	Последовательный, SI	Параллельный $D_п$	Q0	Q1	Q2	Q3
Параллельная загрузка	↓	н	н	х	Н	q_0	q_1	q_2
	↓	н	в	х	В	q_0	b_1	q_2
Сдвиг вправо	↓	в	х	н	Н	Н	Н	Н
	↓	в	х	в	В	В	В	В

Выходные буферные элементы регистра имеют повышенную нагрузочную способность, что позволяет обслуживать сильно нагруженные шины данных в вычислительном устройстве. Перейти к третьему Z-состоянию выходов можно с помощью данных табл. 1.53. Выходы Q0—Q3 размыкаются, если на вывод разрешения выходам E0 подается напряжение низкого уровня. Ток потребления микросхемы К555ИР16

Таблица 1.53. **Режимы выходов регистра К555ИР16**

Режим выхода	Вход		Выход Q0—Q3
	EO	D_n (регистр)	
Считывание	В	Н	Н
	В	В	В
Разомкнут	Н		Z

29 мА, максимальная частота 30 МГц. Выходной ток короткого замыкания буферного каскада составляет 30...100 мА.

Микросхема К155ИР17 (рис. 1.81) — регистр последовательных приближений. Он предназначен для построения 12-разрядных АЦП, работающих по методу последовательных приближений. Регистр применяется вместе с 12-разрядной микросхемой ЦАП и интегральным компаратором.

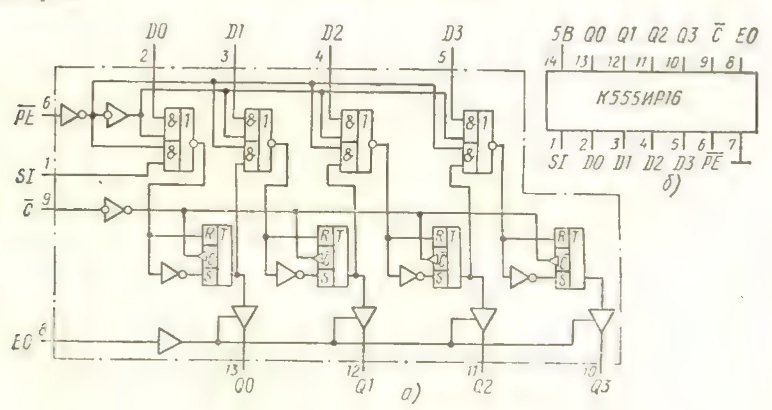


Рис. 1.80. Регистр К555ИР16 *(а)* и его цоколевка *(б)*

Суть метода последовательных приближений соответствует процедуре взвешивания предмета (в данном случае «предмет» — это зафиксированный на время измерения уровень сигнала) с помощью набора гирь. При этом набор «разновесов» подобран по двоичной системе: $^1/_2$ от предельной массы, на которую рассчитаны весы, $^1/_4$, $^1/_8$, ... В случае применения регистра К155ИР17 потребуется набор градаций вплоть до младшей: $1/2^{12}=1/4096$. Предельную для весов массу назовем шкалой преобразования.

Если на весы установлен предмет, проверяем его массу наибольшей гирей ($^1/_2$ шкалы весов). Если она перевешивает, этот старший разряд

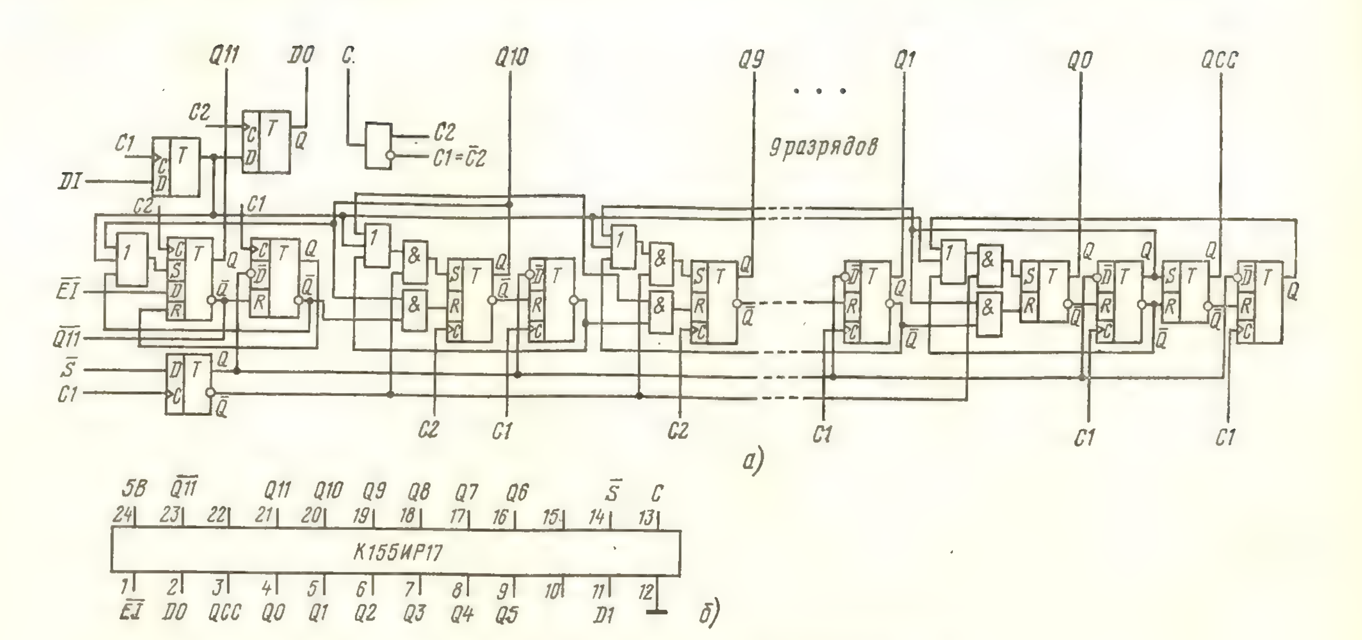


Рис. 1.81. Регистр последовательного приближения К155ИР17 и его цоколевка (б)

придется с весов снять (записать в память 0). Если предмет перевешивает, гирю на чашке оставляем (оставляем в памяти 1). Далее добавляем гирю 1/4 шкалы. После анализа «больше — меньше» (в электронной схеме это делает компаратор, т. е. сравниватель) либо записываем 1 (гирю оставляем), либо 0 (гирю снимаем).

Чтобы проанализировать массу предмета с точностью младшей градации 1/4096, потребуется сделать 12 таких операций последовательного приближения. Отметим, что ошибка работы самих весов (это эквивалент точности микросхемы-компаратора) должна быть существенно меньшей, чем младшая градация. Как результат 12 тактовых импульсов взвешивания на чашке весов должен накопиться 12-разрядный код (часть гирь на чашке — это единицы кода, часть рядом с весами — это нули).

Преобразование электрического сигнала U_c можно пояснить примером. Предположим оказалась достаточной для работы разрешающая способность преобразователя 4 бита, а напряжение шкалы выбрано $U_{шк}=16$ В. Тогда старший значащий разряд (СЗР) будет весить $U_{СЗР}=$ $=\frac{1}{2}U_{шк}=8$ В, второй $\frac{1}{4}U_{шк}=4$ В, третий $\frac{1}{8}U_{шк}=2$ В. Четвертый, младщий значащий разряд (МЗР) составляет $\frac{1}{16}U_{шк}=1$ В. Если на выходе АЦП появился код 1101, это значит, что измерено входное напряжение $8+4+0+1=13$ В.

Для измерительных приборов строят АЦП последовательного приближения с разрешающей способностью 22 бита $1/(5\cdot10^6)$. Как пример, укажем, что для перевода в цифровую форму звуковых сигналов требуются 16-разрядные АЦП, а для телевизионных видеосигналов достаточны 8-битовые, но сверхскоростные. Для систем управления используются 10—14-разрядные АЦП.

С помощью регистра последовательных приближений (РПП) К155ИР17 реализуются режимы: полного цикла преобразования, короткого цикла для малоразрядных АЦП, непрерывного преобразования, одноразового преобразования (так называемое старт-стопное). Варианты кодирования могут быть различными, а для расширения логических функций можно работать как с напряжением высокого, так и с напряжением низкого активного уровня. Регистр К155ИР17 можно использовать и не по прямому назначению, а как кольцевой счетчик или преобразователь последовательного кода в параллельный.

Регистр (рис. 1.81, *а*) имеет 12 одинаковых ячеек хранения накапливаемых разрядов (выходы от Q0 до Q11). Состояния ячеек меняются с приходом положительного тактового перепада на вход С. В левой части рис. 1.81, *а* расположена ячейка управления регистром со входами: $\overline{EI}$, $\overline{S}$. Вход DI служит для приема последовательного цифрового слова. При положительных перепадах на тактовом входе С данные заполняют ячейки разрядов (выходы Q0—Q11), а также транслируются через выход последовательного кода D0. Если регистр установлен в АЦП, на вход DI будут поступать от компаратора единицы или нули, являющиеся результатами поразрядного взвешивания.

Ячейки регистра управляются внутренней двухфазной последовательностью импульсов C1 и $C2=\overline{C1}$. На внешний тактовый вход С подаются импульсы с частотой, в 2 раза превышающей требуемую скорость работы АЦП.

Вход $\overline{EI}$ принимает сигнал остановка (т. е. Разрешение). Вывод $\overline{EI}$ необходим для подключения последующих регистров, а также для подачи сигнала остановки преобразования. В последнем случае на выходе

Q11 появляется напряжение высокого уровня. Если вход $\overline{EI}$ не используется, его следует заземлить.

Вход $\overline{S}$ — стартовый (см. вторую осциллограмму на рис. 1.82). Когда на вход $\overline{S}$ поступает напряжение низкого уровня, содержимое регистра сбрасывается на нуль за первый период тактовой последовательности. На рис. 1.82 для упрощения показано только восемь выходных сигналов Q0—Q7 в прямом коде. Старший разряд выходит из регистра как по прямому Q11, так и по инверсному $\overline{Q11}$ выходам. Выход $\overline{Q11}$ можно использовать как знаковый. Когда преобразование завершено, на выходе QCC (conversion complete) появляется напряжение низкого уровня.

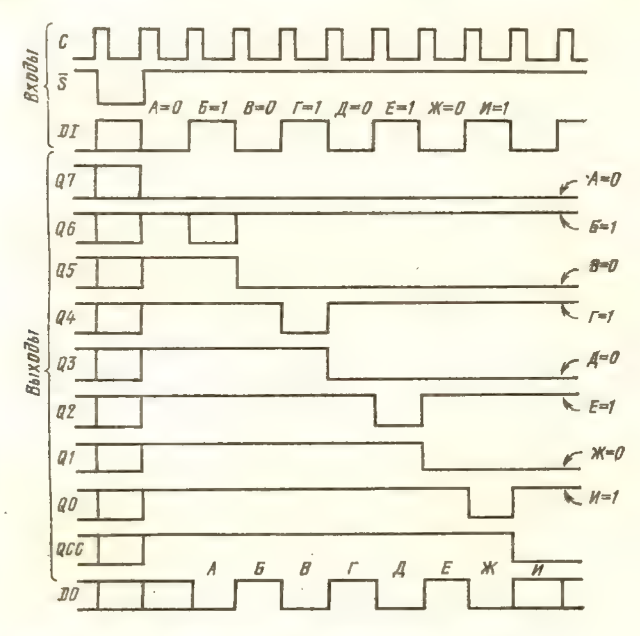


Рис. 1.82. Диаграмма работы регистра К155ИР17

Как результат полного цикла работы регистра поданная на вход DI кодовая последовательность, обозначенная на рис. 1.82 буквами А—И, появляется в параллельном коде на выходах Q0—Q7 (этот байт теперь накоплен в регистре). Со сдвигом на один такт эту же последовательность в процессе заполнения регистра можно было наблюдать на выходе D0.

На рис. 1.83 показано несколько схем применения регистра К155ИР17. Устройство на рис. 1.83, *а* состоит из пяти частей А1—А5. Здесь к регистру РПП присоединен ЦАП и генератор тактовых импульсов GC. Выходной ток ЦАП $I_{вых}$ поступает на компаратор, на вход которого подается также ток сигнала I_c. Напряжение шкалы преобразования соответствует уровню опорного напряжения $U_{оп}$. После прихода

сигнала «Пуск» $\bar{S}$ РПП посылает на ЦАП старший бит Q11 (т. е. ставит на весы гирю $^1/_2$ шкалы).

Компаратор сравнивает напряжения U_c и $U_{оп}/2$ и свое решение 1 или 0 и дает на вход DI РПП. Если решение 0, СЗР сбрасывается и на ЦАП выдается следующий разряд. Если после компаратора получена 1, она останется в регистре (см. диаграмму Q6 на рис. 1.82). Все 12 разрядов подаются от РПП на ЦАП поочередно, поразрядные решения компаратора в виде последовательности 1 и 0 накапливаются на выходах РПП.

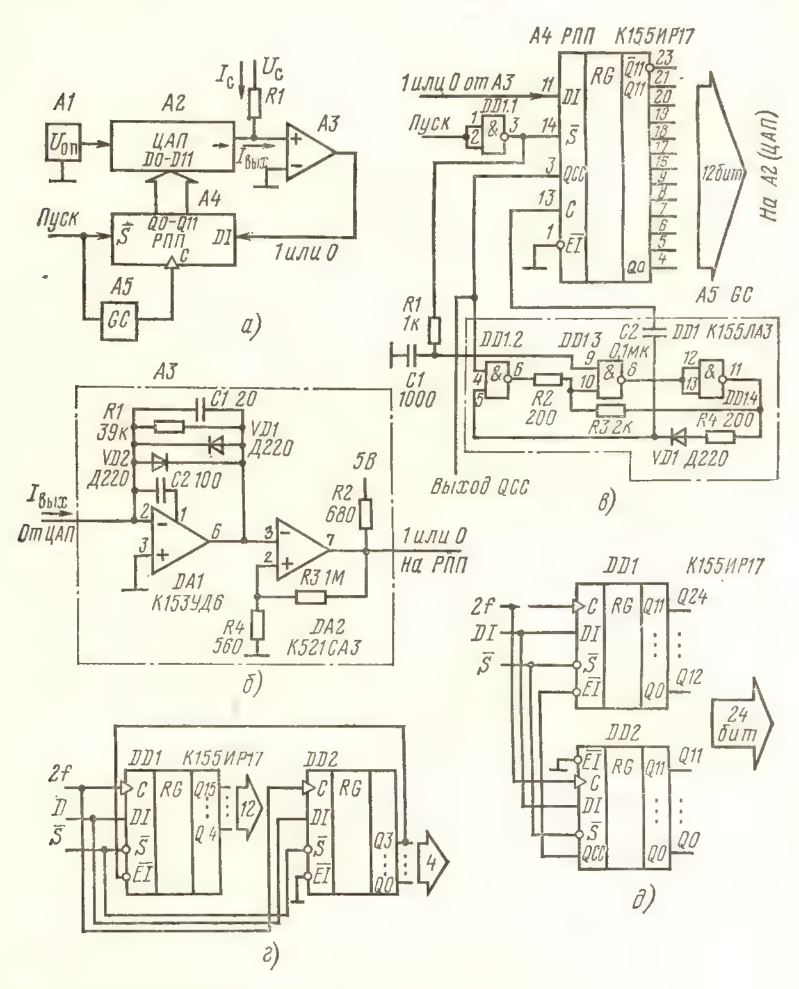


Рис. 1.83. Схемы применения регистра К155ИР17

На рис. 1.83 показана схема компаратора, который может обеспечить разрешающую способность 12 бит (устройство A3), а на рис. 1.83, *в* дана цифровая часть АЦП (устройства А4 и А5). В качестве А2 можно применить ЦАП К1108ПА1.

Регистры К155ИР17 можно наращивать. На рис. 1.83, *г* показана схема 16-, а на рис. 1.83, *д* — 24-разрядного регистра. Регистр DD2 в схеме на рис. 1.83, *г* работает по укороченному циклу, сокращая время преобразований, когда нужны не все информационные выходы. Здесь вместо сигнала QCC используется сигнал Q3—выходной уровень необходимого младшего разряда.

Микросхема К555ИР8 (рис. 1.84) — восьмиразрядный сдвиговый регистр с последовательным входом и параллельными выходами. Регистр имеет асинхронный сброс (вход $\overline{R}$, вывод 9) и два входа для последовательных данных DS_a и $DS_в$ (логика И). Поданные через эти

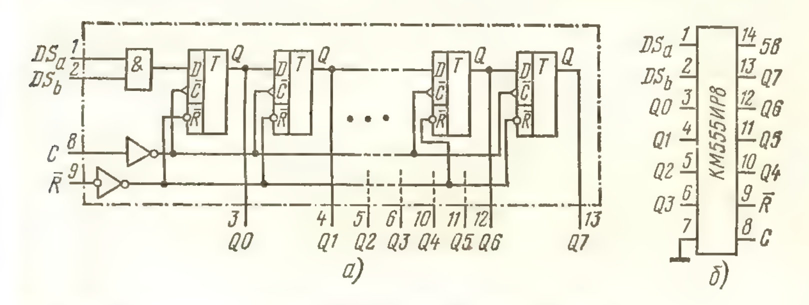


Рис. 1.84. Регистр КМ555ИР8 *(а)* и его цоколевка *(б)*

входы данные сдвигаются на одну позицию вправо согласно каждому положительному перепаду импульса, пришедшего на тактовый вход С. Перед приходом тактового импульса уровни на входах следует зафиксировать. Состояния регистра К555ИР8 перечислены в табл. 1.54.

Если на вход $\overline{R}$ подается напряжение низкого уровня, работа другим входам запрещается. На выходах Q0—Q7 появятся напряжения низкого уровня. Обычный вариант регистра 74164 потребляет ток 54 мА,

Таблица 1.54. **Состояния регистра К555ИР8**

Режим	Вход				Выход	
	$\overline{R}$	C	DS_a	$DS_в$	Q0	Q1—Q7
Сброс	Н	x	x	x	Н	Н—Н
Сдвиг	В	↑	н	н	Н	q_0—q_6
	В	↑	н	в	Н	q_0—q_6
	В	↑	в	н	Н	q_0—q_6
	В	↑	в	в	В	q_0—q_6

вариант 74 LS164 27 мА (К555ИР8). Выходной ток в первом случае превышает 27, во втором — не менее 15 мА.

Микросхема К555ИР9 (рис. 1.85) — сложный восьмиразрядный сдвиговый регистр, имеющий параллельные и последовательный входы. Параллельно данные загружаются в регистр через входы D0—D7 асинхронно, если на вход разрешения параллельной загрузки $\overline{PE}$ подается напряжение низкого уровня. Если на входе $\overline{PE}$ присутствует напряжение высокого уровня, данные вводятся в регистр через последовательный вход SI. Сдвиг данных вправо на одну позицию происходит согласно каждому положительному перепаду тактового импульса на входе C. Вход разрешения тактовым испульсам $\overline{CE}$ имеет активный низкий уровень. Если на входах $\overline{CE}$ и C присутствуют напряжения низкого уровня, данные по регистру не сдвигаются (перед приходом на вход $\overline{PE}$ перепада от высокого уровня к низкому). Входы C и $\overline{CE}$ логически равноправны, поэтому их можно менять местами.

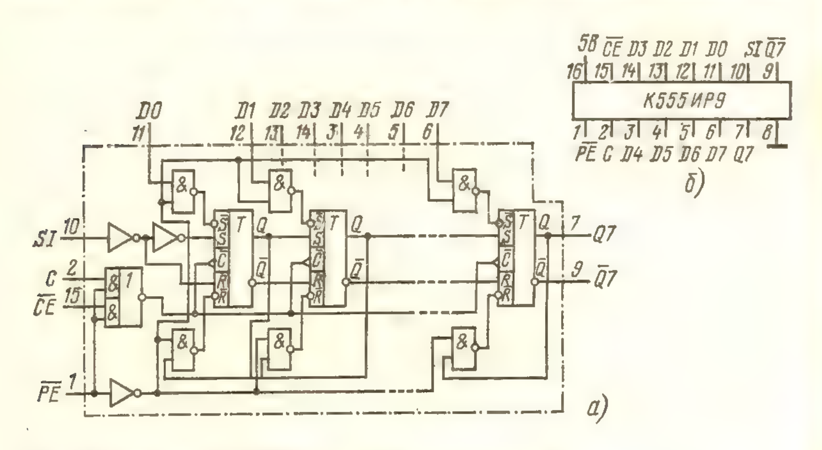


Рис. 1.85. Регистр К555ИР9 *(а)* и его цоколевка *(б)*

У регистра К555ИР9 комплементарные выходы Q7 и $\overline{Q7}$ есть только у оконечного триггера, поэтому основное назначение этой микросхемы — регистр задержки данных. Последовательный код подается на вход SI и снимается с выходов Q7 и $\overline{Q7}$. Остановить трансляцию можно, подав на вход $\overline{CE}$ напряжение высокого уровня. Кроме того, регистр ИР9 удобен как преобразователь параллельного кода в последовательный: от входов D0—D7 к выходам Q7 и $\overline{Q7}$. Данные можно загрузить по команде $\overline{PE}$=H. Режим работы регистра можно установить с помощью табл. 1.55.

Микросхема К555ИР9 потребляет ток 63 мА, тактовая частота превышает 20 МГц.

Микросхемы К531ИР18 и К531ИР19 (рис. 1.86, *а—г*) с буферным входом разрешения записи данных $\overline{EI}$. Регистр ИР18 — шестиразрядный, каждый триггер в нем имеет только прямой выход Q. У четырех-

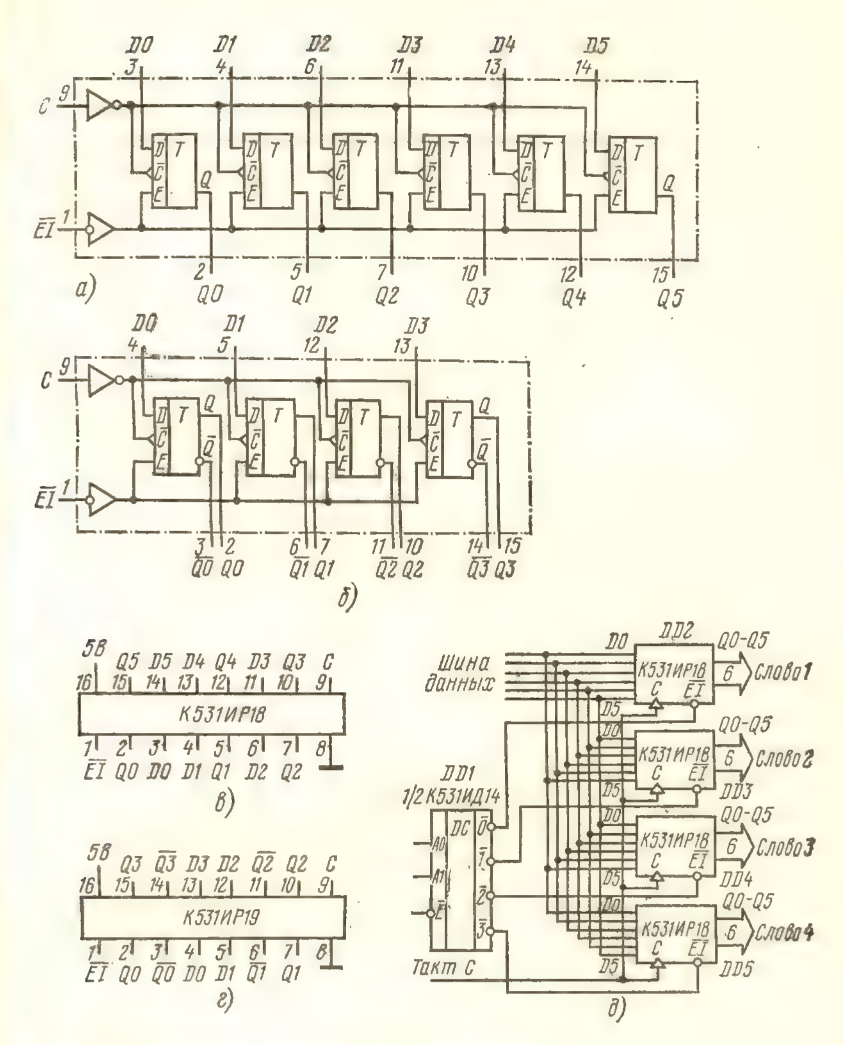


Рис. 1.86. Регистры со входом разрешения записи

разрядного регистра ИР19 выходы каждого разряда комплементарные Q и $\overline{Q}$. При напряжении высокого уровня $\overline{EI}$=В выходные данные останутся без изменения при любых уровнях на входах D_i и тактовом C (см. первую строку табл. 1.56). В строках второй и третьей также отображается неизменность выходных состояний Q_n. Последние две строки таблицы показывают условия тактированного переноса данных от входов D_i на выходы Q_i. Если на входе $\overline{EI}$ присутствует напряжение низ-

Таблица 1.55. Состояния регистра К555ИР9

Режим работы	Вход					Внутреннее состояние		Выход	
	$\overline{PE}$	$\overline{CF}$	C	SI	D0—D7	Q0	Q1—Q6	Q7	$\overline{Q7}$
Параллельная загрузка	Н	х	х	х	Н	Н	Н—Н	Н	В
	Н	х	х	х	В	В	В—В	В	Н
Последовательный сдвиг	В	Н	↑	н	х	Н	q_0—q_5	q_6	$\overline{q_6}$
	В	Н	↑	в	х	В	q_0—q_5	q_6	$\overline{q_6}$
Хранение	В	В	х	х	х	q_0	q_1—q_6	q_7	$\overline{q_7}$

Таблица 1.56. Состояния регистров ИР18 и ИР19

Вход			Выход	
$\overline{EI}$	D_i	C_{n+1}	Q_i	$\overline{Q_i}$
В	х	х	Q_n	$\overline{Q_i}$
Н	х	В	Q_n	$\overline{Q_n}$
Н	х	Н	Q_n	$\overline{Q_n}$
Н	Н	↑	Н	В
Н	В	↑	В	Н

Таблица 1.57. Состояния регистра ИР20

Вход				Выход
S	C	D_{iA}	D_{iB}	Q_i
Н	↓	Н	х	Н
Н	↓	В	х	В
В	↓	х	Н	Н
В	↓	х	В	В

кого уровня, данные будут загружены в регистр по положительному перепаду на тактовом входе С.

Ток потребления для этих микросхем более 75 мА, время задержки распространения сигналов от 8 до 10 нс.

На рис. 1.86, *д* показана схема устройства загрузки, в котором от одной шестиразрядной шины данных (шесть проводников) синхронно с перепадом на тактовом входе С можно загружать данные в один из четырех регистров К531ИР18. Требуемый регистр выбирается с помощью дешифратора К531ИД14, управляемого двухразрядным кодом выбора (адреса) А0, А1. На выходах регистров цифровые слова от первого до четвертого будут направлены в четыре шестиразрядные шины. Таким образом, цифровые слова распределены по четырем адресам.

Микросхема К531ИР20 (рис. 1.87, *а*, *б*) — четырехразрядный регистр. Его входы организованы как два порта данных А и В по четыре проводника в каждом: D_a0—D_a3 и $D_в0$—$D_в3$ (слово port имеет первоначальное значение — дверь, которую можно открывать в обе стороны). Порты данных А и В коммутируются в регистре ИР20 с помощью

одноразрядного кода, поданного на вход S. В каждом разряде имеется два входа D_{Ai} и D_{Bi}, данные от которых передаются триггеру через двухвходовой мультиплексор (логический элемент И/ИЛИ). При напряжении низкого уровня на входе S данные от входа D_{Ai} загружаются в регистр через порт A и появляются на выходе Q_i, при отрицательном перепаде на входе $\overline{C}$ (табл.1.57).

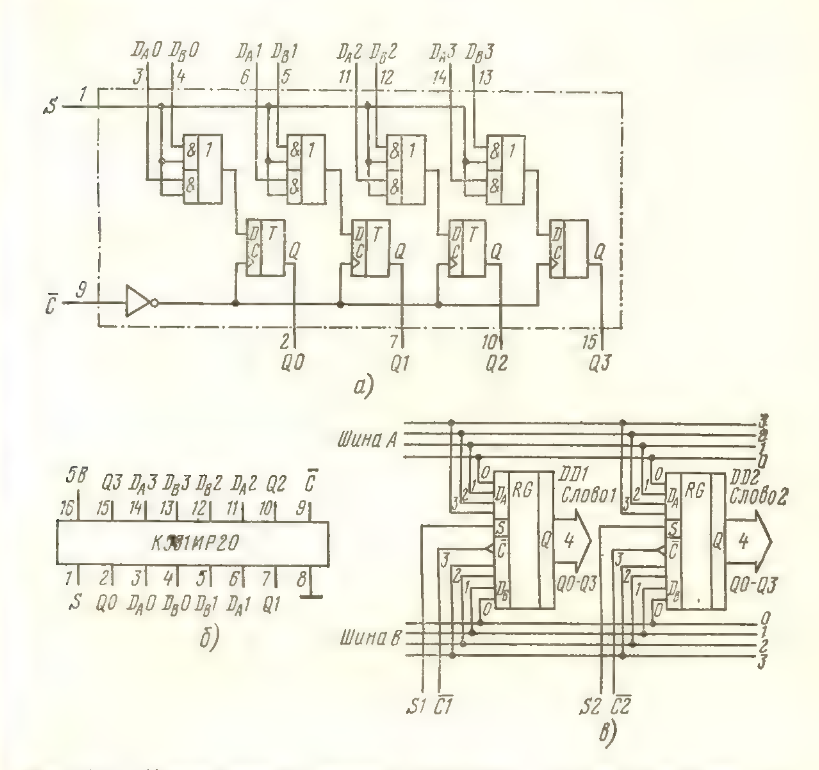


Рис. 1.87. Двухпортовый регистр К531ИР20 *(а)*, его цоколевка *(б)* и схема приема данных от двух шин *(в)*

Аналогично при S=В загружаем в регистр данные через порт В. На рис. 1.87, *в* показано устройство, где два регистра ИР20 по команде, даваемой по входам S1, $\overline{C1}$ или S2, $\overline{C2}$ могут принять по очереди или одновременно цифровые слова от шин данных А или В. Эта операция противоположна функции регистров на рис. 1.86, *д*.

Микросхема К531ИР20 потребляет ток не более 120 мА. Время задержки распространения сигнала после прихода тактового перепада составляет на выходе 8—12 нс.

Микросхема К555ИР22 (рис. 1.88) — восьмиразрядный регистр — защелка отображения данных, выходные буферные усилители которого

имеют третье Z-состояние. Схема регистра состоит из двух частей. Первая часть — это восемь D-триггеров со входом разрешения параллельной записи PE. Пока напряжение на входе PE высокого уровня, данные от параллельных входов D-триггеров D0—D7 отображаются на выходах Q0—Q7. Подачей на вход PE напряжения низкого уровня разрешается запись в триггеры нового восьмибитного байта. Вторая выходная часть устройства управляется по выводу разрешения $\overline{E0}$. Ее восемь буферных ключевых выходных усилителей отличаются большой нагрузочной способностью и имеют третье Z-состояние.

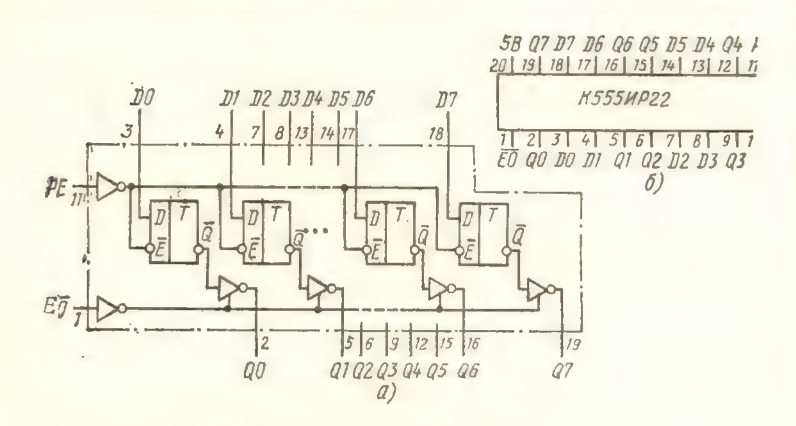


Рис. 1.88. Регистр ИР22 *(а)* и его цоколевка *(б)*

Таблица 1.58. **Состояния регистра ИР22**

Режим работы	Вход $\overline{E0}$	Вход PE	Вход D_n	Выход триггера $\overline{Q}$	Выход Q0—Q7
Разрешение и считывание из регистра	Н	В	Н	Н	Н
	Н	В	В	В	В
Защелкивание и считывание из регистра	Н	Н	н	Н	Н
	Н	Н	в	В	В
Защелкивание в регистр, разрыв выходов	В	Н	н	Н	Z
	В	Н	в	В	Z

Если согласно табл. 1.58 на вход $\overline{E0}$ дать напряжение низкого уровня, данные из триггеров регистра пройдут на выходы Q0—Q7. Эти выходы разомкнутся, если на вход $\overline{EO}$ подать напряжение высокого уров-

ня. Буферный вход имеет гистерезис Шмитта ±400 мВ, что повышает помехоустойчивость при переключении.

Потребляемый регистром К555ИР22 ток 40 мА; выходной ток буферного выхода каждого разряда не менее 30 мА, что позволяет обслуживать шины с емкостным характером нагрузки (память МОП, микропроцессорная система). Время задержки распространенения данных от входов до выходов 32 нс; время включения выходов от Z-состояния составляет: к напряжению высокого выходного уровня — 20 нс, низкого — 28 нс. При переходе к Z-состоянию от напряжения высокого уровня требуется интервал 45 нс, от низкого — 24 нс.

Микросхема К555ИР23 (рис. 1.89) — регистр, аналогичный ИР22,

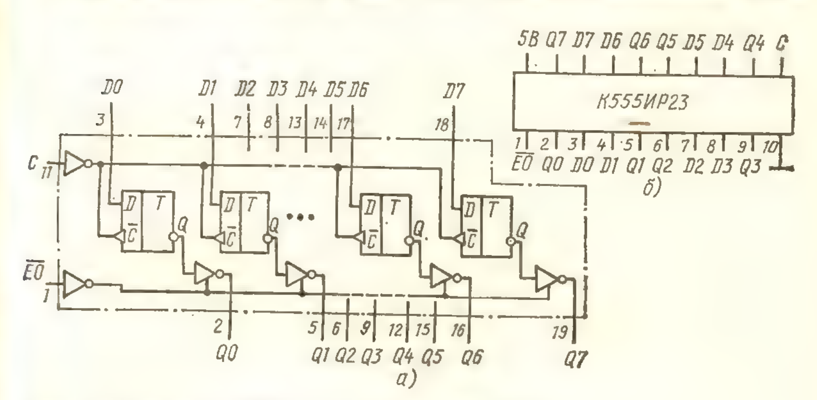


Рис. 1.89. Регистр ИР23 *(а)* и его цоколевка *(б)*

но с восемью тактируемыми триггерами. Из-за этого вход PE заменен на C. Назначение и действие входа $\overline{E0}$ остается прежним (см. табл. 1.59). Регистр принимает и отображает информацию синхронно с по-

Таблица 1.59. **Состояния регистра ИР23**

Режим работы	Вход EO	Вход C	Вход $D_п$	Выход триггера $\overline{Q}$	Выход Q0—Q7
Загрузка и считывание	Н	↑	н	Н	Н
	Н	↑	в	В	В
Загрузка регистра и разрыв выходов	В	↑	н	Н	Z
	В	↑	в	В	Z

ложительным перепадом на тактовом входе. Буферный вход управления C имеет гистерезис ±400 мВ.

Ток потребления регистра К555ИР23 45 мА; ток каждого выхода — не менее 30 мА. Время задержки распространения от тактового входа до выхода 38 нс.

Микросхема К531ИР24 (рис. 1.90) — универсальный, восьмираз-

рядный регистр. Его применяют как сдвиговый и накопительный. Данные можно сдвигать как вправо, так и влево. Выходные буферные элементы регистра имеют третье Z-состояние. Восемь выводов микросхемы (от 4 до 7 и от 13 до 16) образуют порт данных, провода в котором по команде служат то входами данных, то выходами для них. Таким образом сокращают в 2 раза число выводов от кристалла микросхемы. Напомним, что в регистре ИР20 (см. рис. 1.87, *а*) порты данных пропускали на четыре триггера одно из двух четырехбитных слов.

Регистр ИР24 может работать в четырех синхронных режимах: сдвиг вправо и влево, параллельная загрузка и хранение. Для составления многоразрядных регистров у микросхемы предусмотрены входы последовательных данных DS0 и DS7 (входы данных слева и справа). Имеются и аналогичные выходы Q0 и Q7. Параллельные данные загружают в регистр и считывают из регистра через выводы Вх./Вых. 0—

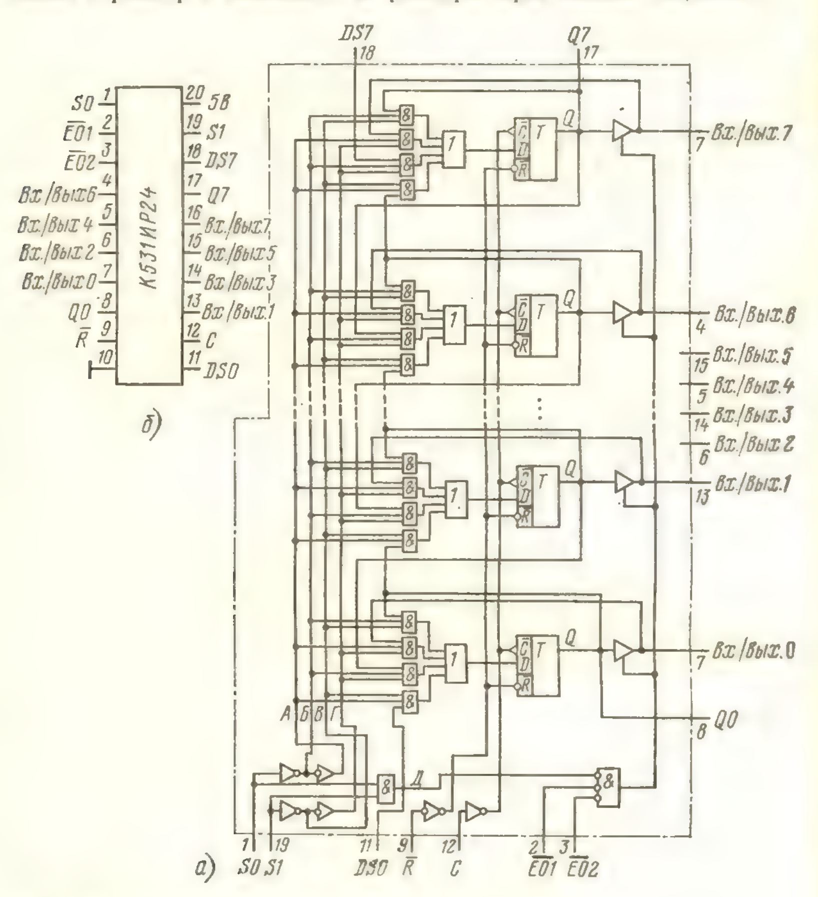


Рис. 1.90. Регистр К531ИР24 (*а*) и его цоколевка (*б*)

Вх./Вых. 7. Работа порта управляется входами выбора режима работы S0 и S1, а также двумя выводами $\overline{E01}$ и $\overline{E02}$, по которым дается разрешение выходам. Входы выбора режима S0 и S1, входы последовательных данных DS0 и DS7, а также входы параллельных данных открываются синхронно с положительным перепадом импульсов на тактовом входе C. Непосредственно перед приходом этого перепада уровни на всех других входах должны быть зафиксированы.

Вход сброса $\overline{R}$ — асинхронный. Напряжение низкого уровня на нем запрещает действие тактового и других входов и переводит регистр в нулевое состояние. Для последовательного соединения двух и более регистров ИР24 следует выход Q7 первого регистра соединить со входом DS0 второго. Для организации кольцевой рециркуляции нескольких восьмиразрядных слов необходимо выход Q7 последнего в линейке регистра присоединить ко входу DS0 первого. Линейка превратится в кольцо.

Выводы микросхемы Вх./Вых., образующие порт данных, имеют три режима работы (см. табл. 1.60). Если на оба входа разрешения $\overline{E01}$

Таблица 1.60. **Управление выходами регистра К531ИР24**

Режим работы	Вход					Выводы Вх/Вых.0—Вх./Вых. 7	
	$\overline{E01}$	$\overline{E02}$	S0	S1	Q_n (в регистре)		
Считывание из регистра	Н	Н	Н	х	Н	Н	Выходы данных
	Н	Н	Н	х	В	В	
	Н	Н	х	Н	Н	Н	
	Н	Н	х	Н	В	В	
Загрузка в регистр	х	х	В	В	Q_n = Вх./Вых.	Входы данных	
Разрыв выходов Вх/Вых.	х	В	х	х	х	Z	
	В	х	х	х	х	Z	

и $\overline{E02}$ поданы напряжения низкого уровня и один (или оба) входа выбора S0 и S1 принимают напряжения низкого уровня, то все восемь выводов порта служат выходами и на них присутствует код, содержащийся в регистре (режим считывания). Если на входах S0 и S1 напряжения высокого уровня, через все выводы порта в регистр загружаются данные из шины системы. Загрузка совпадает с очередным положительным перепадом на тактовом входе.

Выходы микросхемы окажутся в разомкнутом Z-состоянии, если на одном из входов $\overline{E01}$ и $\overline{E02}$ будет напряжение высокого уровня (вместо сочетания — оба низкого уровня). Режим работы входов DS0—DS7 можно установить согласно табл. 1.61. Выходные буферные усилители регистра ИР24 предназначены для обслуживания шин с емкостным характером нагрузки.

Регистр К531ИР24 потребляет ток 60 мА, его тактовая частота превышает 35 МГц. Выходной стекающий ток $I^0_{вых}$ превышает 30 мА

Таблица 1.61. **Режимы работы регистра К531ИР24**

Режим работы	Вход							Выход			Вход $\overline{SR}$ для 74LS323
	$\overline{R}$	C	S0	S1	DS0	DS7	Вх./Вых.	Q0	Внутри регистра Q1—Q6	Q7	
Сброс	Н	x	x	x	x	x	x	Н	Н—Н	Н	н
Сдвиг вправо	В	↑	в	н	н	x	x	Н	q_0—q_5	q_6	в
	В	↑	в	н	в	x	x	В	q_0—q_5	Q_6	в
Сдвиг влево	В	↑	н	в	x	н	x	q_1	q_2—q_7	Н	в
	В	↑	н	в	x	в	x	q_1	q_2—q_7	В	в
Хранение	В	↑	н	н	x	x	x	q_0	q_1—q_6	q_7	в
Параллельная загрузка	В	↑	в	в	x	x	н	Н	Н—Н	Н	в
	В	↑	в	в	x	x	в	В	В—В	В	в

(в Z-состоянии менее 0,4 мА). Ток выхода высокого уровня при Z-состояния не превышает 40 мкА.

Микросхема 74LS323 (рис. 1.91, *а*) — вариант предыдущей микросхемы К531ИР24, имеющей вход синхронного сброса $\overline{SR}$. На рис. 1.91, б, показан узел синхронного сброса, который можно сравнить с фрагментом схемы (рис. 1.90, *а*), на котором буквами А—Д обозначены точки разрыва проводов. В табл. 1.61 была предусмотрена колонка данных $\overline{SR}$, показывающая, что синхронный сброс данным дается в момент положительного перепада на тактовом входе, если на вход $\overline{SR}$ предварительно подано напряжение высокого уровня. Остальные детали схемотехники и функционального описания аналогичны регистру К531ИР24.

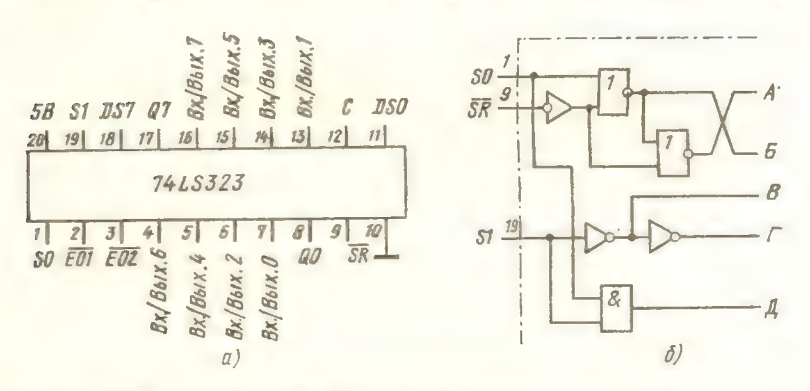


Рис. 1.91. Регистр 74LS323 со входом синхронного сброса

Микросхема К533ИР25 (рис. 1.92) — четырехразрядный, сдвиговый регистр, имеющий выходы с Z-состоянием и дополнительный выход Q3 от триггера последнего разряда. Этот сигнал не передается через буферный усилитель с третьим Z-состоянием, потому что выход Q'3 необходим для увеличения числа каскадов таких регистров. В любом режиме данные с выхода Q'3 будут подаваться на последовательный вход DSI последующего регистра.

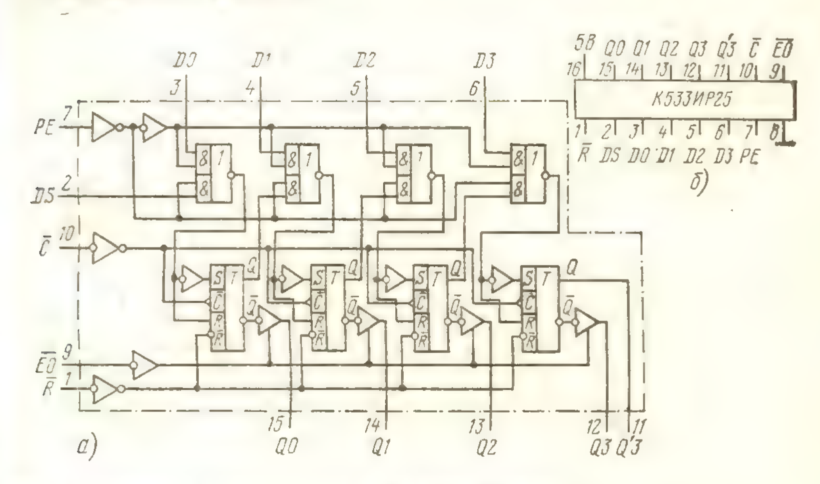


Рис. 1.92. Регистр К533ИР25 *(а)* и его цоколевка *(б)*

Вход параллельного разрешения PE имеет активный уровень высокий, при котором разрешается параллельная загрузка в регистр. Если на входе PE напряжение низкого уровня, данные поступают на вход DSI и далее сдвигаются вправо. Входы данных DSI D0—D3 и вход управления PE — синхронные. Они действуют в момент отрицательного перепада на тактовом входе C̄. Вход сброса R — асинхронный. При напряжении низкого уровня на нем действие тактового входа запрещено и регистр находится в нулевом состоянии.

Таблица 1.62. **Состояния регистра К533ИР25**

Режим работы	Вход					Выход			
	R̄	C̄	PE	DS	D_n	Q0	Q1	Q2	Q3
Сброс	Н	x	x	x	x	Н	Н	Н	Н
Сдвиг вправо	В	↓	н	в	x	Н	q_0	q_1	q_2
	В	↓	н	н	x	В	q_0	q_1	q_2
Параллельная загрузка	В	↓	в	x	н	Н	Н	Н	Н
	В	↓	в	x	в	В	В	В	В

Режим работы регистра К533ИР25 можно выбрать по табл. 1.62. В табл. 1.63 перечислены условия для переключения выходов в Z-состояние. Вход разрешения $\overline{E0}$ имеет активный низкий уровень, при подаче которого данные из триггеров регистра появляются на выходах Q0—Q3. К Z-состоянию выходы перейдут, если на вход $\overline{E0}$ подано напряжение высокого уровня.

Ток потребления для К533ИР25 составляет 34 мА, выходной ток $I^0_{вых}$ не менее 30 мА. Тактовая частота превышает 30 МГц.

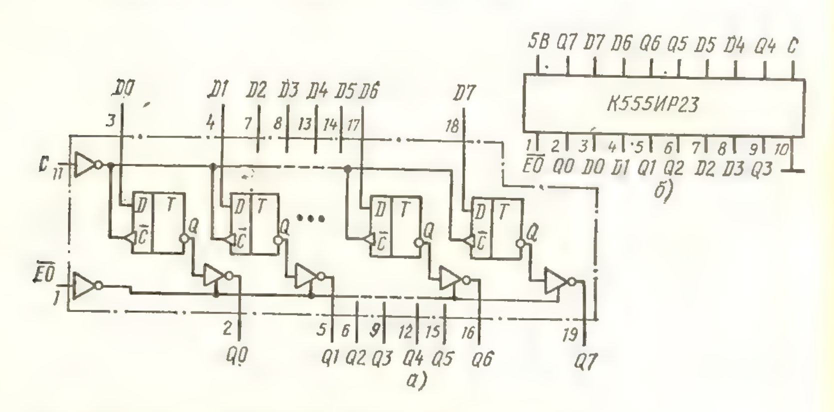


Рис. 1.93. Регистр К555ИР27 *(а)* и его цоколевка *(б)*

Микросхема К555ИР27 (рис. 1.93) — содержит восемь D-триггеров. У них общий тактовый вход С, а также синхронный вход разрешения параллельной загрузки $\overline{PE}$. Согласно табл. 1.64 активный перепад так-

Таблица 1.63. **Режимы выходов регистра К533ИР25 с тремя состояниями**

Режим работы	Вход		Выход	
	$\overline{E0}$	Состояния выходов Q_n в регистре	Q0—Q3	Q'3
Считывание из регистра	Н	Н	Н	Н
	Н	В	В	В
Разрыв выходов	В	В	Z	Н
	В	В	Z	В

Таблица 1.64. **Состояния регистра К555ИР27**

Режим	Вход			Выход
	C	$\overline{CE}$	D_n	Q0—Q7
Загрузка 1	↑	н	в	В
Загрузка 0	↑	н	н	Н
Хранение	↑	в	х	Без изменения
	х	В	х	То же

тового импульса — положительный. Активный уровень для входа разрешения $\overline{CE}$ — отрицательный, с его приходом загрузка данных от входов D0—D7 разрешается. На каждом выходе Q0—Q7 эти данные появятся одновременно в момент следующего перепада, пришедшего на тактовый вход.

Регистр К555ИР27 потребляет ток 20 мА, его тактовая частота может превышать 30 МГц.

1.16. ДЕШИФРАТОРЫ И ШИФРАТОРЫ ТТЛ

Дешифраторы — микросхемы средней степени интеграции, предназначенные для преобразования двоичного кода в напряжение логического уровня, появляющееся в том выходном проводе, десятичный номер которого соответствует двоичному коду. Например, входной код 1001 должен сделать активным провод с номером 9. Во всех остальных проводах дешифратора сигналы должны быть нулевыми.

Шифраторы выполняют обратную операцию: переводят сигнал, поданный только в один входной провод (например, в провод 9), в выходной параллельный двоичный код (в данном случае 1001), который

Таблица 1.65. **Дешифраторы (ИД) и шифраторы (ИВ)**

Серия	Обозначение	Номер микросхемы								
		1	3	4	6	7	10	14	1	3
К155	ИД	+	+	+			+			
КМ155	ИД	+		+			+			
К555	ИД			+	+	+	+			
КМ55	ИД			+						
К531	ИД					+		+		
К555	ИВ									
КМ555	ИВ								+	+
74	—	141	154	155	42	138	145	139	148	147

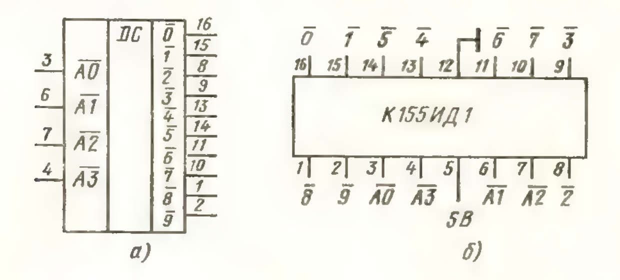


Рис. 1.94. Дешифратор К155ИД1 (*а*) и его цоколевка (*б*). Выходы с ОК

Таблица 1.66. **Состояния дешифратора К155ИД1**

Вход				Выход с низким уровнем Н
$\overline{A3}$	$\overline{A2}$	$\overline{A1}$	$\overline{A0}$	
Н	Н	Н	Н	$\overline{0}$
Н	Н	Н	В	$\overline{1}$
Н	Н	В	Н	$\overline{2}$
Н	Н	В	В	$\overline{3}$
Н	В	Н	Н	$\overline{4}$
Н	В	Н	В	$\overline{5}$
Н	В	В	Н	$\overline{6}$
Н	В	В	В	$\overline{7}$
В	Н	Н	Н	$\overline{8}$
В	Н	Н	В	$\overline{9}$
В	Н	В	Н	Все выходы отключены
В	Н	В	В	
В	В	Н	Н	
В	В	Н	В	
В	В	В	Н	
В	В	В	В	

появится на выходах шифратора. Чтобы шифратор откликался на входной сигнал только одного провода, его схему делают приоритетной. Тогда выходной код должен соответствовать номеру «старшего» входа, получившего сигнал. Предположим, активные уровни поступили на входы 3, 4 и 9. Старший по номеру вход здесь 9, он обладает приоритетом, поэтому выходной код шифратора 1001.

Дешифраторы, рассматриваемые в этом параграфе, различаются по емкости (2, 3 и 4 мбита), по числу каналов (один или два), а также форматом входного кода (двоичный или двоично-десятичный). Дешифраторы и шифраторы ТТЛ перечислены в табл. 1.65. Многие дешифраторы можно применять как демультиплексоры.

Микросхема К155ИД1 (рис. 1.94) — дешифратор применяется для управления цифрами газоразрядного индикатора. Он принимает входной четырехразрядный код $\overline{A0}$—$\overline{A3}$ (активные уровни — низкие) и выдает напряжение активного низкого уровня по одному из десяти выходов $\overline{0}$—$\overline{9}$. Номер выбранного выхода здесь соответствует десятичному эквиваленту входного кода. Коды, эквивалентные числам от 10 до 15, дешифратором не отображаются на выходах. Соответствие номеров активных выходов и входных кодов приведено в табл. 1.66.

Микросхема К155ИД3 (рис. 1.95) — дешифратор, позволяющий преобразовать четырехразрядный код, поступивший на входы A0—A3 в напряжение низкого логического уровня, появляющееся на одном из шестнадцати выходов $\overline{0}$—$\overline{16}$. Дешифратор имеет два входа разрешения дешифрации $\overline{E}0$ и $\overline{E}1$. Эти входы можно использовать как логические, когда дешифратор ИД3 служит демультиплексором данных. Тогда входы A0—A3, используются как адресные, чтобы направить поток данных, принимаемых входами $\overline{E0}$ или $\overline{E1}$, на один из выходов $\overline{0}$—$\overline{15}$. На второй, неиспользуемый в этом включении вход $\overline{E}$, следует подать напряжение низкого уровня.

По входам $\overline{E0}$ и $\overline{E1}$ даются сигналы разрешения выходов, чтобы устранять текущие выбросы, которыми сопровождается дешифрация кодов, появляющихся не строго синхронно (например, поступающих от счетчика пульсаций). Чтобы разрешить прохождение данных на выходы, на входы $\overline{E0}$ и $\overline{E1}$ следует дать напряжение низкого уровня (табл. 1.67). Эти входы необходимы также при наращивании числа разрядов

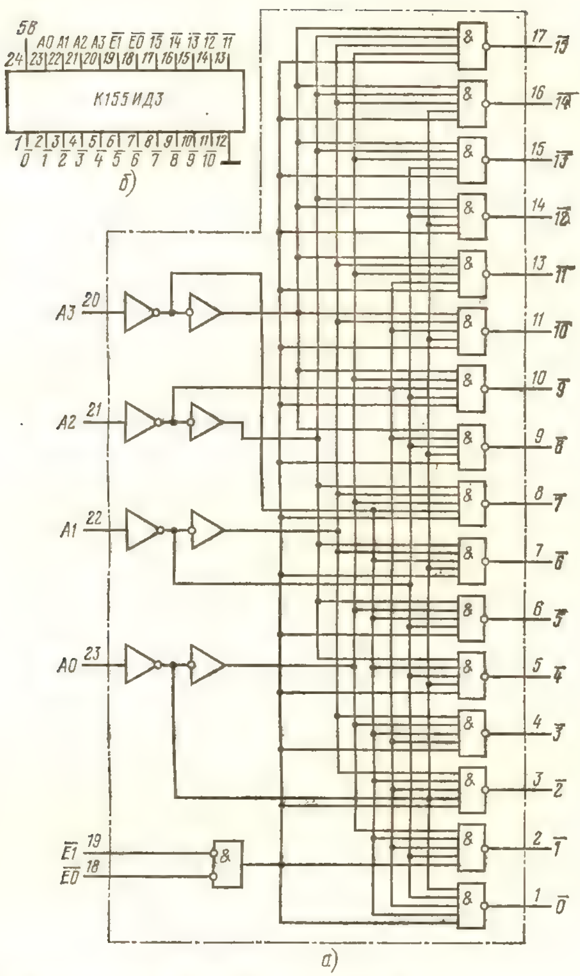


Рис. 1.95. Дешифратор К155ИД3 *(а)* и его цоколевка *(б)*

дешифрируемого кода. Когда на входах $\overline{E}0$ и $\overline{E}1$ присутствуют напряжения высокого уровня, на выходах $\overline{0}$—$\overline{16}$ появляются высокие уровни.

Дешифратор К155ИД3 потребляет ток 56 мА (в варианте 74LS154 14 мА). Время задержки распространения сигнала для цепи вход А—выход составляет 36 нс; для цепи вход $\overline{E}$ — выход 30 нс.

Микросхема К155ИД4 (рис. 1.96) — два дешифратора, принимающих двухразрядный код адреса А0, А1. Дешифратор DCA имеет два входа разрешения: прямой E_a и инверсный $\overline{E}_a$, а дешифратор DCB — только инверсные входы разрешения дешифрации $\overline{E}_в$.

Таблица 1.67. Состояния дешифратора К155ИДЗ

Вход						Выход															
$\overline{E0}$	$\overline{E1}$	A3	A2	A1	A0	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$	$\overline{4}$	$\overline{5}$	$\overline{6}$	$\overline{7}$	$\overline{8}$	$\overline{9}$	$\overline{10}$	$\overline{11}$	$\overline{12}$	$\overline{13}$	$\overline{14}$	$\overline{15}$
Н	Н	Н	Н	Н	Н	Н	В	В	В	В	В	В	В	В	В	В	В	В	В	В	В
Н	Н	Н	Н	Н	В	В	Н	В	В	В	В	В	В	В	В	В	В	В	В	В	В
Н	Н	Н	Н	В	Н	В	В	Н	В	В	В	В	В	В	В	В	В	В	В	В	В
Н	Н	Н	Н	В	В	В	В	В	Н	В	В	В	В	В	В	В	В	В	В	В	В
Н	Н	Н	В	Н	Н	В	В	В	В	Н	В	В	В	В	В	В	В	В	В	В	В
Н	Н	Н	В	Н	В	В	В	В	В	В	Н	В	В	В	В	В	В	В	В	В	В
Н	Н	Н	В	В	Н	В	В	В	В	В	В	Н	В	В	В	В	В	В	В	В	В
Н	Н	Н	В	В	В	В	В	В	В	В	В	В	Н	В	В	В	В	В	В	В	В
Н	Н	В	Н	Н	Н	В	В	В	В	В	В	В	В	Н	В	В	В	В	В	В	В
Н	Н	В	Н	Н	В	В	В	В	В	В	В	В	В	В	Н	В	В	В	В	В	В
Н	Н	В	Н	В	Н	В	В	В	В	В	В	В	В	В	В	Н	В	В	В	В	В
Н	Н	В	Н	В	В	В	В	В	В	В	В	В	В	В	В	В	Н	В	В	В	В
Н	Н	В	В	Н	Н	В	В	В	В	В	В	В	В	В	В	В	В	Н	В	В	В
Н	Н	В	В	Н	В	В	В	В	В	В	В	В	В	В	В	В	В	В	Н	В	В
Н	Н	В	В	В	Н	В	В	В	В	В	В	В	В	В	В	В	В	В	В	Н	В
Н	Н	В	В	В	В	В	В	В	В	В	В	В	В	В	В	В	В	В	В	В	Н
Н	В	x	x	x	x	В	В	В	В	В	В	В	В	В	В	В	В	В	В	В	В
В	Н	x	x	x	x	В	В	В	В	В	В	В	В	В	В	В	В	В	В	В	В
В	В	x	x	x	x	В	В	В	В	В	В	В	В	В	В	В	В	В	В	В	В

Если микросхема используется как демультиплексор, дешифратор DCA может принимать по входам E_a и $\bar{E}_a$ как прямой, так и инверсный адресные коды. Состояния для обоих дешифраторов как при дешифрации кода A0, A1, так и при демультиплексировании по адресу A0, A1 сведены в табл. 1.68. Микросхему можно использовать как дешифратор трехразрядного кода на восемь выходов и как демультиплексор от одного входа на восемь выходов. Соответствующие коды даны в табл. 1.69. Для дешифрации трехразрядного кода следует соединить выводы E_a и $\bar{E}_в$ (получим адресный вход A2), а также $\bar{E}_в$ и $\bar{E}_a$ (получим общий вход разрешения).

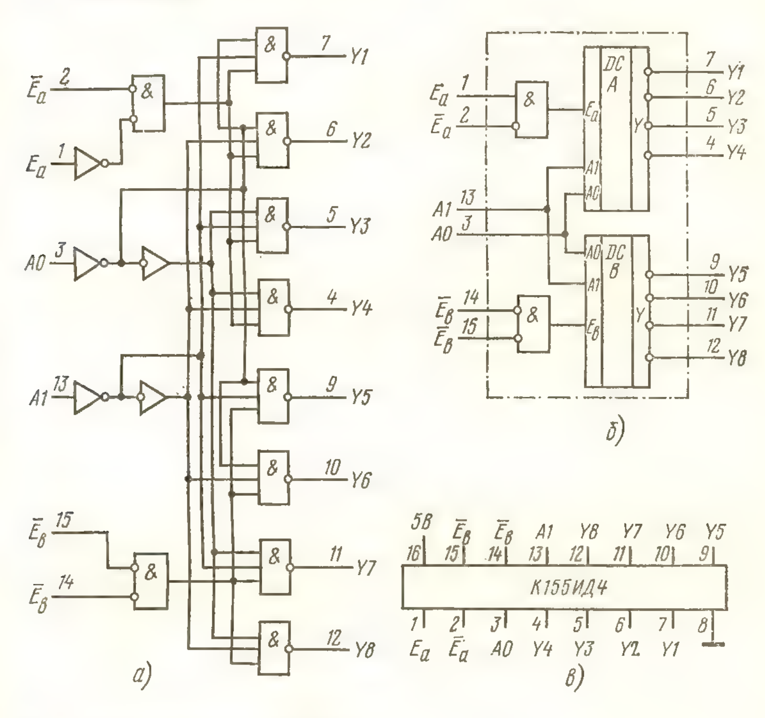


Рис. 1.96. Дешифратор К155ИД4:

а — функциональная схема; *б* — структурная схема; *в* — цоколевка

Микросхема К155ИД4 потребляет ток 40 мА, К555ИД4 10 мА. Время задержки распространения сигнала от адресного входа A к выходу Y составляет 32 нс, время распространения от входа разрешения $\bar{E}$ к выходу Y не превышает 30 нс для обоих вариантов исполнения.

Микросхема ИД7 (рис. 1.97) — высокоскоростной дешифратор — демультиплексор, преобразующий трехразрядный код A0—A2 в напряжение низкого логического уровня, появляющееся на одном из восьми выходов $\bar{0}$—$\bar{7}$. Дешифратор имеет трехвходовой логический элемент

Таблица 1.68. **Состояния дешифраторов К155ИД4 (дешифратор: два выхода, четыре выхода; демультиплексор: один вход, четыре выхода)**

Вход				Выход			
Адрес		Разрешение	Данные				
A0	A1	$\bar{E}_a$	E_a	У1	У2	У3	У4
x	x	В	x	В	В	В	В
Н	Н	Н	В	Н	В	В	В
Н	В	Н	В	В	Н	В	В
В	Н	Н	В	В	В	Н	В
В	В	Н	В	В	В	В	Н
В	x	x	Н	В	В	В	В

разрешения, что позволяет, соединив параллельно три микросхемы, получить дешифратор с 24 выходами. Дешифратор с 32 выходами состоит из четырех микросхем ИД7 и одного дополнительного инвертора.

В табл. 1.70 показано, что дешифрация происходит, когда на входах $\overline{E1}$ и $\overline{E2}$ напряжение низкого уровня, а на входе E3 высокого. При других сочетаниях уровней на входах разрешения на всех выходах имеются напряжения высокого уровня.

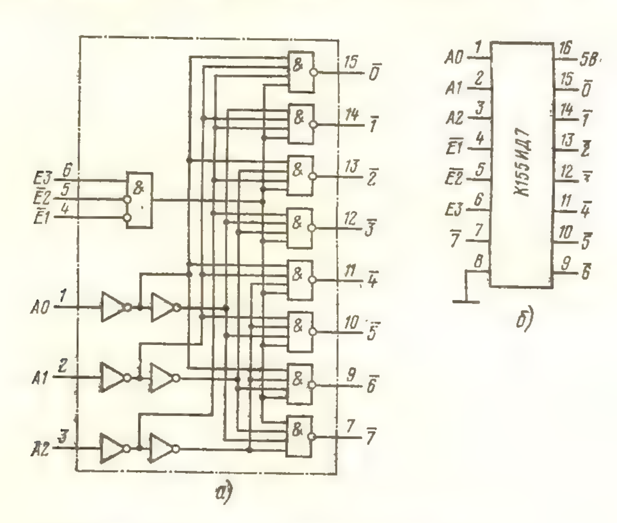


Рис. 1.97. Дешифратор ИД7 (*а*) и его цоколевка (*б*)

Таблица 1.69. **Состояния дешифратора ИД4 (дешифратор: три входа, восемь выходов; демультиплексор: один вход, восемь выходов)**

Сброс

Вход				Выход							
Адрес			Разрешение или данные	0	1	2	3	4	5	6	7
E_a и $\bar{E}_b$	A0	A1	$\bar{E}_a$ и $\bar{E}_b$	У5	У6	У7	У8	У1	У2	У3	У4
x	x	x	В	В	В	В	В	В	В	В	В
Н	Н	Н	Н	Н	В	В	В	В	В	В	В
Н	Н	В	Н	В	Н	В	В	В	В	В	В
Н	В	Н	Н	В	В	Н	В	В	В	В	В
Н	В	В	Н	В	В	В	Н	В	В	В	В
В	Н	Н	Н	В	В	В	В	Н	В	В	В
В	Н	В	В	В	В	В	В	В	Н	В	В
В	В	Н	Н	В	В	В	В	В	В	Н	В
В	В	В	Н	В	В	В	В	В	В	В	Н

Таблица 1.70. **Состояния дешифратора ИД7**

Вход						Выход							
$\overline{E1}$	$\overline{E2}$	$\overline{E3}$	A0	A1	A2	$\bar{0}$	$\bar{1}$	$\bar{2}$	$\bar{3}$	$\bar{4}$	$\bar{5}$	$\bar{6}$	$\bar{7}$
Н	Х	Х	Х	Х	Х	В	В	В	В	В	В	В	В
Х	В	Х	Х	Х	Х	В	В	В	В	В	В	В	В
Х	Х	Н	Х	Х	Х	В	В	В	В	В	В	В	В
Н	Н	В	Н	Н	Н	Н	В	В	В	В	В	В	В
Н	Н	В	В	Н	Н	В	Н	В	В	В	В	В	В
Н	Н	В	Н	В	Н	В	В	Н	В	В	В	В	В
Н	Н	В	В	В	Н	В	В	В	Н	В	В	В	В
Н	Н	В	Н	Н	В	В	В	В	В	Н	В	В	В
Н	Н	В	В	Н	В	В	В	В	В	В	Н	В	В
Н	Н	В	Н	В	В	В	В	В	В	В	В	Н	В
Н	Н	В	В	В	В	В	В	В	В	В	В	В	Н

Прибор можно использовать, как восьмивходовой мультиплексор. Один из входов E принимает данные, остальные присоединяются к источнику напряжения разрешающего уровня, выбираемого по табл. 1.62.

Дешифратор К531ИД7 потребляет ток питания 74 мА (выходной ток при напряжении низкого уровня 20 мА); К555ИД7 потребляет ток 10 мА (выходной — 8 мА). Время задержки распространения сигнала этих микросхем не превышает 12 и 39 нс соответственно.

Микросхемы К555ИД6 и К555ИД10 (рис. 1.98) идентичны по структуре и цоколевке. Они преобразуют двоичный код, поступающий на входы A0—A3 в сигнал низкого уровня, появляющийся на десятичном выходе $\overline{0}$—$\overline{9}$. Состояния этих дешифраторов соответствуют табл. 1.71. Если десятичный эквивалент входного кода превышает 9, то на всех выходах $\overline{0}$—$\overline{9}$ появятся напряжения высоких уровней. Эти приборы могут дешифрировать числа 0—8, тогда вход A3 можно использовать как разрешающий с низким активным уровнем. На этот вход подается поток данных, если дешифраторы ИД6 и ИД10 работают как демультиплексоры на восемь выходов.

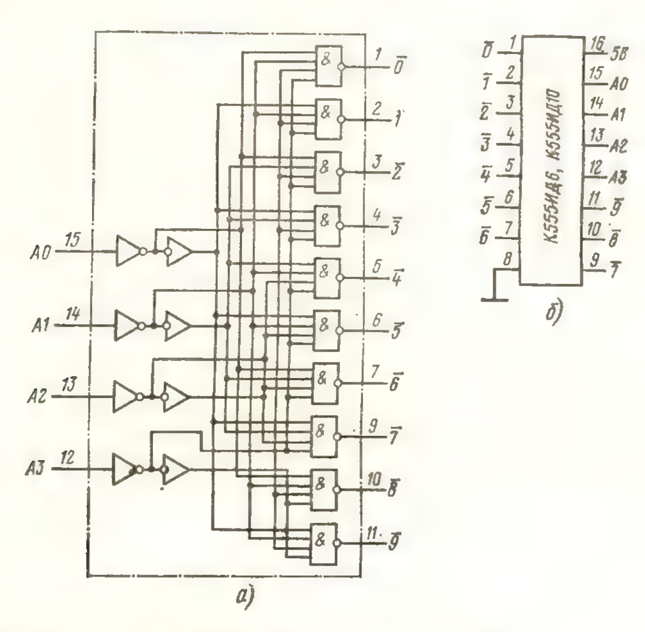


Рис. 1.98. Дешифратор ИД10 *(а)* и его цоколевка *(б)*

Дешифратор ИД10 применяется с нагрузками, рабочий ток в которых может достигать 80 мА (лампочки накаливания, реле). Выходы ИД10 имеют открытые коллекторы. Напряжение питания нагрузки можно повысить до 15 В. Время задержки распространения сигнала от адресного входа до выхода 50 нс. Ток потребления микросхемы К155ИД10 70 мА, К555ИД10 и К555ИД6 13 мА (выходной стекающий ток К555ИД6 8 мА).

Микросхема К531ИД14 (рис. 1.99) — двойной, высокоскоростной дешифратор. Каждый из дешифраторов микросхемы (рис. 1.99, *а*) имеет два адресных входа A0—A1 и вход разрешения $\overline{E}$. Выходы $\overline{0}$—$\overline{3}$ взаимно исключающие, их активные выходные уровни — низкие. Состояния каждого дешифратора сведены в табл. 1.72. Активный уровень для вхо-

Таблица 1.71. **Состояния дешифраторов ИД6 и ИД10**

Вход				Выход									
$\overline{A3}$	$\overline{A2}$	$\overline{A1}$	$\overline{A0}$	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$	$\overline{4}$	$\overline{5}$	$\overline{6}$	$\overline{7}$	$\overline{8}$	$\overline{9}$
Н	Н	Н	Н	Н	В	В	В	В	В	В	В	В	В
Н	Н	Н	В	В	Н	В	В	В	В	В	В	В	В
Н	Н	В	Н	В	В	Н	В	В	В	В	В	В	В
Н	Н	В	В	В	В	В	Н	В	В	В	В	В	В
Н	В	Н	Н	В	В	В	В	Н	В	В	В	В	В
Н	В	Н	В	В	В	В	В	В	Н	В	В	В	В
Н	В	В	Н	В	В	В	В	В	В	Н	В	В	В
Н	В	В	В	В	В	В	В	В	В	В	Н	В	В
В	Н	Н	Н	В	В	В	В	В	В	В	В	Н	В
В	Н	Н	В	В	В	В	В	В	В	В	В	В	Н
В	Н	В	Н	Все уровни высокие									
В	Н	В	В										
В	В	Н	Н										
В	В	Н	В										
В	В	В	Н										
В	В	В	В										

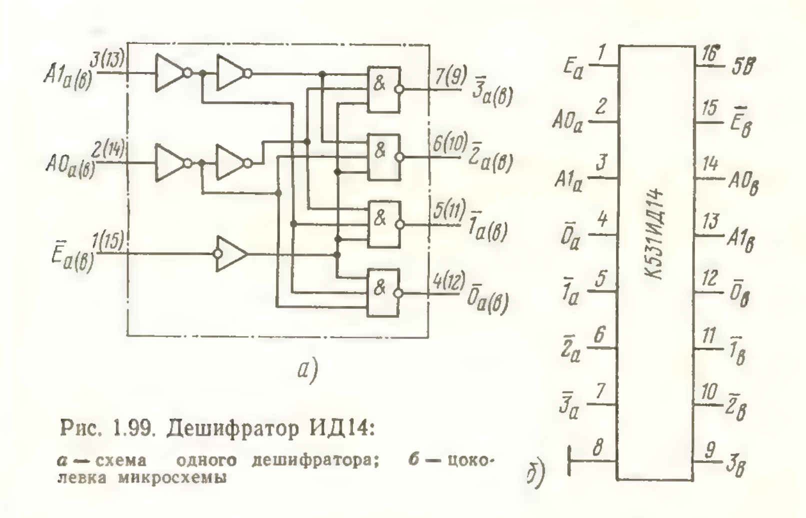


Рис. 1.99. Дешифратор ИД14:

а — схема одного дешифратора; *б* — цоколевка микросхемы

да $\overline{E}$ — низкий. Этот вход может принимать данные, если дешифратор используется как демультиплексор на четыре линии в одну.

Каждую половину микросхемы К531ИД14 можно использовать как функциональный генератор четырех минтермов двух переменных. (Если эти переменные А и В, то минтермов может быть четыре: $m_1=\overline{AB}$, $m_2=$

Таблица 1.72. **Состояния дешифратора из К531ИД14**

Вход			Выход			
$\overline{E}$	A0	A1	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$
В	x	x	В	В	В	В
Н	Н	Н	Н	В	В	В
Н	В	Н	В	Н	В	В
Н	Н	В	В	В	Н	В
Н	В	В	В	В	В	Н

$=\overline{A}B$, $m_3=A\overline{B}$ и $m_4=AB$.) Потребляемый микросхемой К531ИД14 ток 90 мА (для варианта 74LS139 11 мА).

Микросхема КМ555ИВ1 (рис. 1.100) — приоритетный шифратор, принимающий напряжение низкого уровня на один из восьми параллельных адресных входов $\overline{I1}$—$\overline{I8}$. На выходах $\overline{A0}$—$\overline{A2}$ появляется двоичный код, пропорциональный номеру входа, оказавшегося активным. Приоритет в том случае, если несколько входов получили активные уровни, будет иметь старший среди них по номеру. Высший приоритет у входа $\overline{I8}$.

Согласно табл. 1.73 микросхема имеет девятый, разрешающий вход $\overline{EI}$. Он позволяет сделать все входы $\overline{I1}$—$\overline{I8}$ неактивными по отношению к сигнальным уровням. Для этого на вход $\overline{EI}$ следует дать напряжение запрета высокого уровня (см. данные табл. 1.73). Таким способом можно отключить выходы шифратора и сменить входную информацию. Микросхема КМ555ИВ1 имеет два дополнительных выхода $\overline{GS}$ (груп-

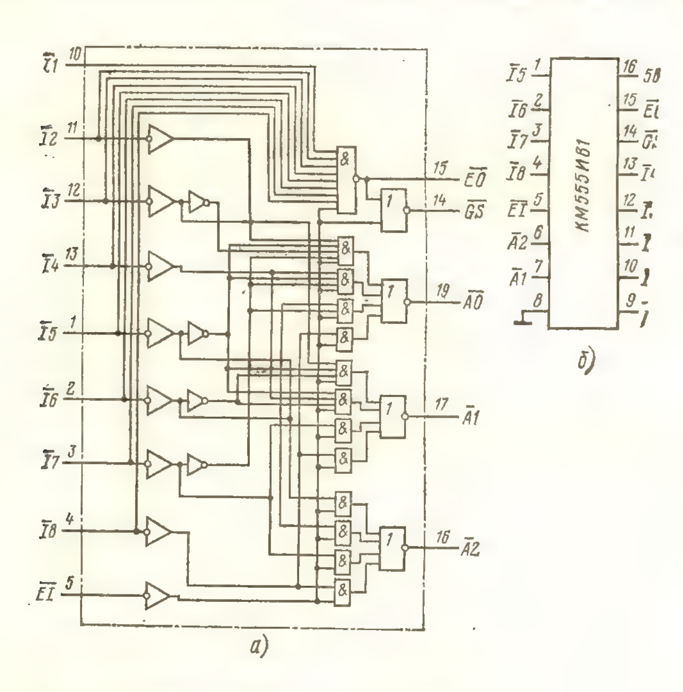


Рис. 1.100. **Шифратор ИВ1** *(а)* **и его цоколевка** *(б)*

Таблица 1.73. **Состояния шифратора КМ55ИВ1**

Вход									Выход				
$\overline{EI}$	$\overline{I1}$	$\overline{I2}$	$\overline{I3}$	$\overline{I4}$	$\overline{I5}$	$\overline{I6}$	$\overline{I7}$	$\overline{I8}$	$\overline{GS}$	$\overline{A0}$	$\overline{A1}$	$\overline{A2}$	$\overline{E0}$
В	x	x	x	x	x	x	x	x	В	В	В	В	В
Н	В	В	В	В	В	В	В	В	В	В	В	В	Н
Н	x	x	x	x	x	x	x	Н	Н	Н	Н	Н	В
Н	x	x	x	x	x	x	Н	В	Н	В	Н	Н	В
Н	x	x	x	x	x	Н	В	В	Н	Н	В	Н	В
Н	x	x	x	x	Н	В	В	В	Н	В	В	Н	В
Н	x	x	x	Н	В	В	В	В	Н	Н	Н	В	В
Н	x	x	Н	В	В	В	В	В	Н	В	Н	В	В
Н	x	Н	В	В	В	В	В	В	Н	Н	В	В	В
Н	Н	В	В	В	В	В	В	В	Н	В	В	В	В

повой сигнал) и $\overline{E0}$ (разрешение от выхода). На выходе $\overline{GS}$ согласно табл. 1.73 появится напряжение низкого уровня, если хотя бы на одном из трех сигнальных выходов $\overline{A0}$—$\overline{A2}$ присутствуют напряжения низкого уровня. По-другому, низкий уровень на выходе $\overline{GS}$ отображает наличие низкого уровня на одном из выходов. На выходе $\overline{E0}$ появится напряжение низкого уровня, если на всех входах — высокие уровни. Используя совместно выход $\overline{E0}$ и вход $\overline{EI}$, можно строить многоразрядные приоритетные шифраторы.

Потребляемый микросхемой КМ555ИВ1 ток 60 мА, время задержки распространения сигнала от входа $\overline{I_п}$ до выхода $\overline{A_п}$ не более 19 нс, от входа $\overline{I_п}$ до выхода $\overline{GS}$ не более 30 нс.

Микросхема К555ИВ3 (рис. 1.101) — шифратор. Он принимает напряжения логических уровней по девяти входам $\overline{I1}$—$\overline{I9}$ и генерирует выходной двоично-десятичный код на выходах $\overline{A0}$—$\overline{A3}$. Состояния шифратора можно изучить по табл. 1.74. Когда на один из входов $\overline{I1}$—$\overline{I9}$

Таблица 1.74. **Состояния шифратора К555ИВ3**

Вход									Выход			
$\overline{I1}$	$\overline{I2}$	$\overline{I3}$	$\overline{I4}$	$\overline{I5}$	$\overline{I6}$	$\overline{I7}$	$\overline{I8}$	$\overline{I9}$	$\overline{A3}$	$\overline{A2}$	$\overline{A1}$	$\overline{A0}$
В	В	В	В	В	В	В	В	В	В	В	В	В
x	x	x	x	x	x	x	x	Н	Н	В	В	Н
x	x	x	x	x	x	x	Н	В	Н	В	В	В
x	x	x	x	x	x	Н	В	В	В	Н	Н	Н
x	x	x	x	x	Н	В	В	В	В	Н	Н	В
x	x	x	x	Н	В	В	В	В	В	Н	В	Н
x	x	x	Н	В	В	В	В	В	В	Н	В	В
x	x	Н	В	В	В	В	В	В	В	В	Н	Н
x	Н	В	В	В	В	В	В	В	В	В	Н	В
Н	В	В	В	В	В	В	В	В	В	В	В	Н

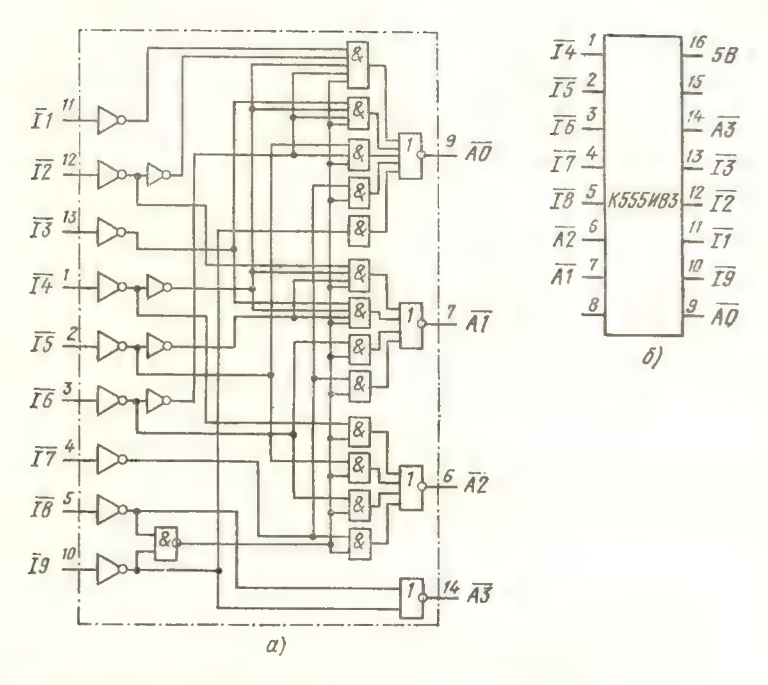


Рис. 1.101. Шифратор ИВ3 *(а)* и его цоколевка *(б)*

подано напряжение низкого уровня, на выходах $\overline{A0}$—$\overline{A3}$ появляется соответствующий двоичный код (активные уровни — низкие). Входы $\overline{I1}$—$\overline{I9}$ приоритетные, наибольший приоритет у входа $\overline{I9}$. Шифратор имеет только девять входов данных, входа для нуля нет; нуль кодируется на выходе, если на все девять входов поступили только напряжения высокого уровня.

Микросхема К555ИВ3 потребляет ток 70 мА. Время задержки распространения сигнала от любого входа до выхода 19 нс (при емкости нагрузки 15 пФ и сопротивлении 400 Ом).

1.17. МУЛЬТИПЛЕКСОРЫ ТТЛ

Мультиплексоры — цифровые многопозиционные переключатели, по-другому, коммутаторы. У мультиплексора может быть, например, 16 входов и один выход. Это означает, что, если к этим 16 входам присоединены 16 источников цифровых сигналов — генераторов последовательных цифровых слов, то байты от любого из генераторов можно передавать в единственный выходной провод. Для этого нужный нам вход требуется выбрать, подав на четыре входа селекции (т. е. выбора номера канала; напомним: $2^4=16$) двоичный код адреса. Так, для переда-

чи на выход данных от канала номер 9 следует установить код адреса 1001. Мультиплексоры способны выбирать, селектировать определен-

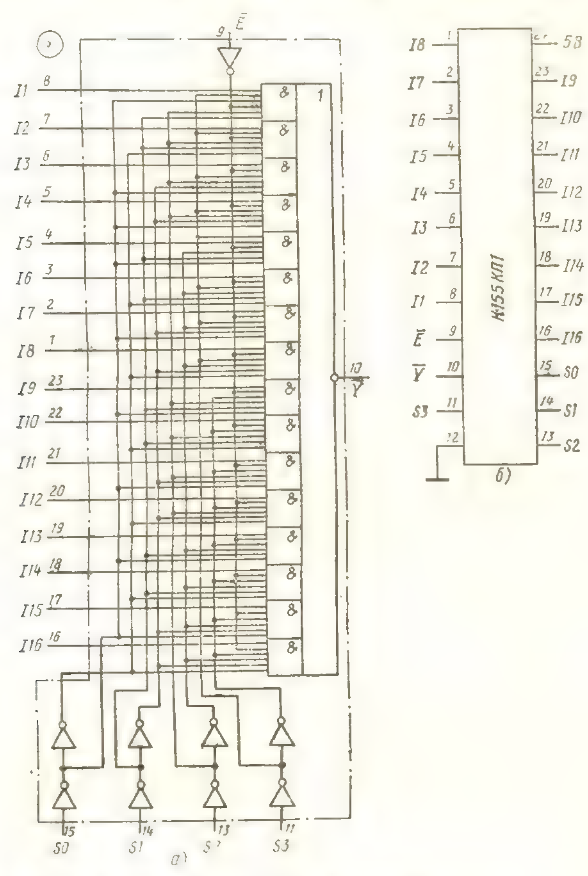


Рис. 1.102. Мультиплексор КП1 *(а)* и его цоколевка *(б)*

ный канал. Поэтому их иногда называют селекторами. Используется и двойное название: селекторы-мультиплексоры.

Представленные далее мультиплексоры ТТЛ различаются по числу входов, по способам адресации, наличием входов разрешения и инверсных выходов. Номенклатура мультиплексорных микросхем представлена в табл. 1.75.

Микросхема К155КП1 (рис. 1.102) — 16-входовый цифровой мультиплексор. Он позволяет с помощью четырех адресных входов выбора S0—S3 передать данные, поступающие на один из входов I1—I16 в выходной провод $\overline{Y}$. По-другому, данный мультиплексор — это 16-пози-

Таблица 1.75. **Мультиплексоры ТТЛ**

Серия	Обозначение	Номер микросхемы								
		1	2	5	7	11	12	13	14	15
К155		+		+	+					
КМ15				+	+					
К555					+	+	+	+	+	+
КМ555	КП									+
К531			+		+	+			+	+
74	—	150	153	152	151	257	253	298	258	251

ционный переключатель, снабженный инвертором на выходе. Режимы работы мультиплексора КП1 даны в табл. 1.76.

Если на вход разрешения $\bar{E}$ подано напряжение высокого уровня, на выходе $\bar{Y}$ также появится высокий уровень независимо от адреса S0—S3 и данных на входах I1—I16. Напряжение низкого уровня на входе $\bar{E}$ разрешает прохождение данных от входов I1—I16. Потребляе-

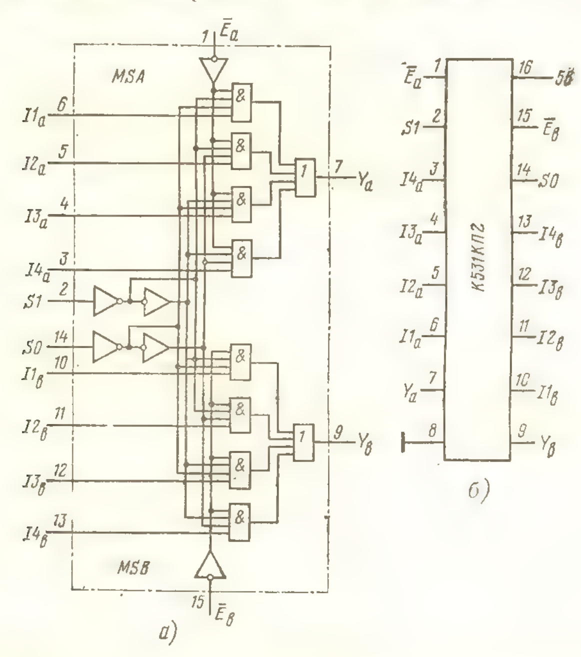


Рис. 1.103. Двойной мультиплексор КП2 (*а*) и его цоколевка (*б*)

Таблица 1.76. **Состояния мультиплексора К155КП1**

Вход					Выход $\overline{Y}$	Вход					Выход $\overline{Y}$
Выбор				Разрешение $\overline{E}$		Выбор				Разрешение $\overline{E}$	
S3	S2	S1	S0			S3	S2	S1	S0		
х	х	х	х	В	В	В	Н	Н	Н	Н	$\overline{I9}$
Н	Н	Н	Н	Н	$\overline{I1}$	В	Н	Н	В	Н	$\overline{I10}$
Н	Н	Н	В	Н	$\overline{I2}$	В	Н	В	Н	Н	$\overline{I11}$
Н	Н	В	Н	Н	$\overline{I3}$	В	Н	В	В	Н	$\overline{I12}$
Н	Н	В	В	Н	$\overline{I4}$	В	В	Н	Н	Н	$\overline{I13}$
Н	В	Н	Н	Н	$\overline{I5}$	В	В	Н	В	Н	$\overline{I14}$
Н	В	Н	В	Н	$\overline{I6}$	В	В	В	Н	Н	$\overline{I15}$
Н	В	В	Н	Н	$\overline{I7}$	В	В	В	В	Н	$\overline{I16}$
Н	В	В	В	Н	$\overline{I8}$						

мый микросхемой ток не превышает 68 мА, время задержки распространения сигнала от входов выбора S к выходу $\overline{Y}$ составляет 35 нс.

Микросхема К531КП2 (рис. 1.103) — два четырехвходовых мультиплексора, имеющих два общих входа выбора S0 и S1. У мультиплексо-

Таблица 1.77. **Состояния мультиплексора К531КП2**

Выбор входа		Вход данных					Выход Y
S0	S1	$\overline{E}$	I1	I2	I3	I4	
х	х	В	х	х	х	х	Н
Н	Н	Н	Н	х	х	х	Н
Н	Н	Н	В	х	х	х	В
В	Н	Н	х	Н	х	х	Н
В	Н	Н	х	В	х	х	В
Н	В	Н	х	х	Н	х	Н
Н	В	Н	х	х	В	х	В
В	В	Н	х	х	х	Н	Н
В	В	Н	х	х	х	В	В

Таблица 1.78. **Состояния мультиплексора К155КП5**

Выбор входа			Вход данных								Выход $\overline{Y}$
S2	S1	S0	I1	I2	I3	I4	I5	I6	I7	I8	
Н	Н	Н	Н	х	х	х	х	х	х	х	В
Н	Н	Н	В	х	х	х	х	х	х	х	Н
Н	Н	В	х	Н	х	х	х	х	х	х	В
Н	Н	В	х	В	х	х	х	х	х	х	Н
Н	В	Н	х	х	Н	х	х	х	х	х	В
Н	В	Н	х	х	В	х	х	х	х	х	Н
Н	В	В	х	х	х	Н	х	х	х	х	В
Н	В	В	х	х	х	В	х	х	х	х	Н
В	Н	Н	х	х	х	х	Н	х	х	х	В
В	Н	Н	х	х	х	х	В	х	х	х	Н
В	Н	В	х	х	х	х	х	Н	х	х	В
В	Н	В	х	х	х	х	х	В	х	х	Н
В	В	Н	х	х	х	х	х	х	Н	х	В
В	В	Н	х	х	х	х	х	х	В	х	Н
В	В	В	х	х	х	х	х	х	х	Н	В
В	В	В	х	х	х	х	х	х		В	Н

ров MSA и MSB есть собственные входы разрешения $\overline{E}_a$ и $\overline{E}_b$ (активный уровень низкий). От выхода каждого мультиплексора получаем код в неинверсной форме. Входы разрешения можно независимо использовать для стробирования выходов Y: если на вход $\overline{E}$ дать напряжение высокого уровня, логический уровень на выходе Y станет низким независимо от сигнальных и адресных входов.

Если вход $\overline{E}$ активный (присутствует напряжение низкого уровня), на выходе Y отображается тот уровень, который присутствует на выбираемом входе (см. табл. 1.77). Эквивалент микросхемы КП2 — четырехпозиционный переключатель на два направления, управляемый по

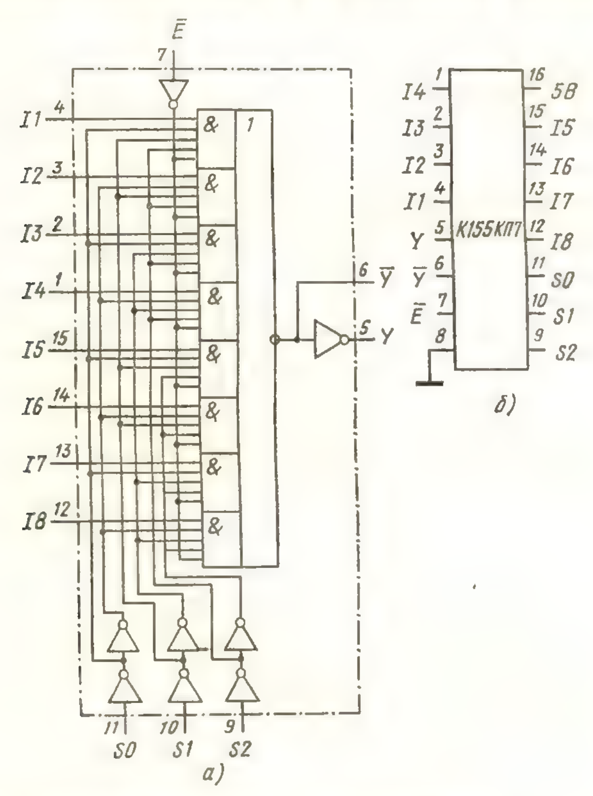


Рис. 1.104. Мультиплексор КП5 (*а*) и его цоколевка (*б*)

двум входам выбора. Для такого переключателя-мультиплексора выполняется логическое уравнение:

$$Y = \overline{E}\left(I1\,\overline{S1}\,\overline{S0} + I2\,\overline{S1}\,S0 + I3\,S1\,\overline{S0} + I4\,S1\,S0\right). \qquad (1.8)$$

Кроме обычных применений (например, для коммутации кодов от группы регистров на общую шину данных), мультиплексор КП2 может

служить функциональным генератором от трех переменных I, A, B. Микросхема К531КП2 потребляет ток 70 мА, в варианте LS 10 мА.

Микросхема К155КП5 (рис. 1.104) — селектор-мультиплексор. Он позволяет коммутировать данные от восьми входов на общую выходную линию. Возможные состояния его сведены в табл. 1.78. Адресных входов три: S0—S2. Их активный уровень — высокий. Логическая функция КП5 как управляемого восьмипозиционного ключа соответствует уравнению:

$$Y = I1\,\overline{S0}\,\overline{S1}\,\overline{S2} + I2S0\,\overline{S1}\,\overline{S2} + I3\,\overline{S0}S1\,\overline{S2} + I4S0S1\,\overline{S2} +$$

$$+ I5\overline{S0}\,\overline{S1}S2 + I6S0\overline{S1}S2 + I7\overline{S0}S1S2 + I8S_0S_1S_2. \qquad (1.9)$$

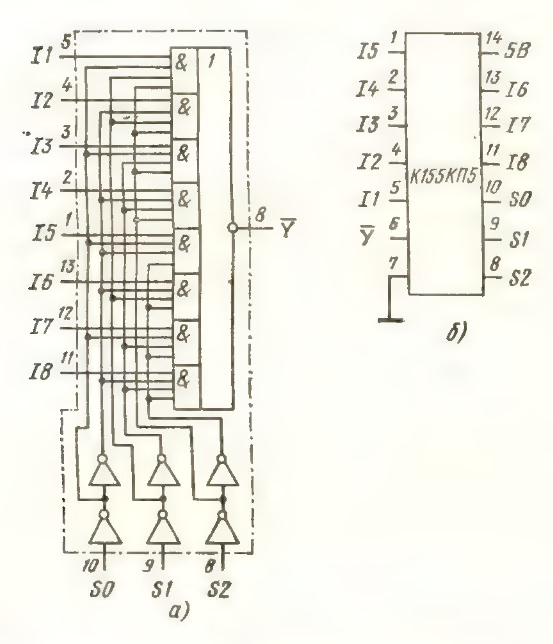


Рис. 1.105. Мультиплексор КП7 *(а)* и его цоколевка *(б)*

Ток потребляемый мультиплексором К155КП5, равен 43 мА; выходной стекающий ток при напряжении низкого уровня не менее 18 мА.

Микросхема К155КП7 (рис. 1.105) — мультиплексор, отличающийся от КП5 входом разрешения $\overline{E}$ и комплементарными выходами Y и $\overline{Y}$. Если на входе $\overline{E}$ присутствует напряжение высокого уровня, то напряжение на выходе $\overline{Y}$ — высокого уровня, на Y — низкого (см. табл. 1.79). Логическая функция Y соответствует функции КП5; уравнение (1.9) выполняется при напряжении низкого уровня на входе $\overline{E}$.

Ток потребления К155КП7 не превышает 48 мА, в варианте S не более 70 мА, в LS 10 мА.

Микросхемы К531КП11, К555КП11, К531КП14, КП555КП14 содержат по четыре одинаковых двухвходовых мультиплексора MSA—MSD. Микросхемы КП11 передают на выходы код без инверсии, а КП14 с инверсией. На рис. 1.106, *а* показана принципиальная схема КП11 (для КП14 выходы 4, 7, 9, 12 — инверсные).

Выходы Y_a—Y_d (Y_a—$\overline{Y}_d$ для КП14) имеют третье Z-состояние. Если на вывод $\overline{E0}$ — разрешение выходным данным — подается напряже-

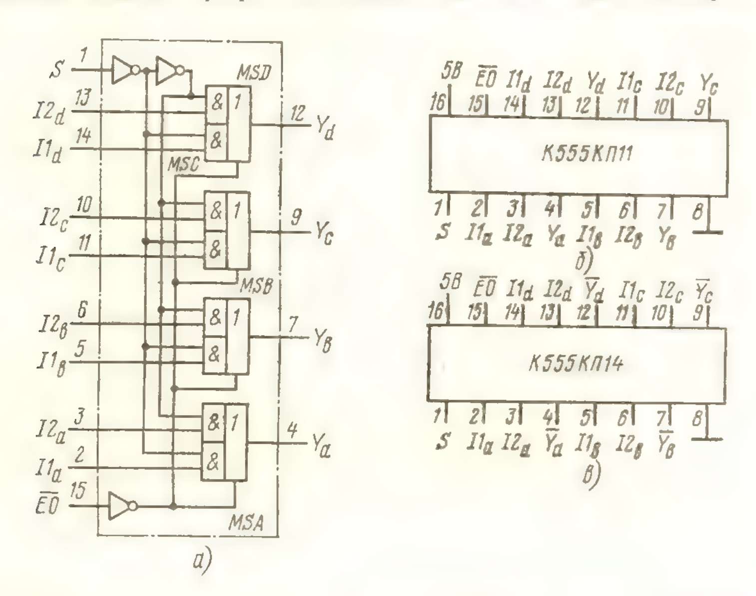


Рис. 1.106. Мультиплексор КП11 *(а)*, цоколевка КП11 *(б)* и цоколевка КП14 *(б)*

ние высокого уровня, выходы как у КП11, так и у КП14 разомкнутся. Трансляция данных выходам разрешается при активном напряжении низкого уровня на входе $\overline{E0}$. У каждого из четырех мультиплексоров имеется по два входа I1 и I2. Для их выбора служит один вход адреса данных S. Если на входе S напряжение низкого уровня, выбираются входы I1 одновременно всех четырех мультиплексоров. Соответственно при напряжении высокого уровня на входе S данные принимаются от входов $I2_a$—$I2_d$. Состояния входов управления, сигнальных, а также выходов для мультиплексоров КП11 и КП14 сведены в табл. 1.80.

Наибольший ток микросхемы потребляют при Z-состоянии их выходов: К555—19 мА, К531 — 99 мА (соответственно времена задержки распространения сигнала равны 18 и 7 нс).

Микросхема К555КП12 (рис. 1.107) — двухканальный мультиплексор. Он содержит два одинаковых цифровых мультиплексора с че-

Таблица 1.79. Состояния мультиплексора КП7

Вход				Выход	
Выбор			Разрешение		
S2	S1	S0	$\overline{E}$	Y	$\overline{Y}$
x	x	x	В	Н	В
Н	Н	Н	Н	I1	$\overline{I1}$
Н	Н	В	Н	I2	$\overline{I2}$
Н	В	Н	Н	I3	$\overline{I3}$
Н	В	В	Н	I4	$\overline{I4}$
В	Н	Н	Н	I5	$\overline{I5}$
В	Н	В	Н	I6	$\overline{I6}$
В	В	Н	Н	I7	$\overline{I7}$
В	В	В	Н	I8	$\overline{I8}$

тырьмя сигнальными входами. Каждый мультиплексор имеет выход с третьим Z-состоянием. Входов выбора у мультиплексоров два: S0 и S1. Они общие. Выходы переводятся в разомкнутое Z-состояние по отдельным входам

Таблица 1.80. Состояния мультиплексоров К531КП11 и К531К14

Вход				Выход	
$\overline{E0}$	S	I1	I2	для КП11 Y	для КП14 $\overline{Y}$
В	x	x	x	Z	Z
Н	Н	Н	x	Н	В
Н	Н	В	x	В	Н
Н	В	x	Н	Н	В
Н	В	x	В	В	Н

разрешения $\overline{E0_a}$ и $\overline{E0_b}$ когда на этих входах напряжения высокого уровня.

Микросхема **КП12** — четырехпозиционный переключатель на два

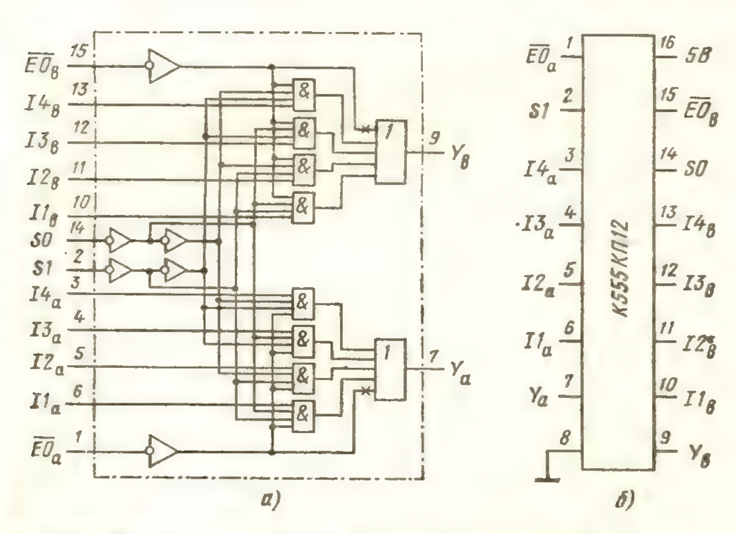


Рис. 1.107. Мультиплексор КП12 (*а*) и его цоколевка (*б*)

направления. Положение движка такого переключателя определяется кодом на входах выбора S0 и S1. Для КП12 выполняется логическое уравнение:

$$Y = \overline{E0}\left(I1\,\overline{S1}\,\overline{S0} + I2\,\overline{S1}\,S0 + I3S1\,\overline{S0} + I4S1S0\right). \qquad (1.10)$$

Все возможные логические состояния для селектора-мультиплексора КП12 сведены в табл. 1.81.

Важно предусмотреть, чтобы сигналы команды размыкания выходов $\overline{E0}$=B не могли перекрываться по времени, если выходы мультиплексоров с Z-состоянием соединяются между собой для передачи данных в общую шину. Мультиплексор К555КП12 потребляет ток 14 мА. Время задержки распространения сигнала 25 нс, время перехода выхода микросхемы в Z-состояние 23 нс.

Микросхема К555КП13 (рис. 1.108) — мультиплексор, объединяющий свойства четырехканального двухвходового мультиплексора и четырехразрядного регистра, запускаемого отрицательным тактовым перепадом.

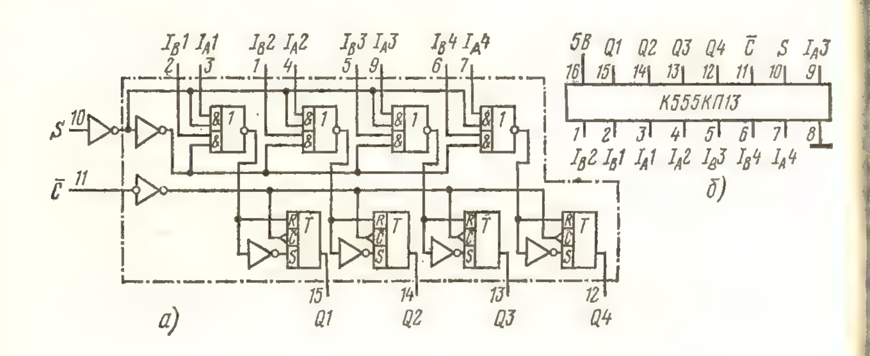


Рис. 1.108. Мультиплексор КП13 *(а)* и его цоколевка *(б)*

В мультиплексоре содержится четыре D=триггера. Данные в каждый из них поступают от проводов I_{ai} или I_{bi}, объединенных в порты А и В (см. также рис. 1.87, *а*). Порт выбирается сигналом, поданным на общий вход выбора S.

Напряжением низкого уровня, поданным на S, можно выбрать для приема данных четыре провода порта А, высокого — порта В. Данные от выбранных портов попадут в регистр синхронно с отрицательным перепадом на тактовом входе $\overline{C}$. Перед приходом этого перепада данные на входах управления и на проводах порта должны быть зафиксированы. Режимы загрузки триггеров по портам А и В отображены в табл. 1.82.

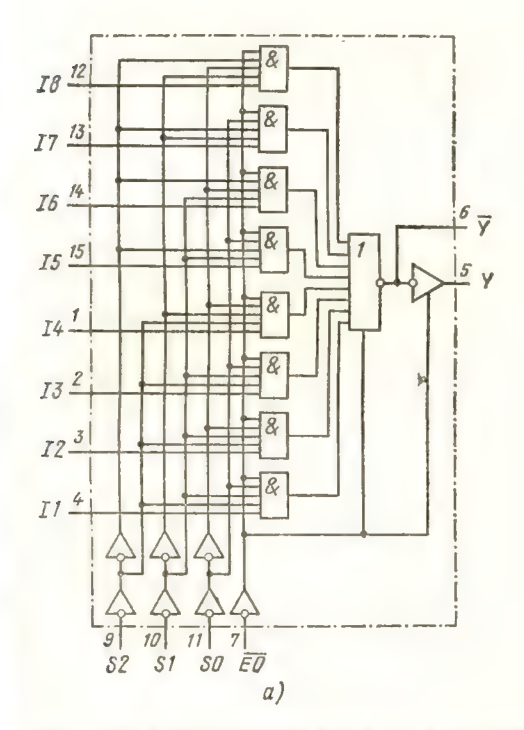
Ток, потребляемый микросхемой К555КП13, равен 21 мА; время задержки распространения сигнала после прихода открывающего перепада тактового импульса не превышает 32 нс.

Микросхема К555КП15 (рис. 1.109) — мультиплексор, электрон-

Режим	Вход				Выход Q_n
	$\overline{C}$	S	I1	I2	
Загрузка от входа I1	↓	н	н	х	Н
	↓	н	в	х	В
Загрузка от входа I2	↓	в	х	н	Н
	↓	в	х	в	В

Таблица 1.81. Состояния мультиплексора К533КП12

Вход							Выход Y
Выбор данных		Данные				Управление	
S1	S0	I1	I2	I3	I4	$\overline{E0}$	
х	х	х	х	х	х	В	Z
Н	Н	Н	х	х	х	Н	Н
Н	Н	В	х	х	х	Н	В
Н	В	х	Н	х	х	Н	Н
Н	В	х	В	х	х	Н	В
В	Н	х	х	Н	х	Н	Н
В	Н	х	х	В	х	Н	В
В	В	х	х	х	Н	Н	Н
В	В	х	х	х	В	Н	В



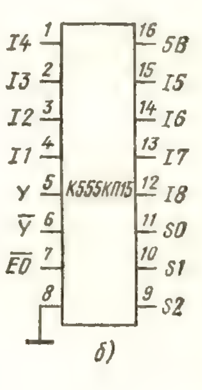


Рис. 1.109. Мультиплексор КП15 *(а)* и его цоколевка *(б)*

ная реализация восьмипозиционного переключателя цифровых сигналов на одно направление. Он имеет восемь входов данных I1—I8, три входа выбора S0—S2, вывод разрешения выходных данных $\overline{E0}$. У мультиплексора КП15 есть прямой Y и инверсный $\overline{Y}$ выходы с третьим Z состоянием.

Если на вход $\overline{E0}$ подать напряжение высокого уровня, выходы разомкнутся, перейдут в Z-состояние. Когда на входе $\overline{E0}$ напряжение низкого уровня, данным разрешены оба выхода Y и $\overline{Y}$. Такая организация выходов позволяет объединить выходы 128 микросхем КП15 и получить цифровой коммутатор с 1024 выходами.

Проектируя схему управления 128 входами $\overline{E0}$, требуется предусмотреть защитные интервалы между активными низкими уровнями на этих входах. В противном случае, если импульсы перекроются, между выходами будут мгновенные короткие замыкания, что вызовет помехи в приеме цифровых слов.

Логические состояния входов и выходов одного мультиплексора КП15 сведены в табл. 1.83. Состояния выхода Y описываются логическим уравнением, аналогичным уравнению логических состояний на выходе мультиплексора КП5:

$$Y_{КП15} = \overline{E0}\,(Y_{КП5}). \qquad (1.11)$$

Микросхема К531КП15 потребляет ток 85 мА (стекающий ток выхода 40 мА), а К555КП15 — 12 мА (стекающий ток 30 мА). Время задержки распространения сигнала до выхода Y в микросхеме К531КП15— 12 нс, в К555КП15 — 28 нс. На выходе $\overline{Y}$ сигналы появляются с дополнительной задержкой 7 и 15 нс соответственно.

Микросхема К531ИР21 (рис. 1.110) — комбинаторная. Она предназ-

Таблица 1.83. **Состояния мультиплексора КП15**

Вход												Выход	
$\overline{E0}$	S2	S1	S0	I1	I2	I3	I4	I5	I6	I7	I8	$\overline{Y}$	Y
В	х	х	х	х	х	х	х	х	х	х	х	Z	Z
Н	Н	Н	Н	Н	х	х	х	х	х	х	х	В	Н
Н	Н	Н	Н	В	х	х	х	х	х	х	х	Н	В
Н	Н	Н	В	х	Н	х	х	х	х	х	х	В	Н
Н	Н	Н	В	х	В	х	х	х	х	х	х	Н	В
Н	Н	В	Н	х	х	Н	х	х	х	х	х	В	Н
Н	Н	В	Н	х	х	В	х	х	х	х	х	Н	В
Н	Н	В	В	х	х	х	Н	х	х	х	х	В	Н
Н	Н	В	В	х	х	х	В	х	х	х	х	Н	В
Н	В	Н	Н	х	х	х	х	Н	х	х	х	В	Н
Н	В	Н	Н	х	х	х	х	В	х	х	х	Н	В
Н	В	Н	В	х	х	х	х	х	Н	х	х	В	Н
Н	В	Н	В	х	х	х	х	х	В	х	х	Н	В
Н	В	В	Н	х	х	х	х	х	х	Н	х	В	Н
Н	В	В	Н	х	х	х	х	х	х	В	х	Н	В
Н	В	В	В	х	х	х	х	х	х	х	Н	В	Н
Н	В	В	В	х	х	х	х	х	х	х	В	Н	В

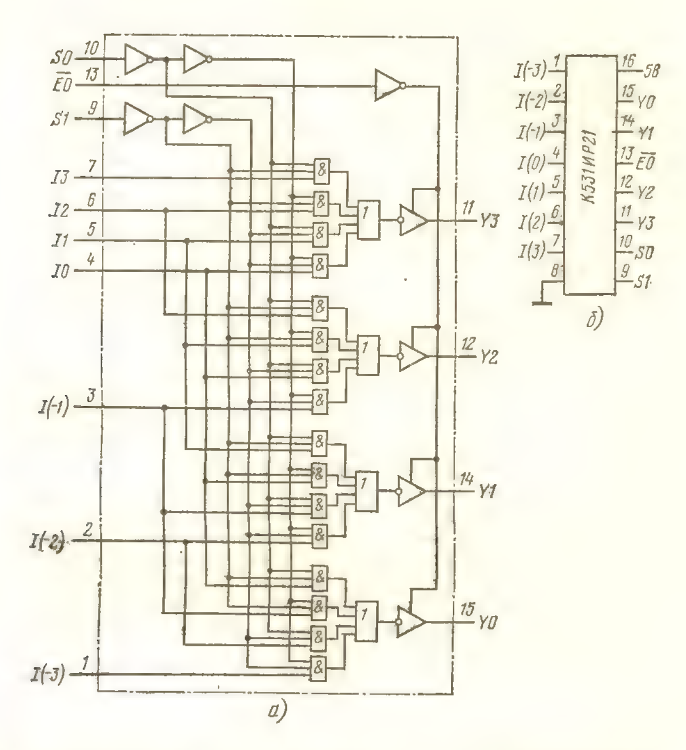


Рис. 1.110. Сдвигатель данных К531ИР21 *(а)* и его цоколевка *(б)*

начена для сдвига четырехразрядного кода на 1, 2 или 3 позиции влево или вправо. Микросхема имеет вывод $\overline{E0}$ разрешения выходным сигналам (напряжением низкого уровня, поданным на вход $\overline{E0}$) Согласно табл. 1.84, если сигнал $\overline{E0}$=В, выходы Y0—Y3 переходят в разомкнутое Z-состояние. Входы S0, S1 служат для выбора из шести входных проводов I(—3)—I0—I3 тех четырех, от которых данные требуется передать на выходы Y0—Y3.

Например, при коде S0=Н и S1=Н выбираются входы I0—I3. При другом крайнем сочетании S0=В, S1=В будут выбраны входы I(—3)—I0. Таким образом, микросхема ИР21 работает как искатель с шестью ламелями, но с четырьмя подвижными щетками-контактами, расположенными рядом. Микросхема К531ИР21 потребляет ток питания от 60 до 85 мА при наибольшем времени выбора выхода 20 нс.

1.18. СУММАТОРЫ ТТЛ

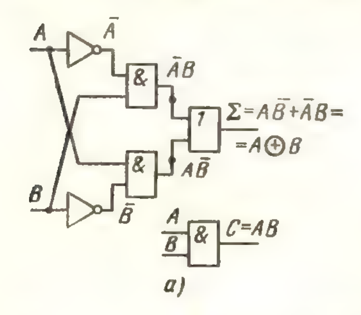
Сумматоры—устройства, осуществляющие основную арифметическую операцию—суммирование чисел в двоичном коде. Простейший случай — суммирование двух одноразрядных чисел: 0+0=0, 1+0=1, 0+

Таблица 1.84. Состояния сдвигателя данных К531ИР21

Вход									
$\overline{EO}$	S1	S0	I3	I2	I1	I0	I (−1)	I (−2)	I (−3)
В	x	x	x	x	x	x	x	x	x
Н	Н	Н	D3	D2	D1	D0	x	x	x
Н	Н	В	x	D2	D1	D0	D (−1)	x	x
Н	В	Н	x	x	D1	D0	D (−1)	D (−2)	x
Н	В	В	x	x	x	D0	D (−1)	D (−2)	D (−3)

+1=1 и 1+1=10. В последнем случае выходное число 10 (в десятичной записи это 2) оказалось двоичным двухразрядным. Появившаяся в старшем разряде суммы единица называется единицей переноса.

На рис. 1.34, *а* были перечислены состояния схемы исключающее ИЛИ. Эти состояния соответствуют рассмотренному примеру (кроме случая $1 \oplus 1 = 0$ — суммирование по модулю 2). К схеме исключающее ИЛИ несложно добавить выход переноса, т. е. генератор старшего разряда. Для этого оба суммируемых одноразрядных числа следует подать на схему И, выход которой даст необходимый старший разряд переноса $1 \cdot 1 = 1$ (см. рис. 1.30, *б*). На рис. 1.111, *а* показана реализация



Слагаемое		Результат	
A	B	Сумма Σ	Перенос C_{n+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

б)

Рис. 1.111. Полусумматор *(а)* и таблица его состояний *(б)*

схемы суммирования двух одноразрядных чисел, состоящая из элементов исключающее ИЛИ и И. Схема имеет два выходных провода: суммы Σ и переноса С. Такая схема называется полусумматором. Таблица состояний полусумматора показана на рис. 1.11, *б*.

Полный сумматор должен иметь вход для приема сигнала переноса C_n (здесь n — число разрядов в суммируемых словах). Схема полного сумматора двух одноразрядных слов показана на рис. 1.112, *а*, а таб-

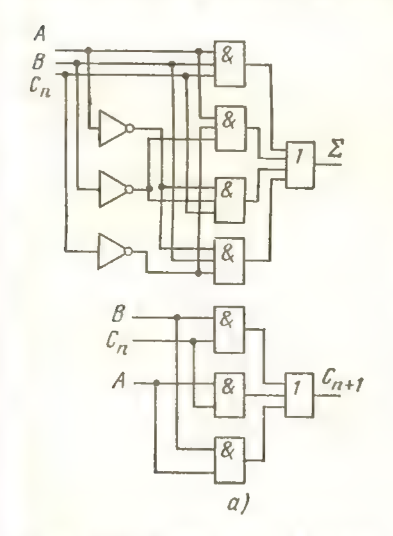
Выход			
Y3	Y2	Y1	Y0
Z	Z	Z	Z
D3	D2	D1	D0
D2	D1	D0	D(—1)
D1	D0	D(—1)	D(—2)
D0	D(—1)	D(—2)	D(—3)

лица его состояний на рис. 1.112, б. В последнем столбце таблицы результаты суммирования даны в десятичной форме. В присутствии входной единицы переноса C_n сумма чисел А и В увеличивается на 1.

Полные сумматоры многоразрядных чисел составляются из одноразрядных и могут складывать многоразрядные числа двумя способами: параллельным или последовательным.

На рис. 1.113 показана структура пятиразрядного параллельного сумматора. Здесь поразрядно (в параллель) суммируются два пятиразрядных слова: разряд А0 с разрядом В0, А1 с В1 и так далее до А5 с В5. При этом в каждом элементарном сумматоре получаются парциальные суммы Σ0. Σ1—Σ5 и сигналы внутреннего переноса C_{n+1}, которые последовательно поступают на вход переноса C_n более старшего сумматора. Шестой выходной провод содержит сигнал переноса $C_{n+1} = C_6$ (единица в шестом разряде). Таким образом, полная выходная сумма сумматора (рис. 1.113) составляет 111111, т. е. 63 в десятичном эквиваленте.

Данное устройство нетрудно сделать любой длины, однако суммирование будет закончено лишь тогда, когда истечет время распространения сигналов переноса C_n через всю цепь одноразрядных сумматоров



Слагаемое			Результат суммирования		
C_n	A	B	Двоичный код		Десятичное число
			Σ	C_{n+1}	
0	0	0	0	0	0
0	0	1	1	0	1
0	1	0	1	0	1
0	1	1	0	1	2
1	0	0	1	0	1
1	0	1	0	1	2
1	1	0	0	1	2
1	1	1	1	1	3

б)

Рис. 1.112. Полный сумматор (*а*) и таблица его состояний (*б*)

ров. Большое время распространения сигнала ограничивает применение параллельных сумматоров. Такой перенос иногда называют пульсирующим.

Последовательный двоичный сумматор (рис. 1.114) содержит три n-разрядных регистра: регистры слагаемых А и В и регистр суммы Σ. Суммируемые слова загружаются в регистры А и В поразрядно. С такой же скоростью один такт — один разряд происходит и суммирование, т. е. заполнение регистра суммы Σ. Дополнительный D-триггер необхо-

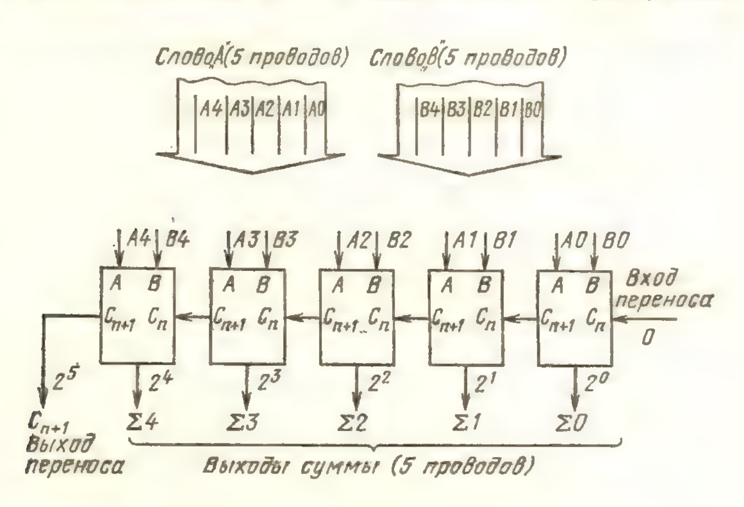


Рис. 1.113. Пятиразрядный параллельный сумматор

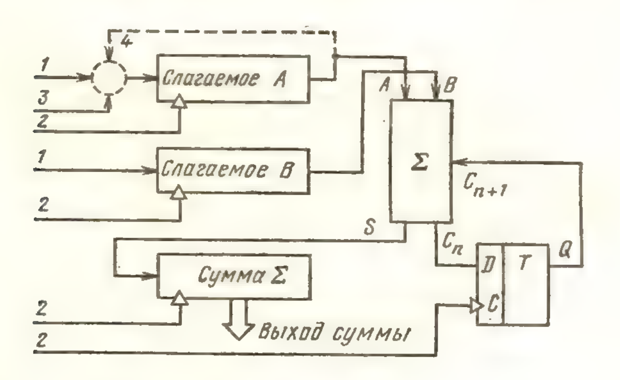


Рис. 1.114. Последовательный сумматор:

1 — последовательные входы; *2* — тактовые входы; *3* — вход управления рециркуляцией; *4* — вход рециркуляции

дим для запоминания на один такт разряда C_n для переноса его в разряд C_{n+1}. Регистры последовательных сумматоров могут иметь параллельную загрузку. Если необходимо, чтобы переменные числа В прибавлялись к постоянному числу А, регистр числа А надо запустить в режиме рециркуляции (штриховая линия на рис. 1.114).

Таблица 1.85. **Сумматоры ТТЛ**

Серия	Обозначение	Номер микросхемы				
		1	2	3	4	5
К155	ИМ	+	+	+		
КМ155		+	+	+		
К555					+	+
КМ555					+	
74	—	80	82	83	283	358

Параллельные, комбинаторные (безрегистровые) сумматоры обеспечивают наибольшую скорость суммирования, если снабжаются схемой ускоренного переноса СУП. В результате действия СУП разряд C_{n+1} появляется на выходе одновременно с разрядами суммы Σ.

Номенклатура рассматриваемых здесь сумматоров приведена в табл. 1.85.

Микросхема К155ИМ1 (рис. 1.115) — полный сумматор. Он применяется для параллельного и последовательного суммирования чисел

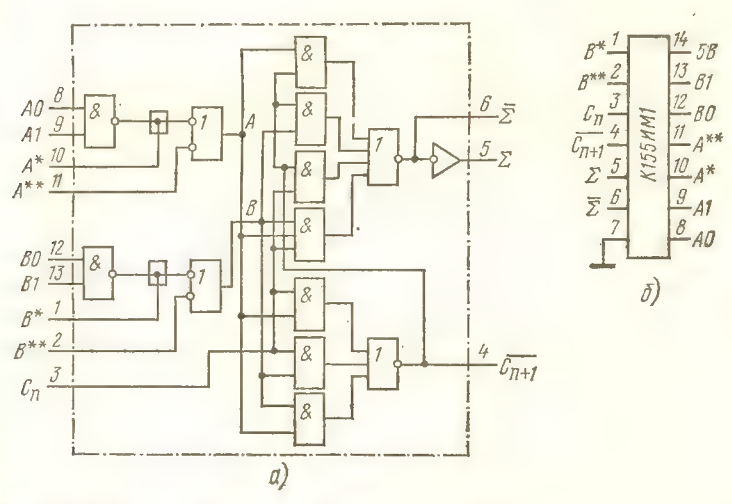


Рис. 1.115. Сумматор ИМ1 *(а)* и его цоколевка *(б)*

с двумя и большим числом разрядов. Каждый вход сумматора слов A и B имеет развитую логику: основные входы данных A0, A1 и B0, B1, которым сопутствуют инверсные входы данных A* и B*, а также входы управления A** и B**. На вход C_n подается входной сигнал переноса. Выход сигнала переноса инверсный $\overline{C_{n+1}}$ (активный уровень — низкий).

Выходные коды суммы выдаются в прямом (Σ) и инверсном ($\overline{\Sigma}$) виде. Если данные подаются на входы A0, A1 и B0, B1, цепи выводов A* и B* следует разомкнуть. Напротив, если выводы A* и B* используются как входы данных, на выходы A0 (или A1) и B0 (или B1) следует подать напряжения низкого уровня.

Таблица 1.86. **Состояния сумматора К555ИМ1**

Вход			Выход		
C_n	B	A	$\overline{C}_{n+1}$	$\overline{\Sigma}$	Σ
Н	Н	Н	В	В	Н
Н	Н	В	В	Н	В
Н	В	Н	В	Н	В
Н	В	В	Н	В	Н
В	Н	Н	В	Н	В
В	Н	В	Н	В	Н
В	В	Н	Н	В	Н
В	В	В	Н	Н	В

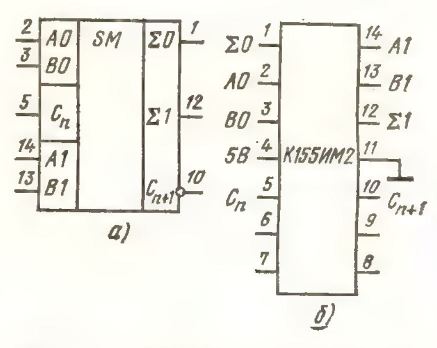


Рис. 1.116. Сумматор ИМ2 *(а)* и его цоколевка *(б)*

В точках A и B выполняются логические уравнения:

$$A = \overline{A}^* + \overline{A}^{**} + A0\,A1,$$
$$B = \overline{B}^* + \overline{B}^{**} + B0\,B1. \qquad (1.12)$$

Состояния сумматора для логических уровней в точках A и B представлены в табл. 1.86, где учтены как низкий, так и высокий входные уровни переноса C_n.

Микросхема К155ИМ2 (рис. 1.116) — сумматор без дополнительных инверсных и управляющих входов. В табл. 1.87 сведены все возможные для сумматора ИМ2 состояния (обозначения выводов здесь такие же, как у сумматора ИМ1). В колонках Σ0 отображается сумма младших разрядов A0 и B0, в колонках Σ1—старших A1 и B1.

Микросхема К155ИМ3 (рис. 1.117) — быстродействующий полный сумматор. Он принимает два четырехразрядных слова по входам данных A0—A3 и B0—B3, а по входу C_n — сигнал переноса. Внутри сумматора имеется СУП. Суммы разрядов входных слов появляются на выходах Σ0—Σ3. На выходе C_{n+1} выделяется сигнал переноса.

Сумматор работает со словами как положительной (высокий уровень — единица), так и отрицательный (низкий уровень — единица) логик.

Таблица 1.87. **Состояния сумматора К155ИМ2**

Вход				Выход					
				На C_n напряжение низкого уровня			На C_n напряжение высокого уровня		
A0	B0	A1	B1	Σ0	Σ1	C_{n+1}	Σ0	Σ1	C_{n+1}
Н	Н	Н	Н	Н	Н	Н	В	Н	Н
В	Н	Н	Н	В	Н	Н	Н	В	Н
Н	В	Н	Н	В	Н	Н	Н	В	Н
В	В	Н	Н	Н	В	Н	В	В	Н
Н	Н	В	Н	Н	В	Н	В	В	Н
В	Н	В	Н	В	В	Н	Н	Н	В
Н	В	В	Н	В	В	Н	Н	Н	В
В	В	В	Н	Н	Н	В	В	Н	В
Н	Н	Н	В	Н	В	Н	В	В	Н
В	Н	Н	В	В	В	Н	Н	Н	В
Н	В	Н	В	В	В	Н	Н	Н	В
В	В	Н	В	Н	Н	В	В	Н	В
Н	Н	В	В	Н	Н	В	В	Н	В
В	Н	В	В	В	Н	В	Н	В	В
Н	В	В	В	В	Н	В	Н	В	В
В	В	В	В	Н	В	В	В	В	В

Суммирование происходит согласно уравнению:

$$C_n + 2^0(A0 + B0) + 2^1(A1 + B1) + 2^2(A2 + B2) +$$
$$+ 2^3(A3 + B3) = 2^0\,\Sigma0 + 2^1\,\Sigma1 + 2^2\,\Sigma2 + 2^3\,\Sigma3 + 2^4\,C_{n+1}. \quad (1.13)$$

Таблица 1.88. **Примеры суммирования чисел микросхемой К155ИМ3**

Данные на входе	C_n	A0	A1	A2	A3	B0	B1	B2	B3	Σ0	Σ1	Σ2	Σ3	C_{n+1}	Цифровой результат
Электрические уровни	Н	Н	В	Н	В	В	Н	Н	В	В	В	Н	Н	В	
Активный уровень В	0	0	1	0	1	1	0	0	1	1	1	0	0	1	10+9=19
Активный уровень Н	1	1	0	1	0	0	1	1	0	0	0	1	1	0	C_n+5+6==12

В первой строке табл. 1.88 показан пример суммирования логических уровней. Если активным (единицей) считается напряжение высокого уровня, то цифровой результат суммирования окажется 19 (вто-

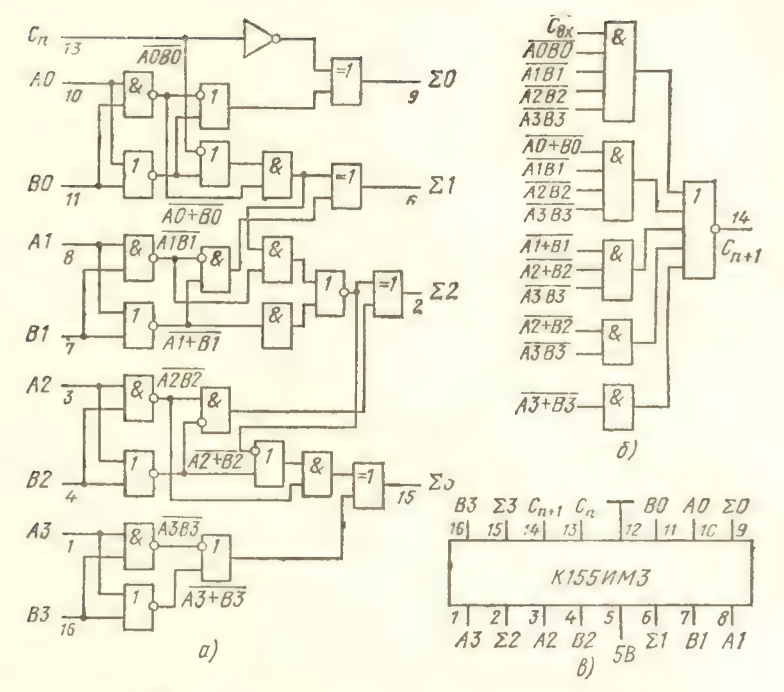


Рис. 1.117. Сумматор ИМ3:

а — схема генератора разрядов суммы; *б* — схема выхода разряда переноса; *в* — цоколевка

рая строка табл. 1.88). При активном напряжении низкого уровня цифровой результат 12, поскольку появилась 1 на входе переноса C_n. Однако если выбрана положительная логика, вход C_n нельзя оставлять неприсоединенным. Если вход не используется, его следует присоединять к напряжению с низким уровнем.

Микросхема К555ИМ6 (рис. 1.118) — сумматор. Он, как и К555ИМ3, складывает два четырехразрядных двоичных слова плюс входной перенос. По схеме и цоколевке сумматор ИМ6 не соответствует ИМ3, хотя уравнение суммирования у них одинаковое. Из-за симметрии двоичной логики ИМ6 можно использовать как с высоко-, так и с низкоуровневой логиками (см. пример суммирования чисел, табл. 1.88).

Сумматор К555ИМ6 потребляет ток питания 34 мА, время задержки распространения сигнала от входов до выходов Σ составляет 24 нс (до выхода переноса C_{n+1} не более 17 нс).

Микросхема К555ИМ7 (рис. 7.119, *а*) — четыре последовательных сумматора-вычитателя, имеющие общие цепи тактовых импульсов C и сброса CLR. Основное применение данных сумматоров — обслуживание перемножающей микросхемы К555ИП9. Каждый сумматор Σ1—Σ4

5В В2 А2 Σ2 А3 В3 Σ3 C_{n+1}
16 15 14 13 12 11 10 9
К555ИМ6
1 2 3 4 5 6 7 8
Σ1 В1 А1 Σ0 А0 В0 C_n
б)

а)

Рис. 1.118. Сумматор ИМ6 (*а*) и его цоколевка (*б*)

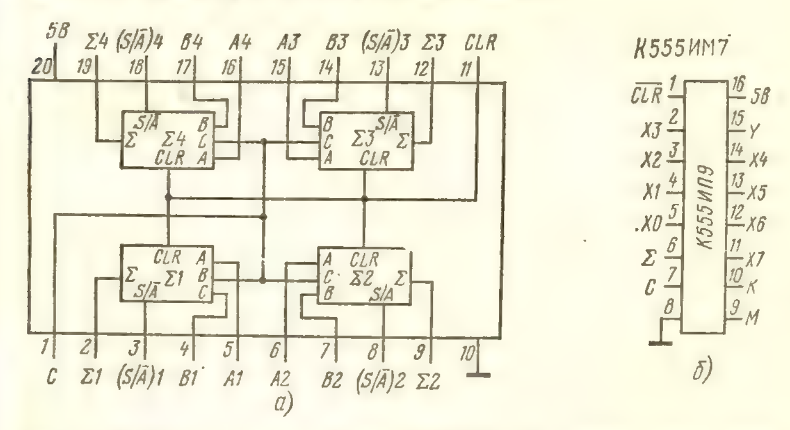


Рис. 1.119. Сумматор-вычислитель К555ИМ7 (*а*) и цоколевка перемножителя К555ИП9 (*б*)

Таблица 1.89. Состояния микросхемы К555ИМ7

Режим	Вход					Внутренний вход переноса		Выход Σ_{n+1} (после ↑)
	CLR	$S/\overline{A}$	A	B	C	C_n (до ↑)	C_{n+1} (после ↑)	
Сброс	Н	Н	x	x	x	Н	Н	Н
	Н	В	x	x	x	В	В	Н
Суммирование	В	Н	Н	Н	↑	Н	Н	Н
	В	Н	Н	Н	↑	В	Н	В
	В	Н	Н	В	↑	Н	Н	В
	В	Н	Н	В	↑	В	В	Н
	В	Н	В	Н	↑	Н	Н	В
	В	Н	В	Н	↑	В	В	Н
	В	Н	В	В	↑	Н	В	Н
	В	Н	В	В	↑	В	В	В
Вычитание	В	В	Н	Н	↑	Н	Н	В
	В	В	Н	Н	↑	В	В	Н
	В	В	Н	В	↑	Н	Н	Н
	В	В	Н	В	↑	В	Н	В
	В	В	В	Н	↑	Н	В	Н
	В	В	В	Н	↑	В	В	В
	В	В	В	В	↑	Н	Н	В
	В	В	В	В	↑	В	В	Н

имеет управляющий вход $S/\overline{A}$ (дается команда $subtractor/\overline{adder}$, т. е. вычитатель/сумматор), два входа данных A и B, а также последовательный выход суммы Σ.

В табл. 1.89 указаны три режима работы каждого сумматора: суммирование (на входе $S/\overline{A}$ — напряжение низкого уровня), вычитание ($S/\overline{A}$=B) и сброс, который происходит асинхронно, без тактового импульса. Во время сброса в триггеры суммирования записываются напряжения низкого уровня, а во внутренние триггеры переноса либо высокого уровня (в режиме вычитания, т. е. когда $S/\overline{A}$=B), либо низкого (в режиме суммирования, когда $S/\overline{A}$=H).

Таблица 1.90. **Состояния микросхемы К555ИП9**

Вход				Внутр. сигнал Y—1	Выход Σ	Функция
$\overline{CLR}$	C	X_i	Y			
H	x	Данные	x	H	H	Загрузка нового множимого. Сброс регистров суммы и переноса
B	↑	x	H	H	Q_{n+1}	Сдвиг в регистре суммы
B	↑	x	H	B	Q_{n+1}	Прибавление множимого к сумме в регистре и сдвиг
B	↑	x	B	H	Q_{n+1}	Вычитание множимого из суммы регистра и сдвиг
B	↑	x	B	B	Q_{n+1}	Сдвиг в регистре суммирования

Положительный перепад на тактовом входе перебрасывает триггеры как суммирования, так и переноса (см. также рис. 1.114). После каждого положительного перепада импульса на входе C на выходе Σ появляется результат суммирования разрядов A, B и внутреннего сигнала переноса (от предыдущего такта суммирования). К примеру, в девятой строке табл. 1.89 значится A=B, B=B, C_n=H. Результат суммирования 1+1+0=10 отображен в виде $C_{n+1}=1$ (высокий уровень) и $\Sigma_{n+1}=0$ (низкий уровень H). Результат последующей строки $A+B+C_n=1+1+1=11$ отображен C_{n+1}=B=1 и Σ_{n+1}=B=1.

Микросхема К555ИП9 (рис. 1.119, *б*) — перемножитель, который является разделяющим (sequential) логическим элементом. Он перемножает восьмиразрядное множимое число X0—X7 поразрядно (по 1 биту) на последовательное слово-множитель, поступающее в виде потока на вход Y. Получаемые данные накапливаются в восьми внутренних

защелках. Если на входе сброса CLR напряжение низкого уровня, все внутренние триггеры находятся в нулевом состоянии, защелки X разомкнуты и готовы к приему нового множимого X0—X7 (первая строка табл. 1.90). Затем на вход $\overline{CLR}$ подается напряжение высокого уровня. Разряды числа-множителя подаются на вход Y, причем МЗР идет первым. Произведение загруженного слова X на слово (поток) Y появляется на выходе Σ поразрядно (данные Q_{n+1}) после каждого тактового импульса.

В общем случае при поразрядном перемножении m-разрядного слова на n-разрядное и произведении будет m+n бит, что потребует m+n тактовых импульсов. Вход M (mode) служит для смены режима работы.

1.19. ОПЕРАТИВНЫЕ И ПОСТОЯННЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА ТТЛ

Запоминающие устройства (ЗУ) составляют самостоятельный, широкоразвитый класс микросхем средней, большой и сверхбольшой степени интеграции. Здесь представлены оперативные (ОЗУ) малой емкости и постоянные (ПЗУ). Постоянные ЗУ необходимы для генерации и взаимного преобразования стандартных неменяющихся кодов. Номенклатура ОЗУ и ПЗУ из серий К155 и К555 перечислена в табл. 1.91. Все эти ЗУ — статического типа: регистровые, матричные, файловые, поразрядные, байтовые.

Таблица 1.91. **Оперативные и постоянные ЗУ ТТЛ**

Серия	Обозначение	Номер микросхемы								
		1	1	2	3	3	5	6	7	26
К155 КМ155	РУ	+ +		+	+		+			
К155	РП		+			+				
К155	ПР							+	+	
К555	ИР									+
74	—	81	170	89	84	172	130	184	185	670

Микросхемы К155РУ1 и К155РУ3 (рис. 1.120, *а*) — статические ОЗУ. Они могут хранить 16 бит информации. Основа этих ЗУ — матрица из 16 триггеров, образующих четыре ряда и четыре колонки. Микросхема РУ3 в отличие от РУ1 имеет два дополнительных входа записи 1 и 0, поэтому их цоколевки различаются (рис. 1.120, *б*, *в*). Для выбора ячейки (триггера), расположенного в ряду матрицы, служат четыре адресных входа A1—A4, для выбора по колонке — входы B1—B4. Ячейка выбирается при напряжении высокого логического уровня, поданном по обоим адресам. Данные записываются в ячейку

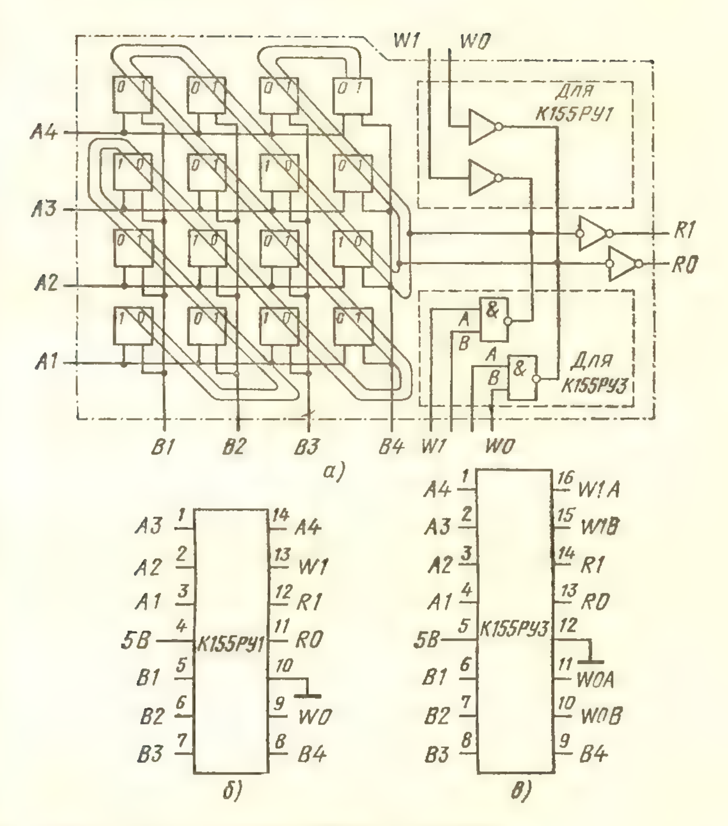


Рис. 1.120. Оперативные ЗУ К155РУ1 и К155РУ3

по раздельным входам W1 (запись 1) и W0 (запись нуля). Для РУ3 эти входы двойные W1A, W1B и W0A, W0B.

Для считывания данных из памяти следует подать адрес ячейки по шинам $A_п$ и $B_п$. Считанные данные появляются на отдельных выходах R0 и R1 с открытыми коллекторами.

Микросхема К155РУ2 (рис. 1.121) — высокоскоростное ОЗУ с емкостью 64 бит. Данные в ОЗУ можно записывать и считывать. При считывании информации из ОЗУ она не разрушается. Ячейки в памяти организованы в матрицу RAM (рис. 1.121, *а*), имеющую 16 рядов и 4 колонки, что соответствует логической организации 16 слов по 4 бита каждое. Матрица снабжена адресным дешифратором DC, который принимает четырехразрядный код адреса A1—A4 и выбирает с помощью одного из своих 16 выходов нужное четырехразрядное слово. Четыре буферных входа данных D1—D4 снабжены входом разрешения записи $\overline{WE}$. Каждый выход данных Q1—Q4 имеет открытый коллектор, что упрощает соединение нескольких ОЗУ РУ2 в более сложные мат-

Рис. 1.121. Оперативное ЗУ К155РУ2 *(а)* и его цоколевка *(б)*

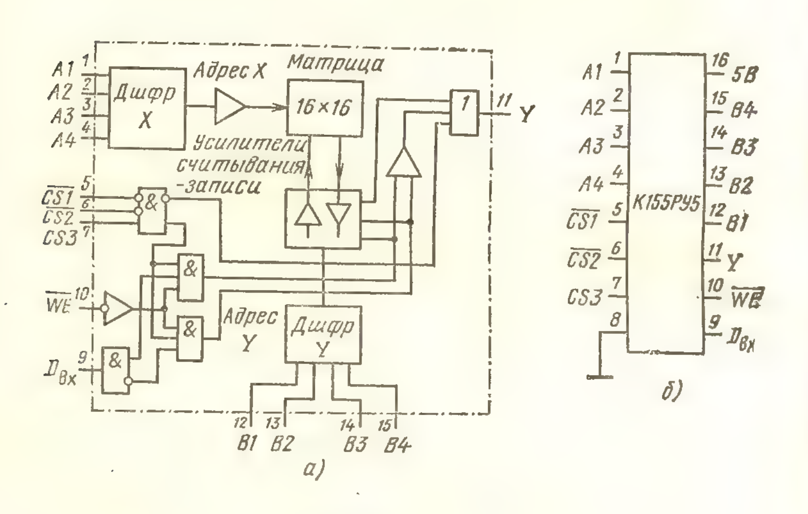


Рис. 1.122. Оперативное ЗУ К155РУ5 *(а)* и его цоколевка *(б)*

Таблица 1.92. **Состояния ОЗУ К155РУ2**

Режим работы	Вход $\overline{CS}$	Вход $\overline{WE}$	Вход D_n	Выход $\overline{Q}_n$
Запись	Н	Н	Н	В
	Н	Н	В	Н
Считывание	Н	В	х	$\overline{D}_n$
Запрет записи	В	Н	Н	В
	В	Н	В	В
Отключение выходов	В	В	х	В

Таблица 1.93. **Состояния ОЗУ К155РУ5**

Вход $\overline{CS1}$	Вход $\overline{CS2}$	Вход CS3	Вход $\overline{WE}$	Вход $D_{вх}$	Выход Y	Режим
В	х	х	х	х	В	Ячейка не выбирается
х	В	х	х	х	В	То же
х	х	Н	х	х	В	»
Н	Н	В	Н	Н	В	Запись 0 в ячейку
Н	Н	В	Н	В	В	Запись 1 в ячейку
Н	Н	В	В	х	$D_{вых}$	Считывание данных из ячейки, выбранной адресом

рицы. Данные на выходах инвертированы относительно тех, которые записаны в памяти.

Если выбран режим записи, то входы и выходы имеют комплементарные коды. Для считывания данных из ОЗУ после фиксации адресных данных на вход $\overline{WE}$ подается напряжение высокого уровня, а на вход доступа к нужной микросхеме памяти (условное название: вход выбора кристалла) $\overline{CS}$ — низкого. Для записи сигналов требуется установить напряжение низкого уровня на входах управления $\overline{WE}$ и $\overline{CS}$. Адресный код в это время также должен быть зафиксирован.

Следует учесть, что в режиме считывания выбранные ячейки памяти доступны для приема данных, поэтому логические сигналы на шинах требуется зафиксировать перед переключением уровней управления от низкого к высокому на входах $\overline{CS}$ или $\overline{WE}$.

Микросхема К155РУ2 потребляет ток 100 мА, в варианте S 105 мА, в варианте LS 37 мА. Стекающий в открытый коллектор выходной ток более 24 мА. Для выбора режимов работы памяти РУ2 служит табл. 1.92.

Микросхема К155РУ5 (рис. 1.122) — структура матричного ОЗУ с организацией 256 слов по 1 биту. Матрица имеет 16 рядов и 16 колонок запоминающих ячеек. Для выбора ячейки, куда записано требуемое одноразрядное слово, служат два четырехвходовых дешифратора. Дешифратор X (адреса A1—A4) выбирает один из 16 рядов матрицы, а дешифратор Y (адреса B1—B4) — одну из 16 колонок (итого, $16\times16=256$ адресов). Считывание данных ячейки и запись в ячейку проводятся усилителем считывания/записи, который имеет четыре входа управления $\overline{CS1}$, $\overline{CS2}$, CS3, $\overline{WE}$, а также вход записи данных $D_{вх}$ и выход данных Y. Входы $\overline{CS1}$, $\overline{CS2}$ и CS3 открывают доступ к матрице памяти (для входов $\overline{CS1}$ и $\overline{CS2}$ активный уровень — низкий, для CS3 — высокий).

По входу $\overline{WE}$ (активный уровень — низкий) разрешается запись

в выбранную ячейку. Возможные режимы работы ОЗУ К155РУ5 перечислены в табл. 1.93. Выход Y — с открытым коллектором.

Микросхема К155РП1 (рис. 1.123) — матрица памяти. Она имеет 16 ячеек и позволяет хранить 4 слова по 4 бита каждое. Микросхема организована по системе четырех файл-регистров, что позволяет независимо и одновременно записывать в память одно слово и считывать из нее другое.

В микросхеме РП1 каждый триггер имеет вход D, а также два входа разрешения записи от этого входа: V и &. На входы V и & в требуемых фазах поступают разрешающие сигналы управления от входов адресов записи WA и WB. Все входы D четырех горизонталь-

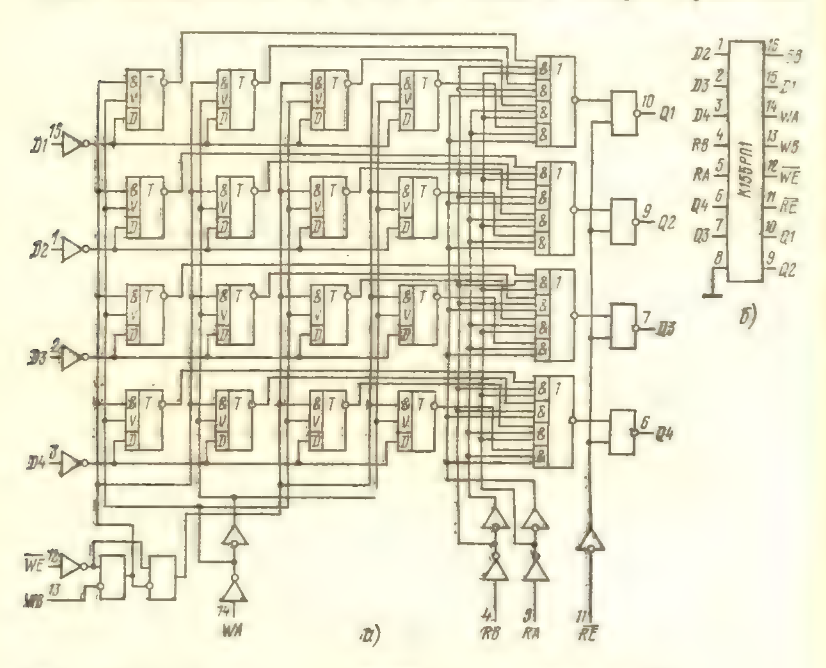


Рис. 1.123. Матрица памяти К155РП1 *(а)* и ее цоколевка *(б)*

ных линий триггеров соединены параллельно. Число входов данных — четыре (D1—D4) — соответствует числу горизонтальных линий. Следовательно, перебирая все четыре варианта подачи напряжения низкого и высокого уровня на входы WA и WB, можно разрешить одному из четырех столбиков триггеров сразу защелкнуть данные, которые есть в этот момент на входах D1—D4. Данные будут храниться только в выбранном вертикальном файле (от слова file — папка для документов; в данном случае — стоящая на полке, одну папку можно снять с полки для чтения, в другую — одновременно делать записи).

Посмотреть содержимое выбранного файла можно с помощью дешифратора считывания. Он управляется сигналами адреса считывания

RA и RB (четыре адреса). Выбрав один из них, можно разрешить отображение на выходах Q1—Q4 состояния выходов $\overline{Q}$ четырех триггеров нужного нам столбика.

Четырехразрядное слово, которое надо записать в память, подается на входы данных D1—D4. Логические уровни на входах адреса записи WA и WB будут определять расположение этого слова.

Если на вход разрешения записи $\overline{WE}$ подано напряжение активного низкого уровня, данные поступят в ячейки выбранной одной из четырех вертикальных колонок (файлов). Данные будут прочтены на выходах в прямом (неинвертированном) коде. Если на вход $\overline{WE}$ подано напряжение высокого уровня, входы данным и адресам будут запрещены. Условия выбора режима записи сведены в табл. 1.94.

Таблица 1.94. **Выбор режимов записи в память К155РП1**

Режим работы	Вход $\overline{WE}$	Вход D_n	Состояние внутренней защелки
Запись данных	Н	Н	Н
	Н	В	В
Защелкивание данных	В	x	Без изменения

Таблица 1.95. **Выбор режима считывания из памяти К155РП1**

Режим работы	Вход $\overline{RE}$	Вход: Внутренняя защелка	Выход Q_n
Считывание данных	Н	Н	Н
	Н	В	В
Запрет считывания	В	x	В

Таблица 1.96. **Состояния ОЗУ К155ПР1 при записи**

Вход записи WB	WA	$\overline{WE}$	Слово 1	2	3	4
Н	Н	Н	Q=D	Q0	Q0	Q0
Н	В	Н	Q0	Q=D	Q0	Q0
В	Н	Н	Q0	Q0	Q=D	Q0
В	В	Н	Q0	Q0	Q0	Q=D
x	x	В	Q0	Q0	Q0	Q0

Таблица 1.97. **Состояния ОЗУ К155РП1 при считывании**

Вход считывания RB	RA	$\overline{RE}$	Выход Q1	Q2	Q3	Q4
Н	Н	Н	С1Б1	С1Б2	С1Б3	С1Б4
Н	В	Н	С2Б1	С2Б2	С2Б3	С2Б4
В	Н	Н	С3Б1	С3Б2	С3Б3	С3Б4
В	В	Н	С4Б1	С4Б2	С4Б3	С4Б4
x	x	В	В	В	В	В

Прямой доступ к данным, накопленным в колонках, осуществляется благодаря независимым от адресов записи WA, WB адресам считывания RA и RB. Если на вход разрешения считывания $\overline{RE}$ подано напряжение активного низкого уровня, то выбранное по адресу RA, RB слово появится на выходах Q1—Q4. Выход данным запрещается и на выходах остаются напряжения высокого уровня, когда на вход $\overline{RE}$ подается напряжение высокого уровня. Выбор режимов считывания дан-

ных из внутренних защелок отображен в табл. 1.95. Считываемые данные появляются на выходах Q_n.

Выходы Q1—Q4 имеют открытые коллекторы. Такие выходы можно соединять непосредственно. При этом объединяется до 256 приборов РП1, что дает емкость устройства памяти 1024 слова по 4 бита. Можно сделать параллельное наращивание длины слова до n бит, если параллельно соединять входы разрешения и адресации нескольких микросхем РП1. Порядок выбора адреса записи данных в ОЗУ РП1 соответствует табл. 1.96, где код Q=D на выходах четырех выбранных внутренних триггеров-защелок соответствует коду, присутствующему на четырех внешних входах данных, а Q0 — код, установившийся перед сменой состояний.

Порядок выбора адреса для считывания данных из ОЗУ РП1 указан в табл. 1.97. На выходах Q1—Q4 данные появляются согласно коду адреса: С1Б1 — первый бит слова 1, С2Б2 — второй бит слова 2, ... С4Б4 — четвертый бит слова 4.

Таблица 1.98. Выбор режима считывания из памяти К555ИР26

Режим	Вход		Выход Q_n
	$\overline{RE}$	внутренних ключей	
Считывание данных	Н	Н	Н
	Н	В	В
Запрет	В	x	Z

Рис. 1.124. Регистр памяти К555ИР26

Микросхема К155РП1 потребляет ток питания 150 мА, варианта LS — 40 мА. Наибольшее время задержки распространения сигнала от входов данных D до выходов Q 45 нс.

Микросхема К555ИР26 (рис. 1.124) — развитие предыдущего ОЗУ. Его структурная схема остается прежней, но выходы здесь имеют три состояния. Назначение выводов микросхемы ИР26 соответствует выводам К155РП1.

Запись данных проводится согласно табл. 1.97, однако при считывании напряжение высокого уровня, поданное на вывод разрешения считывания $\overline{RE}$ переводит выходы в разомкнутое состояние Z (см. табл. 1.98). Выходы с тремя состояниями позволяют соединять 128 таких приборов. Это даст 512 мест расположения четырехразрядных слов. Ограничивающий фактор составления столь больших стеков (штабелей) памяти — чрезмерные выходные токи в момент, когда на входах присутствуют напряжения высокого уровня. При дальнейшем наращивании памяти для стекания этих токов следует подключать внешние коллекторные резисторы нагрузки. Как и в микросхемах РП1, для параллельного наращивания длины запоминаемых слов требуется соединить вместе разрешающие и адресные входы соответствующего числа ОЗУ.

Потребляемый ОЗУ К555ИР26 ток питания не более 50 мА, время

задержки распространения сигнала от входа данных до выхода не превышает 45 нс.

Микросхема К155РП3 (рис. 1.125) — регистровое ЗУ. Его основой служит 16-разрядный файл-регистр, имеющий организацию 8 слов × ×2 бита (т. е. слова расположены в регистре по восьми адресам). Регистр снабжен входными и выходными портами для записи и чтения двухразрядных слов.

Регистр памяти обслуживают три порта: порт входных данных А, порт выходных данных В (эти порты независимы, они имеют собствен-

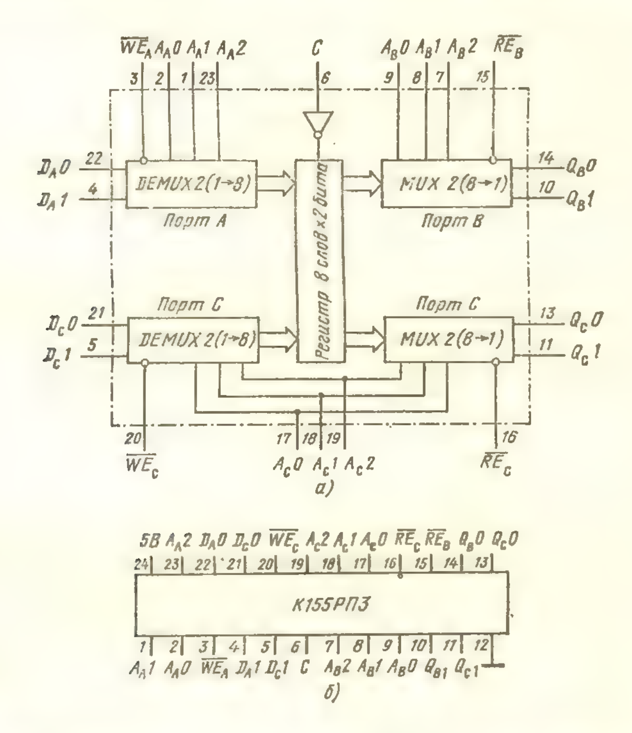


Рис. 1.125. Трехпортовое регистровое ЗУ К155РП3 *(а)* и его цоколевка *(б)*

ную адресацию), а также двухсекционный порт С. Секции входных и выходных данных порта С имеют общие адресные входы. Каждый порт имеет по три адресных входа A_{An}, A_{Bn} и A_{Cn}, что дает восемь адресов в регистр. Эти адреса позволяют обмениваться с накопительным регистром восемью двухбитными словами.

Одновременно можно проводить операции по трем местам расположения слов: можно записать слово через порт А, по другому адресу прочитать слово через порт В, по третьему адресу через порт С можно

прочитать и записать слово. Данные из порта A пройдут в регистр памяти по выбранному адресу, если на вход разрешения записи $\overline{WE}_A$ подано напряжение низкого уровня, а затем на тактовый вход C поступает положительный перепад напряжения (от низкого уровня к высокому).

Через порт B двухбитное слово поступит на выходы Q_{B0}, Q_{B1}, если на вход разрешения чтения $\overline{RE}_B$ подано напряжение низкого уровня. Эти выходы будут иметь разомкнутое Z-состояние, если на входе $\overline{RE}_B$ присутствует напряжение высокого уровня. Считывание не зависит от наличия тактового импульса.

Через входную секцию порта C слово можно записать в регистр по одному из восьми адресов одновременно с записью по другому адресу слова через порт A (за один положительный перепад на тактовом входе C). Одновременная запись через порты A и C по одному адресу считывается конфликтной ситуацией. Через порт B и выходную секцию порта C можно читать два двухбитных слова одновременно.

Таблица 1.99а. **Условия записи в ЗУ К155РП3**

Режим	Вход			Адресовано в регистр
	C (6)	$\overline{WE}$	D_n	
Запись данных	↑	Н	Н	Н
	↑	Н	В	В
Хранение	↕	В	х	Без изменений

Таблица 1.99б. **Условия чтения из ЗУ К155РП3**

Режим	Вход		Выход Q_n
	$\overline{RE}$	Адресовано в регистр	
Чтение	Н	Н	Н
	Н	В	В
Отключение	В	х	Z

Регистр построен на двухступенчатых триггерах мастер-помощник. Если на входы разрешения записи $\overline{WE}_{A,C}$ поданы напряжения низкого уровня, триггеры-мастера примут входные данные. Данные передаются триггерам-помощникам в момент положительного перепада на тактовом входе C. Чтобы не допустить перехода двухбитных слов на другие места в регистре, следует зафиксировать код адреса, когда на входах разрешения записи и тактовом присутствуют напряжения низкого уровня (хотя сигналы поступят триггерам-мастерам по новому адресу, но в триггеры-помощники они записаны не будут, поскольку не пришел положительный перепад тактового импульса).

Выбрать режимы записи и чтения через порты можно с помощью табл. 1.99. Для режима хранения на входе разрешения записи $\overline{WE}$ должно быть напряжение высокого уровня перед приходом отрицательного перепада на вход C. Этим исключается перемена данных в регистре.

Взаимное преобразование многоразрядных двоичного и двоично-десятичного кодов часто применяется в цифровой аппаратуре. Для стандартизации этих операций удобны ПЗУ.

Микросхемы К155ПР6 и К155ПР7 (рис. 1.126) — преобразователи двоично-десятичных слов в двоичные и двоичных слов в двоично-десятичные соответственно. Основа их — запоминающая матрица с организацией 32×8 (т. е. 256 бит). При изготовлении микросхемы в этой мат-

рице ячейки соединяют в соответствии с программами преобразований. Матрицей управляет дешифратор адресов с 5 входами и 32 выходами. Выходы имеют открытые коллекторы.

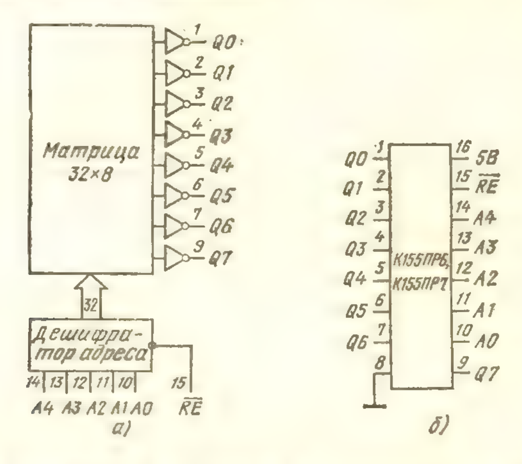


Рис. 1.126. Постоянные ЗУ К155ПР6 и К155ПР7 *(а)* и его цоколевка *(б)*

Таблица 1.100. **Логические уровни при преобразовании двоично-десятичных слов в ПЗУ К155ПР6**

Номер слова	Вход						Двоичный код на выходе				
	A4	A3	A2	A1	A0	$\overline{RE}$	Q4	Q3	Q2	Q1	Q0
0	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н
1	Н	Н	Н	Н	В	Н	Н	Н	Н	Н	В
2	Н	Н	Н	В	Н	Н	Н	Н	Н	В	Н
3	Н	Н	Н	В	В	Н	Н	Н	Н	В	В
4	Н	Н	В	Н	Н	Н	Н	Н	В	Н	Н
5	Н	В	Н	Н	Н	Н	Н	Н	В	Н	В
6	Н	В	Н	Н	В	Н	Н	Н	В	В	Н
7	Н	В	Н	В	Н	Н	Н	Н	В	В	В
8	Н	В	Н	В	В	Н	Н	В	Н	Н	Н
9	Н	В	В	Н	Н	Н	Н	В	Н	Н	В
10	В	Н	Н	Н	Н	Н	Н	В	Н	В	Н
11	В	Н	Н	Н	В	Н	Н	В	Н	В	В
12	В	Н	Н	В	Н	Н	Н	В	В	Н	Н
13	В	Н	Н	В	В	Н	Н	В	В	Н	В
14	В	Н	В	Н	Н	Н	Н	В	В	В	Н
15	В	В	Н	Н	Н	Н	Н	В	В	В	В
16	В	В	Н	Н	В	Н	В	Н	Н	Н	Н
17	В	В	Н	В	Н	Н	В	Н	Н	Н	В
18	В	В	Н	В	В	Н	В	Н	Н	В	Н
19	В	В	В	Н	Н	Н	В	Н	Н	В	В
Любой	х	х	х	х	х	В	В	В	В	В	В

Таблица 1.101. **Состояния при преобразовании двоичного кода в двоично-десятичный в ПЗУ К155ПР7**

Номер слова	Вход						Двоично-десятичный код на выходе							
	A4	A3	A2	A1	A0	$\overline{RE}$	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0
0	Н	Н	Н	Н	Н	Н	В	В	Н	Н	Н	Н	Н	Н
1	Н	Н	Н	Н	В	Н	В	В	Н	Н	Н	Н	Н	В
2	Н	Н	Н	В	Н	Н	В	В	Н	Н	Н	Н	В	Н
3	Н	Н	Н	В	В	Н	В	В	Н	Н	Н	Н	В	В
4	Н	Н	В	Н	Н	Н	В	В	Н	Н	Н	В	Н	Н
5	Н	Н	В	Н	В	Н	В	В	Н	Н	В	Н	Н	Н
6	Н	Н	В	В	Н	Н	В	В	Н	Н	В	Н	Н	В
7	Н	Н	В	В	В	Н	В	В	Н	Н	В	Н	В	Н
8	Н	В	Н	Н	Н	Н	В	В	Н	Н	В	Н	В	В
9	Н	В	Н	Н	В	Н	В	В	Н	Н	В	В	Н	Н
10	Н	В	Н	В	Н	Н	В	В	Н	В	Н	Н	Н	Н
11	Н	В	Н	В	В	Н	В	В	Н	В	Н	Н	Н	В
12	Н	В	В	Н	Н	Н	В	В	Н	В	Н	Н	В	Н
13	Н	В	В	Н	В	Н	В	В	Н	В	Н	Н	В	В
14	Н	В	В	В	Н	Н	В	В	Н	В	Н	В	Н	Н
15	Н	В	В	В	В	Н	В	В	Н	В	В	Н	Н	Н
16	В	Н	Н	Н	Н	Н	В	В	Н	В	В	Н	Н	В
17	В	Н	Н	Н	В	Н	В	В	Н	В	В	Н	В	Н
18	В	Н	Н	В	Н	Н	В	В	Н	В	В	Н	В	В
19	В	Н	Н	В	В	Н	В	В	Н	В	В	В	Н	Н
20	В	Н	В	Н	Н	Н	В	В	В	Н	Н	Н	Н	Н
21	В	Н	В	Н	В	Н	В	В	В	Н	Н	Н	Н	В
22	В	Н	В	В	Н	Н	В	В	В	Н	Н	Н	В	Н
23	В	Н	В	В	В	Н	В	В	В	Н	Н	Н	В	В
24	В	В	Н	Н	Н	Н	В	В	В	Н	Н	В	Н	Н
25	В	В	Н	Н	В	Н	В	В	В	Н	В	Н	Н	Н
26	В	В	Н	В	Н	Н	В	В	В	Н	В	Н	Н	В
27	В	В	Н	В	В	Н	В	В	В	Н	В	Н	В	Н
28	В	В	В	Н	Н	Н	В	В	В	Н	В	Н	В	В
29	В	В	В	Н	В	Н	В	В	В	Н	В	В	Н	Н
30	В	В	В	В	Н	Н	В	В	В	В	Н	Н	Н	Н
31	В	В	В	В	В	Н	В	В	В	В	Н	Н	Н	В
Любое	x	x	x	x	x	В	В	В	В	В	В	В	В	В

В табл. 1.100 дана сводка кодов на входах и выходах ПЗУ К155ПР6. Здесь на входы A0—A4 подается двоично-десятичный код. Цифровой вес разрядов: на входе A0—1, на входе A1—2, на входе A2—4. На старших входах A3 и A4 вес соответственно 5 и 10. Вход $\overline{RE}$ разрешает преобразование при нахождении низкого уровня. Напряжение высокого уровня на входе $\overline{RE}$ запрещает преобразование, а на выходах Q0—Q4 появляются напряжения высокого уровня. Выходы Q5—Q7 для преобразования не используются (они необходимы для получения комплементарных кодов).

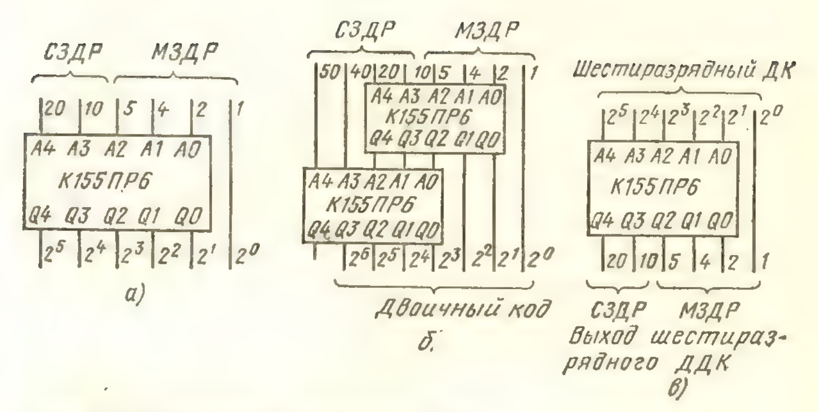


Рис. 1.127. Применение стандартных ПЗУ:

а — шестиразрядный преобразователь двоично-десятичного кода в двоичный; *б* — аналогичный двухкаскадный преобразователь; *в* — шестиразрядный преобразователь двоичного кода в двоично-десятичный

В табл. 1.101 показаны состояния ПЗУ К155ПР7. Здесь на входы A0—A4 подается двоичный код (в таблице перечислены по порядку все 32 комбинации пятиразрядного кода). Вход $\overline{RE}$ используется как разрешающий (по напряжению низкого уровня). Если на этом входе присутствует напряжение высокого уровня, преобразование не происходит, а на выходах Q0—Q5 появляются напряжения высокого уровня.

Выходы Q6—Q7 всегда имеют высокие выходные уровни (не коммутируются). Младшие выходы Q0—Q2 имеют цифровой вес: Q0—1, Q1—2 и Q2—4. Выходы Q3—Q5 — старшие. Их вес: Q3—5, Q4—10 и Q5—20.

На рис. 1.127 приведены схемы применения преобразователей. Шестиразрядный преобразователь показан на рис. 1.127, *а*, где МЗДР — младшие значащие десятичные разряды (1, 2, 4 и 5), а СЗДР — старшие (10 и 20). Максимальное входное число здесь 42, выходное поэтому должно содержать шесть двоичных разрядов (63>42). На рис. 1.127, *б* показан аналогичный преобразователь в семиразрядный двоичный код. Обратный преобразователь двоичного кода в двоично-десятичный изображен на рис. 1.127, *в* (максимальный выходной счет 42).

1.20. УЗЛЫ ВЫЧИСЛИТЕЛЬНЫХ УСТРОЙСТВ

В начале 80-х г. были разработаны малые ЭВМ, все основные узлы которых — процессор, управляющие схемы-контроллеры, постоянные и оперативные ЗУ, шинные усилители — располагаются на одном полупроводниковом кристалле. Ранее составные части малых ЭВМ выпускались лишь в виде отдельных БИС.

Микропроцессор — основа будущей однокристалльной ЭВМ. Главным узлом микропроцессора служит арифметико-логическое устройство — АЛУ. Кроме АЛУ в микропроцессор входят схемы проверки на четность, цифровые компараторы, схемы ускоренного переноса.

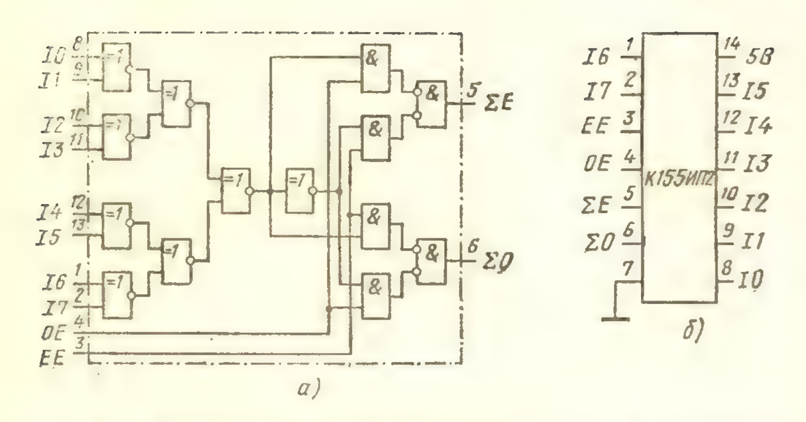


Рис. 1.128. Микросхема ИП2 для проверки четности кода *(а)* и ее цоколевка *(б)*

Таблица 1.102. **Микросхемы, выполняющие арифметические операции**

Серия	Обозначение	Номер микросхемы				
		1	2	3	4	5
К155	ИП		+	+	+	
КМ155	ИП		+	+	+	
К555	ИП			+		
КМ555	ИП				+	
К531	ИП			+	+	+
К555	СП	+				
К531	СП	+				
74	—	85	180	181	182	280

Рассмотрим схемы ТТЛ, необходимые для выполнения основных арифметических функций над двумя малоразрядными числами.

В табл. 1.102 приведены микросхемы ТТЛ, применяемые для выполнения арифметических операций. (Основа АЛУ — сумматоры — были рассмотрены в § 1.17.)

Микросхема К155ИП2 (рис. 1.128) — восьмиразрядная схема для проверки на четность или нечетность суммы единиц входного слова с целью обнаружения ошибок при высокоскоростной передаче данных. Микросхема имеет два входа разрешения: четный EE (even enable) и нечетный OE (odd enable). Эти входы должны получать разноуровневые логические сигналы. Соответственно данным из табл. 1.103 можно отображать на выходах ΣE и Σ0 четность и нечетность суммы напряжением высокого или низкого уровня (низким или высоким уровнем). К примеру, активным напряжением высокого уровня на выходе

Таблица 1.103. Состояния в схеме проверки четности К155ИП2

Сумма высоких уровней на входах I0—I7	Вход		Выход	
	EE	0E	ΣE (четная)	Σ0 (нечетная)
Четная	В	Н	В	Н
Нечетная	В	Н	Н	В
Четная	Н	В	Н	В
Нечетная	Н	В	В	Н
x	В	В	Н	Н
x	Н	Н	В	В

Таблица 1.104. Состояния в схеме проверки на четность К531ИП5П

Вход	Выход	
Число высоких уровней на входах I0—I8	ΣE	Σ0
Четное	В	Н
Нечетное	Н	В

ΣE будет отображена четность кода, если на вход EE подать напряжение высокого уровня, а на входе 0E установить низкий (тогда на выходе Σ0 появится напряжение низкого уровня, отображающее четность). Таким образом, выходы микросхемы К155ИП2 можно непосредственно подключать ко входам других схем ТТЛ, будь их активный уровень высоким или низким.

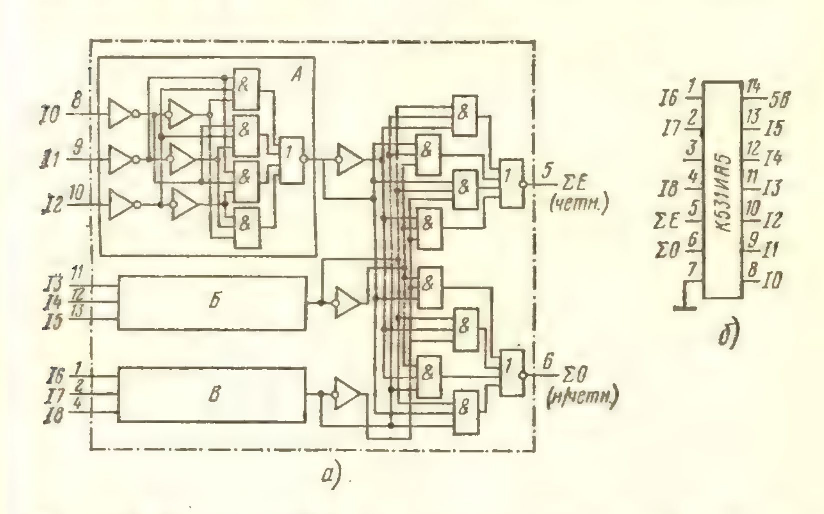


Рис. 1.129. Микросхема ИП5 для проверки четности кода (*а*) и ее цоколевка (*б*)

Если на входах I0—I7 код нечетный, на выходе Σ0 будет напряжение высокого уровня (на выходе ΣE — активный низкий уровень). Если соединить входы EE и 0E и подавать на них напряжение высокого и низкого уровня, на выходах Σ0 и ΣE получим инверсные логические уровни.

Проверить четность девятиразрядного слова можно, используя оба входа разрешения, между которыми следует включить инвертор. Для проверки четности числа высоких активных входных уровней девятый разряд данных следует присоединить к 0Е, а от вывода 0Е к ЕЕ подать сигнал через инвертор. Для проверки четности числа принятых активных низких уровней следует девятый разряд данных присоединить к ЕЕ, а сигнал от ЕЕ через инвертор подать на 0Е. Наращивание длины слова можно сделать за счет последовательного соединения микросхем ИП2, причем выходы ΣЕ и Σ0 предыдущей микросхемы надо соединить со входами ЕЕ и Е0 последующей.

Микросхема К155ИП2 потребляет ток 56 мА, наибольшее время задержки распространения сигнала от входов до выхода ΣЕ составляет 68 нс. Аналогичная задержка до выхода Σ0 составляет 48 нс.

Микросхема К531ИП5П (рис. 1.129) — девятиразрядная схема проверки на четность суммы единиц входного слова. Микросхема имеет девять входов I0—I8, образующих три одинаковых логических узла А, Б, В, а также два выхода ΣЕ (выход четности суммы единиц входного слова) и Σ0 (выход нечетности). Назначение данной микросхемы соответствует К155ИП2. Состояния ее выходов в зависимости от числа высоких логических уровней, присутствующих на входах I0—I8, сведены в табл. 1.104.

Микросхему ИП5 можно применить для проверки на четность слов, имеющих число разрядов большее, чем девять. Например, при длине слова 81 бит следует брать десять микросхем ИП5: девять из них создадут 81 вход, к девяти входам I0—I8 десятой микросхемы следует подключить выходы ΣЕ первых девяти микросхем. Результат проверки получим на выходах ΣЕ и Σ0 десятой микросхемы. Время проверки на четность такой двухступенчатой схемой 81-разрядного слова не превышает 40 нс. Ток, потребляемый одной микросхемой К531ИП5П, составляет 105 мА, время задержки распространения сигнала не более 21 нс.

Микросхема К155ИП3 (рис. 1.130) — четырехразрядное, скоростное АЛУ. Оно может работать в двух режимах, выполняя либо 16 логических, либо 16 арифметических операций. Для получения максимального быстродействия при обработке длинных цифровых слов в схеме АЛУ (рис. 1.130, *а*) присутствует внутренняя СУП.

На входы $\overline{A0}$—$\overline{A3}$ (активные уровни — низкие) подается четырехразрядное слово А (операнд А), на входы $\overline{B0}$—$\overline{B3}$ — аналогичное слово-операнд В. Арифметико-логическое устройство имеет четыре входа выбора S0—S3, с помощью которых можно выбрать $2^4=16$ функций устройства. Реально число этих функций в 2 раза больше: с помощью входа М (mode control) переключаются режимы и АЛУ выполняет либо 16 арифметических операций, либо генерирует 16 логических функций двух переменных.

На входе C_n принимается входной сигнал переноса. Результат выполнения одной из 32 выбранных функций АЛУ появляется на выходах $\overline{F0}$—$\overline{F3}$ (активные уровни — низкие). На выходе выделяется сигнал переноса (после четырех разрядов). Этот сигнал подается на вход C_n следующего АЛУ при составлении схем АЛУ большей емкости. Микросхема ИП3 имеет три вспомогательных выхода: А=В — выход компаратора, отображающий равенство операндов (выход имеет открытый коллектор), $\overline{G}$ — выход генерации переноса, $\overline{P}$ — выход распространения переноса. Выходы $\overline{G}$ и $\overline{P}$ имеют активные низкие уровни.

Микросхема К155ИП3 управляется параллельными входами выбора S0 — S3 и входом управления режимом М. Если на входе М напряже-

ние высокого уровня, запрещаются все внутренние переносы и прибор будет исполнять логические операции поразрядно. При напряжении низкого уровня на входе М переносы разрешаются и будут выполняться арифметические операции над двумя четырехразрядными словами. За счет полной внутренней СУП сигнал переноса на выходе C_{n+4}

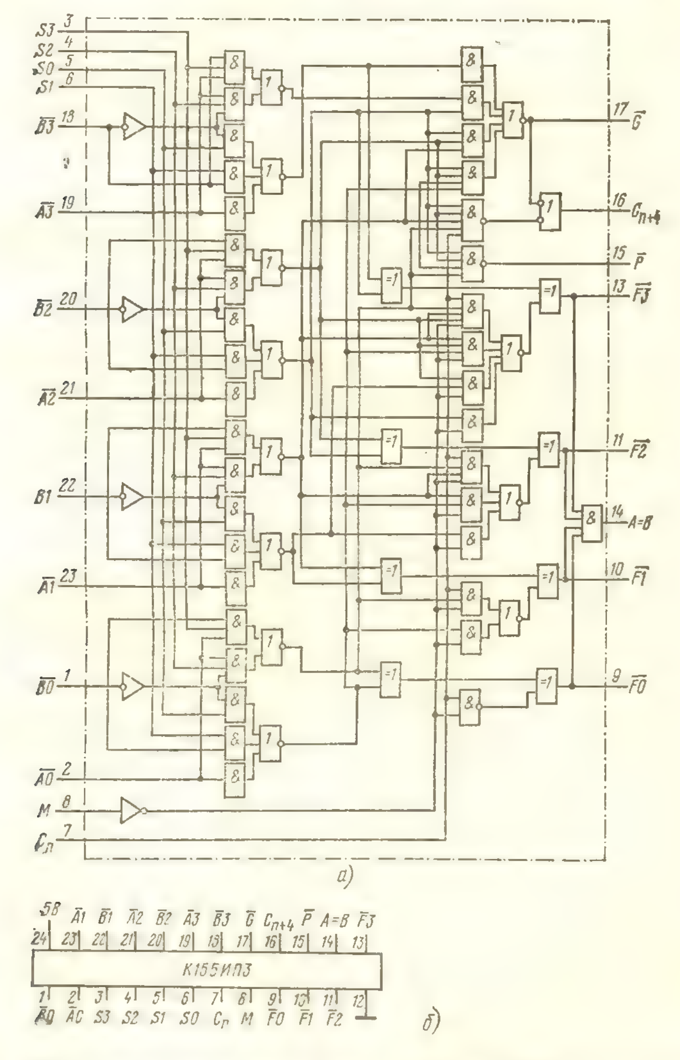


Рис. 1.130. Арифметическо-логическое устройство ИП3 (*а*) и его цоколевка (*б*)

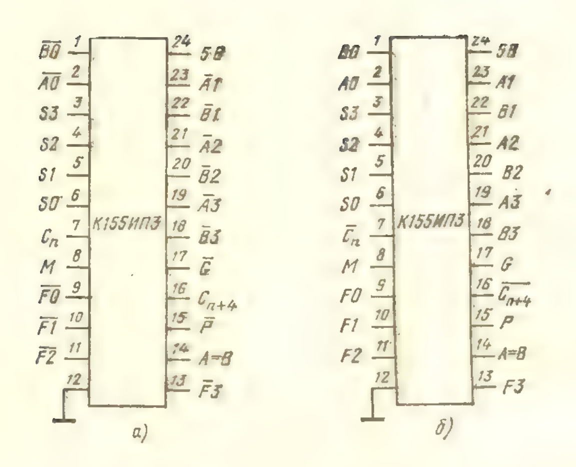


Рис. 1.131. Входы и выходы АЛУ

Рис. 1.132. Схема ускоренного переноса ИП4 (*а*) и ее цоколевка (*б*)

появляется при каждом входном сигнале переноса, поступившем на вход C_n. Для организации переноса между корпусами АЛУ, объединяемыми в многоразрядную схему, используются выходы $\overline{P}$ и $\overline{G}$. Данные, появляющиеся на них, не зависят от состояния входа переноса C_n.

Если от многокорпусного АЛУ не требуется максимальное быстродействие, можно использовать простой режим пульсирующего переноса. Для этого выход переноса C_{n+4} соединяют со входом переноса C_n следующего АЛУ. Для обеспечения высокоскоростных операций следует включать между приборами К155ИП3 специальную микросхему ускоренного переноса К155ИП4. Один корпус ИП4 (см. рис. 1.132) может обслуживать четыре АЛУ ИП3.

На выходе компаратора, т. е. на выходе отображения эквивалентности A=B, будет напряжение высокого уровня, если на всех четырех выходах $\overline{F}$ оказались высокие логические уровни. Этот выход применяется для отображения логической эквивалентности четырехбитных слов, если АЛУ работает в режиме вычитания. Выход A=B имеет открытый коллектор, что дает возможность объединить несколько таких выходов

Таблица 1.105. **Выбор функций АЛУ ИП3 при высоких активных уровнях**

Выбор функции				Выходные данные при активных высоких уровнях		
				Логические функции (на входе M—напряжение высокого уровня)	Арифметические операции (на входе M—напряжение низкого уровня)	
S3	S2	S1	S0		$\overline{C}_n$=B (без переноса)	$\overline{C}_n$=H (с переносом)
H	H	H	H	$\overline{A}$	A	A+1
H	H	H	B	$\overline{A+B}$	A+B	(A+B)+1
H	H	B	H	$\overline{A}B$	$A+\overline{B}$	$(A+\overline{B})+1$
H	H	B	B	0	—1	0
H	B	H	H	$\overline{AB}$	$A+A\overline{B}$	$A+\overline{AB}+1$
H	B	H	B	$\overline{B}$	$(A+B)+A\overline{B}$	$(A+B)+A\overline{B}+1$
H	B	B	H	A⊕B	A—B—1	A—B
H	B	B	B	$A\overline{B}$	$A\overline{B}$—1	$\overline{AB}$
B	H	H	H	$\overline{A}$+B	A+AB	A+AB+1
B	H	H	B	$\overline{A+B}$	A+B	A+B+1
B	H	B	H	B	$(A+\overline{B})+AB$	$(A+\overline{B})+AB+1$
B	H	B	B	AB	AB—1	AB
B	B	H	H	1	A+A	A+A+1
B	B	H	B	$A+\overline{B}$	(A+B)+A	(A+B)+A+1
B	B	B	H	A+B	$(A+\overline{B})+1$	$(A+\overline{B})+A+1$
B	B	B	B	A	A—1	A

Таблица 1.106. **Выбор функций при низких активных уровнях операндов**

Выбор функции				Выходные данные при активных низких уровнях		
				Логические функции (на входе M—напряжение высокого уровня)	Арифметические операции (на входе M—напряжение низкого уровня)	
S3	S2	S1	S0		C_n=Н (без переноса)	C_n=В (с переносом)
Н	Н	Н	Н	$\overline{A}$	A—1	A
Н	Н	Н	В	$\overline{AB}$	AB—1	AB
Н	Н	В	Н	$\overline{A}+B$	$A\overline{B}-1$	$A\overline{B}$
Н	Н	В	В	1	—1	0
Н	В	Н	Н	$\overline{A+B}$	$A+(A+\overline{B})$	$A+(A+\overline{B})+1$
Н	В	Н	В	$\overline{B}$	$AB+(A+\overline{B})$	$AB+(A+\overline{B})+1$
Н	В	В	Н	$\overline{A\oplus B}$	A—B—1	A—B
Н	В	В	В	$A+\overline{B}$	$A+\overline{B}$	$(A+\overline{B})+1$
В	Н	Н	Н	$\overline{A}B$	$A+(A+B)$	$A+(A+B)+1$
В	Н	Н	В	$A\oplus B$	$A+B$	$A+B+1$
В	Н	В	Н	B	$A\overline{B}+(A+B)$	$A\overline{B}+(A+B)+1$
В	Н	В	В	$A+B$	$A+B$	$(A+B)+1$
В	Н	Н	Н	0	$A+A$	$(A+A)+1$
В	Н	Н	В	$A\overline{B}$	$AB+A$	$AB+A+1$
В	Н	В	Н	AB	$A\overline{B}+A$	$A\overline{B}+A+1$
В	Н	В	В	A	A	$A+1$

по схеме «проволочное И». Таким способом можно сравнивать слова, длина которых превышает 4 бит. Сигнал выхода A=B можно использовать совместно с сигналом C_{n+4} для выяснения соотношения: $A>B$ или $A<B$.

Арифметическо-логическое устройство может работать с высокими (рис. 1.131, *б*) или низкими (рис. 1.131, *а*) активными логическими уровнями. В зависимости от этого меняются знаки инверсии на входах и выходах (рис. 1.131), а также получаются различные таблицы соответствия логических и арифметических функций кодам выбора функции (входы S0—S3). В табл. 1.105 показан выбор функций АЛУ при высоких активных уровнях операндов и выходов.

В табл. 1.106 приведены аналогичные данные для активных низких уровней. В обеих таблицах дан перечень арифметических операций без переноса и с переносом по входу C_n. Операции с переносом отличаются на единицу. При операции A+A каждый бит сдвигается на одну (старшую) позицию.

Микросхема АЛУ К155ИП3 потребляет ток 150, К531ИП3 — 220 и К555ИП3 — 37 мА. Время задержки распространения сигнала от входов $\overline{A}_i$, $\overline{B}_i$ до выходов $\overline{F}_i$ составляют (соответственно): 42, 17 и 32 нс. Наибольшее время задержки распространения сигнала (50, 23 и 41 нс) наблюдается от входов $\overline{A}_i$, $\overline{B}_i$ до выхода C_{n+4}.

Микросхема К155ИП4 (рис. 1.132) — высокоскоростная схема ускоренного переноса. Она применяется при каскадировании АЛУ, имеющих емкость 4 бит и более. Микросхема ИП4 может обслуживать четыре АЛУ ИП3. Она имеет вход приема сигнала переноса C_n (активный уровень — высокий) и четыре пары входов $\overline{G}_i$ и $\overline{P}_i$. Входы $\overline{G1}$—$\overline{G4}$ (для сигналов генерации переноса) и $\overline{P1}$—$\overline{P4}$ (распространения переноса) согласованы с аналогичными выходами АЛУ ИП3. Активные уровни для входов $\overline{G}_i$ и $\overline{P}_i$ — низкие. На трех выходах СУП выделяются три сигнала переноса C_{n+x}, C_{n+y} и C_{n+z} (с высокими активными уровнями), требуемые для работы обслуживаемых АЛУ. Микросхема ИП4 имеет также два вспомогательных выхода: $\overline{P}$ — распространение переноса, $\overline{G}$ — генерация переноса (активные уровни — низкие). Эти выходы необходимы для построения систем ускоренного переноса более высокого порядка.

На выходах СУП ИП4 выполняет следующие логические функции:

$$C_{n+x} = G1 + P1C_n, \quad (1.14)$$

$$C_{n+y} = G2 + P2G0 + P2P1C_n, \quad (1.15)$$

$$C_{n+z} = G3 + P3G2 + P3P2G1 + P3P2P1C_n, \quad (1.16)$$

$$\overline{G} = \overline{G4 + P4G3 + P4P3G2 + P4P3P2G1}, \quad (1.17)$$

$$\overline{P} = \overline{P4P3P2P1}. \quad (1.18)$$

Данные на выходах C_{n+x}, C_{n+y}, C_{n+z}, $\overline{G}$ и $\overline{P}$ в зависимости от кодов на входах сведены в табл. 1.107—1.111.

Таблица 1.107. **Данные на выходе C_{n+x} СУП ИП4**

Вход			Выход C_{n+x}
$\overline{G1}$	$\overline{P1}$	C_n	
Н	x	x	В
x	Н	В	В
Любые другие входные уровни			Н

Таблица 1.108. **Данные на выходе C_{n+y} СУП ИП4**

Вход					Выход C_{n+y}
$\overline{G2}$	$\overline{G1}$	$\overline{P2}$	$\overline{P1}$	C_n	
Н	x	x	x	x	В
x	Н	Н	x	x	В
x	x	Н	Н	В	В
Любые другие входные уровни					Н

На рис. 1.133, *а* показано присоединение генератора ускоренного переноса ИП4 к одному АЛУ ИП3 при активных низких логических уровнях. Для активных высоких уровней схема соединения СУП к АЛУ не меняется (рис. 1.133, *б*), однако входы и выходы как СУП, так

Таблица 1.109. Данные на выходе C_{n+z} СУП ИП4

Вход							Выход C_{n+z}
$\overline{G3}$	$\overline{G2}$	$\overline{G1}$	$\overline{P3}$	$\overline{P2}$	$\overline{P1}$	C_n	
Н	x	x	x	x	x	x	В
x	Н	x	Н	x	x	x	В
x	x	Н	Н	Н	x	x	В
x	x	x	Н	Н	Н	В	В
Любые другие входные уровни							Н

Таблица 1.110. Данные на выходе G СУП ИП4

Вход							Выход $\overline{G}$
$\overline{G4}$	$\overline{G3}$	$\overline{G2}$	$\overline{G1}$	$\overline{P4}$	$\overline{P3}$	$\overline{P2}$	
Н	x	x	x	x	x	x	Н
x	Н	x	x	Н	x	x	Н
x	x	Н	x	Н	Н	x	Н
x	x	x	Н	Н	Н	Н	Н
Любые другие входные уровни							В

и АЛУ, где генерируется перенос, удобнее переименовать. Микросхема ИП4 для рис. 1.133, *б* выполняет следующие логические функции:

$$\overline{C}_{n+x} = \overline{Y1\,(X1 + C_n)}, \tag{1.19}$$

$$\overline{C}_{n+y} = \overline{Y2\,[X2 + Y1\,(X1 + C_n)]}, \tag{1.20}$$

$$\overline{C}_{n+z} = \overline{Y3\,\{X3 + Y2\,[X2 + Y1\,(X1 + C_n)]\}}, \tag{1.21}$$

$$Y = Y4\,(X4 + Y3)(X4 + X3 + Y1)(X4 + X3 + X2 + Y1). \tag{1.22}$$

$$X = X4 + X3 + X2 + X1. \tag{1.23}$$

В табл. 1.112 показаны соотношения между операндами A и B, логическим уровнем на выходе переноса C_{n+4} и входным переносом C_n.

Микросхема К155ИП4 потребляет ток 72, К531ИП4П 109 мА. Время задержки распространения сигнала от входов до выходов не превышает для К155ИП4—22, для К531ИП4П—10 нс.

Таблица 1.111. Данные на выходе $\overline{P}$ СУП ИП4

Вход				Выход $\overline{P}$
$\overline{P4}$	$\overline{P3}$	$\overline{P2}$	$\overline{P1}$	
Н	Н	Н	Н	Н
Любые другие выходные уровни				В

Микросхемы К555СП1 и К531СП1 (рис. 1.134) — четырехразрядные цифровые компараторы. Компаратор СП1 имеет 11 входов. Четыре пары входов принимают для анализа два четырехразрядных слова A0—A3 и B0—B3. Три входа I(A<B), I(A=B), I(A<B) нужны для создания схемы наращивания, т. е. увеличения емкости компаратора.

Компаратор имеет три выхода результатов анализа: A>B, A=B и A<B. Все возможные комбинации поразрядных соотношений входных кодов, а также уровней на входах каскадирования сведены в табл. 1.113, где показаны соответствующие результирующие уровни на выходах A>B, A=B и A<B. Шесть последних строк таблицы отображают режим наращивания каскадов, которое может быть последовательным или параллельным. При последовательном наращивании выходы A>B, A=B и A<B от схемы, анализирующей младшие разряды, следует присоединить к одноименным входам последующего каскада. Этим способом при двух компараторах

Таблица 1.112. **Определение соотношения операндов А и В с помощью СУП ИП4**

Вход C_n	Выход переноса C_{n+4}	Активные уровни низкие	Активные уровни высокие	Вход C_n	Выход переноса C_{n+4}	Активные уровни низкие	Активные уровни высокие
В В	В Н	A≥B A<B	A≤B A>B	Н Н	В Н	A>B A≤B	A<B A≥B

СП1 можно сравнивать два восьмиразрядных слова. Нетрудно подсчитать число каскадов для любой большей длины слова. Однако каждый последовательный каскад добавит время задержки распространения сигнала 15 нс. Для правильной работы многокаскадного компаратора на входы первой микросхемы I(A>B) и I(A<B) следует подать напряжения высокого уровня, а на вход I(A=B) — низкого.

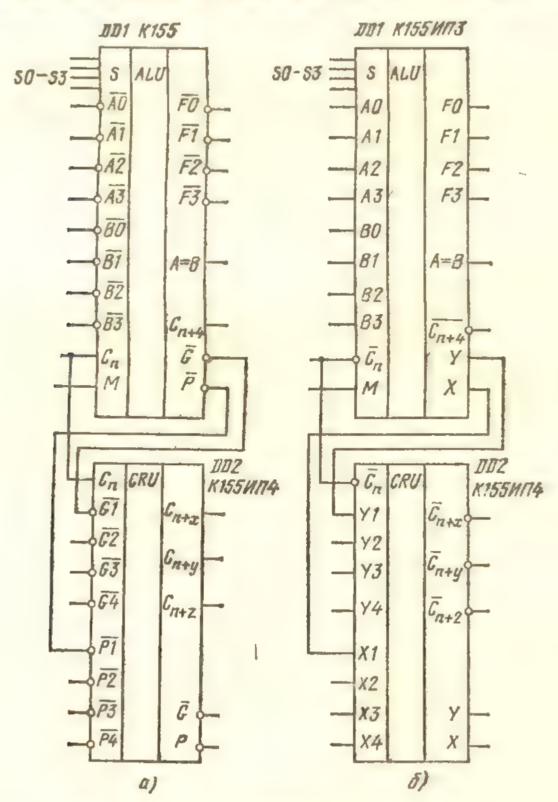


Рис. 1.133. Присоединение СУП к АЛУ

На рис. 1.135 показана схема параллельного компаратора для двух 24 разрядных слов. Здесь младший (нижний в схеме) компаратор СП1 используется как четырехразрядный, четыре старших — как пятиразрядные (входы I(A>B) и I(A<B) служат пятой парой разрядных входов, т. е. A4 и B4 соответственно). На входы I(A=B) старших компараторов подано напряжение нулевого уровня. Таким способом и одиночную микросхему СУП1 можно использовать как пятиразрядный компаратор.

1.21. ЖДУЩИЕ МУЛЬТИВИБРАТОРЫ И АВТОГЕНЕРАТОРЫ

В составе серий ТТЛ имеется несколько аналого-импульсных схем — ждущих и управляющих по частоте мультивибраторов. Они позволяют простейшим способом сформировать синхронизированные тактовые последовательности импульсов, расширить длительность коротких импульсов, сформировать импульсы разрешения нужной длительности, надежно отмерить интервалы времени до единиц минут, построить петли фазовой автоподстройки.

Микросхема К155АГ1 (74121, рис. 1.136) — одноканальный ждущий мультивибратор. Он формирует калиброванные импульсы с хорошей стабильностью длительности. Мультивибратор содержит внутреннюю ячейку памяти — триггер с двумя выходами Q и $\overline{Q}$. Поскольку оба выхода имеют наружные выводы (6 и 1 соответственно), разработчик получает от микросхемы парафазный сформированный импульс. Триггер имеет три импульсных входа логического управления (установки в исходное состояние) через элемент Шмитта. Вход B (активный перепад— положительный) дает прямой запуск триггера, входы $\overline{A1}$, $\overline{A2}$ — инверсные (активный перепад — отрицательный).

Сигнал сброса, т. е. окончания импульса в триггере, формируется с помощью RC-звена: времязадающий конденсатор C_τ подключается между выводами микросхемы 10 и 11, резистор R_τ включается от вывода 11 к положительной шине питания 5 В.

На кристалле схемы (между выводами 11 и 9) имеется внутренний интегральный резистор $R_{вн}$ с номиналом примерно 2 кОм. Зависимость длительности выходного импульса $\tau_{вых}$ от номиналов R_τ и C_τ представлена на диаграмме (рис. 1.127, *в*). Если требуемый номинал $R_\tau \leqslant R_{вн}$, можно использовать только внутренний резистор (т. е. подать питание 5 В на вывод 9 и подключить C_τ между выводами 10 и 11).

Длительность выходного импульса можно не только определить по диаграмме, но и подсчитать

$$\tau_{вых} = C_\tau R_\tau \ln 2 \approx 0{,}7 C_\tau R_\tau . \qquad (1.24)$$

Если $R_\tau \to \infty$ и $C_\tau = 0$ (т. е. эти элементы отсутствуют) длительность выходного импульса $\tau_{вых}$ будет не более 35 нс. Включение этих элементов удобно для генерации импульсов сброса (на цифровой плате дополнительные RC-элементы — инородные детали). Длительность импульса мало зависит от температуры и питающего напряжения. Желательно включать RC-фильтр в цепь питания мультивибратора.

В табл. 1.114 дана сводка сигналов логического управления мультивибратором АГ1. Первые четыре строки здесь показывают зависимость

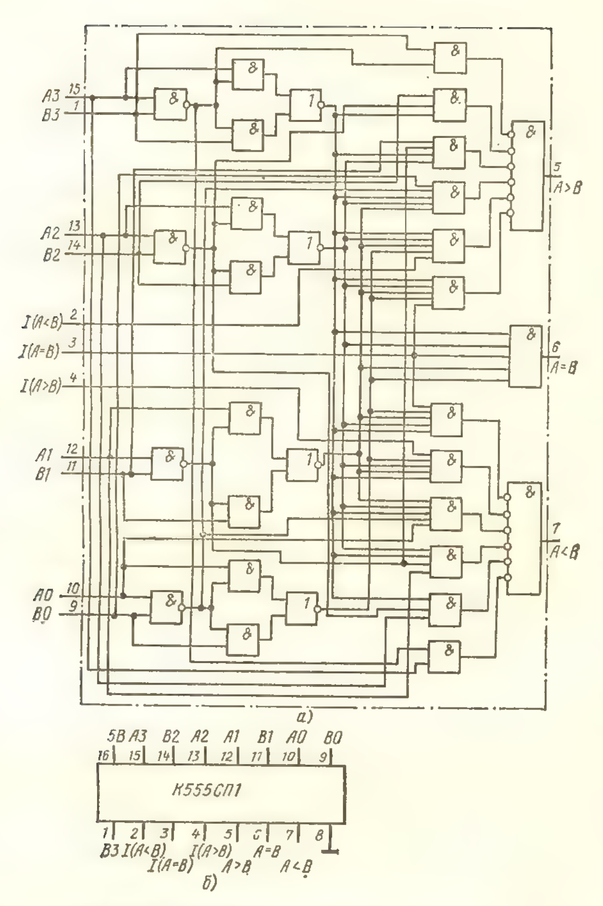


Рис. 1.134. Цифровой компаратор СП1 *(а)* и его цоколевка *(б)*

статических выходных уровней Q и $\overline{Q}$ от логических уровней на входах $\overline{A1}$, $\overline{A2}$, B (установка триггера в исходное состояние). Нижняя часть табл. 1.114 содержит пять условий генерации одного выходного импульса и указывает фазу сигналов на выходах Q и $\overline{Q}$. Отклик с длительностью $\tau_{вых}$ получается при положительном перепаде на входе B или при отрицательном, поданном на вход $\overline{A1}$ (или $\overline{A2}$). На неиспользуемые входы надо подавать сигналы согласно последним пяти строкам табл. 1.114. Вход B можно использовать как разрешающий (с высоким уровнем).

Мультивибратор АГ1 нельзя перезапустить, пока не истекло время $\tau_{вых}$. Запущенный мультивибратор нечувствителен ко входным сигналам $\overline{A1}$, $\overline{A2}$ и B. Входная схема с триггером Шмитта обеспечивает на-

Таблица 1.113. **Состояния цифрового компаратора СП1**

Вход сравнения данных				Вход наращивания каскадов		
A3, B3	A2, B2	A1, B1	A0, B0	I (A>B)	I (A<B)	I (A=B)
A3>B3	x	x	x	x	x	x
A3<B3	x	x	x	x	x	x
A3=B3	A2>B2	x	x	x	x	x
A3=B3	A2<B2	x	x	x	x	x
A3=B3	A2=B2	A1>B1	x	x	x	x
A3=B3	A2=B2	A1<B1	x	x	x	x
A3=B3	A2=B2	A1=B1	A0>B0	x	x	x
A3=B3	A2=B2	A1=B1	A0<B0	x	x	x
A3=B3	A2=B2	A1=B1	A0=B0	В	Н	Н
A3=B3	A2=B2	A1=B1	A0=B0	Н	В	Н
A3=B3	A2=B2	A1=B1	A0=B0	Н	Н	В
A3=B3	A2=B2	A1=B1	A0=B0	x	x	В
A3=B3	A2=B2	A1=B1	A0=B0	В	В	Н
A3=B3	A2=B2	A1=B1	A0=B0	Н	Н	Н

дежный запуск (по входу B) при медленно нарастающем напряжении запуска (например, даже при скорости нарастания фронта запуска 1 В/с). Помехоустойчивость по входам — 1,2, по питанию — 1,5 В.

Длительность выходных импульсов можно менять от 30 нс до 0,28 с, номиналы резисторов следует выбирать в пределах 2—40 кОм, а конденсаторов 10 пФ — 10 мкФ.

Диаграммы выходных и запускающих по входам A, B импульсов приведены на рис. 1.137. Здесь для обычного исполнения средний уровень $U_{ср}$=1,3 В, для варианта LS уровень $U_{ср}$=1,5 В; условия нагрузки: $C_н$=15 пФ, $R_н$=400 Ом.

Микросхемы К155АГ3 и К555АГ3 (74123, рис. 1.138, *а, б*) — два ждущих мультивибратора с возможностью перезапуска. Каждый мультивибратор имеет выходы Q и $\overline{Q}$, вход сброса $\overline{R}$ (активный уровень — низкий) и два входа запуска B — прямой с активным высоким уровнем и $\overline{A}$ — инверсный с активным низким уровнем. На рис. 1.138, *в* показано подключение времязадающих элементов R_τ и C_τ к выводам каждого мультивибратора, на рис. 1.138, *г* — подключение низковольтного электролитического конденсатора большой емкости ($U_{проб}$<1 В).

Для микросхемы К155АГ3 длительность импульса (при C_τ>>1000 пФ) можно подсчитать по формуле:

$$\tau_{вых} = 0{,}28 R_\tau C_\tau (1 + 0{,}7/R_\tau) \qquad (1.25)$$

либо выбрать номиналы R_τ и C_τ по графикам (рис. 1.138, *д*).

Для микросхемы К555АГ3:

$$\tau_{вых} = 0{,}45 R_\tau C_\tau . \qquad (1.26)$$

Выходные и управляющие сигналы для одного мультивибратора из микросхемы АГ3 сведены в табл. 1.115. Первые три ее строки показы-

Выход		
A>B	A<B	A=B
В	Н	Н
Н	В	Н
В	Н	Н
Н	В	Н
В	Н	Н
Н	В	Н
В	Н	Н
Н	В	Н
В	Н	Н
Н	В	Н
Н	Н	В
Н	Н	В
Н	Н	Н
В	В	Н

вают, как с помощью статических уровней, поданных на входы $\bar{R}$, $\bar{A}$ и $\bar{B}$, можно установить напряжение высокого уровня на выходе Q (на выходе $\bar{Q}$ — низкого). В последние три строки сведены комбинации уровней, а также импульсных перепадов (положительные на входах $\bar{R}$ и B, отрицательный на входе $\bar{A}$), дающие выходной импульс.

Если согласно этим условиям мультивибратор АГ3 запущен, выходной импульс можно продол-

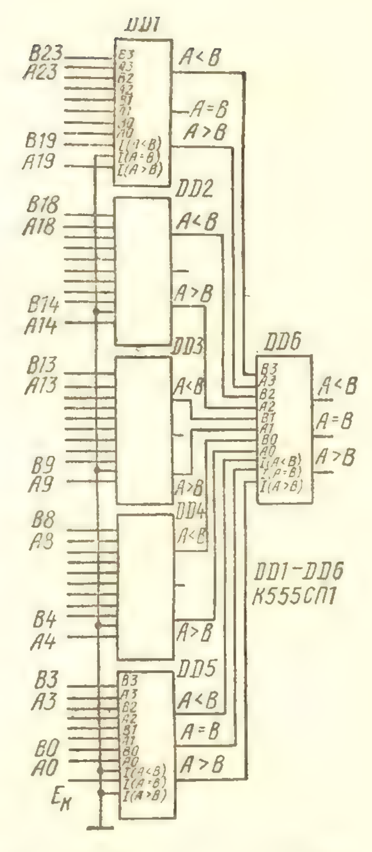


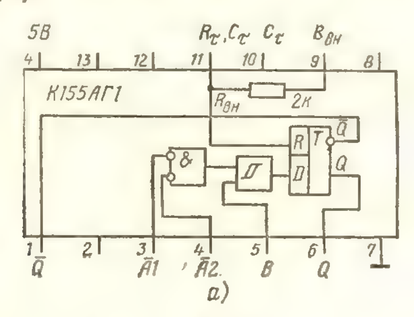
Рис. 1.135. Схема сравнения двух 24-разрядных слов

Таблица 1.114. Управление и сигналы мультивибратора К155АГ1

Вход			Выход		Вход			Выход	
$\bar{A1}$	$\bar{A2}$	B	Q	$\bar{Q}$	$\bar{A1}$	$\bar{A2}$	B	Q	$\bar{Q}$
Н	x	В	Н	В	↓	В	В	⊓	⊔
x	Н	В	Н	В	↓	↓	В	⊓	⊔
x	x	Н	Н	В	Н	x	↑	⊓	⊔
В	В	x	Н	В	x	Н	↑	⊓	⊔
В	↓	В	⊓	⊔					

жить, подав на вход $\overline{A}$ напряжение низкого уровня (или на вход B — высокого). С момента этой дополнительной операции — перезапуска до окончания импульса пройдет время $\tau_{вых}$, определяемое времязадающими элементами R_τ, C_τ. Выходной импульс можно оборвать, подав на вход сброса $\overline{R}$ напряжение низкого уровня. Минимальное время выходного импульса 40 нс, поскольку паразитная емкость вывода R_τ/C_τ на землю около 50 пФ.

Если оба ждущих мультивибратора в микросхеме АГ3 включить по кольцевой схеме, то можно построить мультивибратор-автогенератор (см. рис. 2.83, *б*).



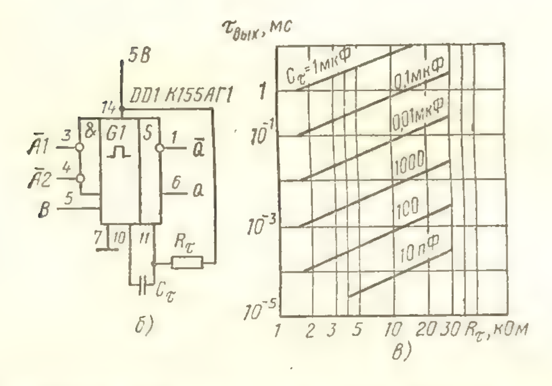


Рис. 1.136. Мультивибратор АГ1 (*а*), его схема включения (*б*) и зависимость длительности выходного импульса от номиналов R_τ и C_τ (*в*)

Потребляемый микросхемой К155АГ3 ток составляет 66 мА, для К555АГ3 — 20 мА; стекающий коллекторный ток выходов может быть до 40 мА.

Микросхема К531ГГ1 (рис. 1.139, *а*) — генератор, частота которого управляется напряжением. Он содержит два мультивибратора-автогенератора, у каждого из которых имеются входы управления частотой (УЧ) и диапазоном частоты (Д). Для фиксирования частоты генерации (если на вход Д подано напряжение высокого уровня, а на вход УЧ — низкого) к выводам 4, 5 (или 12, 13) требуется подключить единственный элемент: либо конденсатор C_τ, либо пьезоэлектрический резонатор,

Таблица 1.115. Сигналы управления для мультивибратора из микросхемы АГ3

Вход			Выход		Вход			Выход	
Сброс $\overline{R}$	$\overline{A}$	B	Q	$\overline{Q}$	Сброс $\overline{R}$	$\overline{A}$	B	Q	$\overline{Q}$
Н	x	x	Н	В	В	Н	↑	⊓	⊓
x	В	x	Н	В	В	↓	В	⊓	⊓
x	x	Н	Н	В	↑	Н	В	⊓	⊓

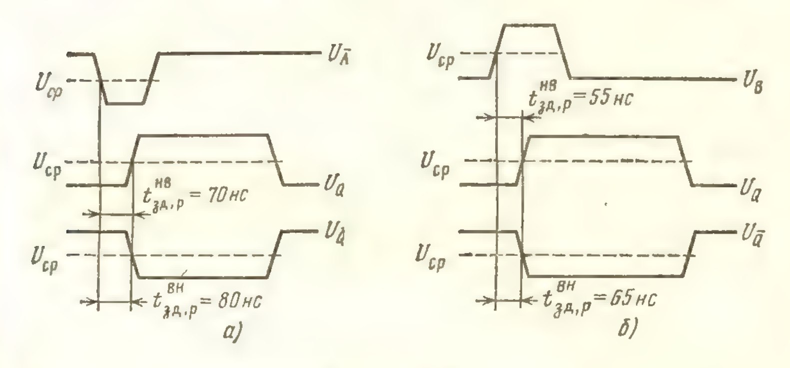


Рис. 1.137. Диаграммы запуска мультивибратора АГ1:
а — отрицательным импульсом; *б* — положительным импульсом

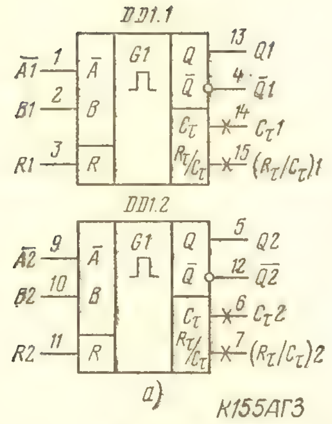
На выходах мультивибраторов получаем меандр с частотой, которую можно рассчитать по уравнению

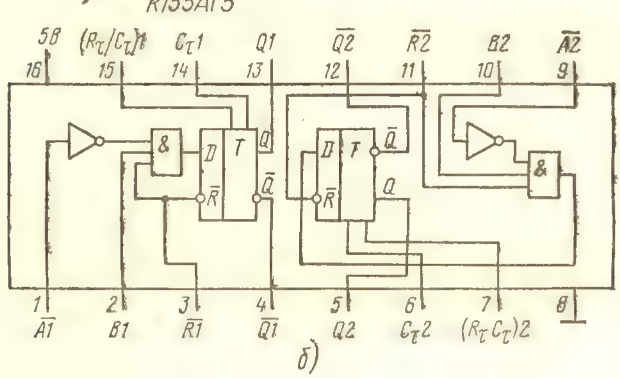
$$f_0 = (5 \cdot 10^{-4})/C_\tau \qquad (1.27)$$

либо выбрать по графику (рис. 1.139, *б*).

Для маломощного исполнения данной микросхемы выходная частота окажется в 5 раз меньшей при той же емкости конденсатора C_τ. Для К531ГГ1 диапазон выходной частоты составляет 1 Гц ... 60 МГц и более. Потребляемый микросхемой ток питания составляет 110 ... 150 мА. Выходной ток нагрузки не должен превышать 20 мА.

По входу разрешения $\overline{EI}$ выходную последовательность можно запретить, если подать на вход $\overline{EI}$ напряжение высокого уровня. При напряжении низкого уровня на входе $\overline{EI}$ начнется генерация (в схеме LS124 она продолжается независимо от сигнала $\overline{EI}$). Для повышения стабильности генерации микросхема имеет четыре вывода питания. Два из них (16 и 9) принадлежат выходным буферным каскадам обоих мультивибраторов, через другую пару выводов (15 и 8) питание передается на автогенераторную часть схемы и на каскады управления ча-





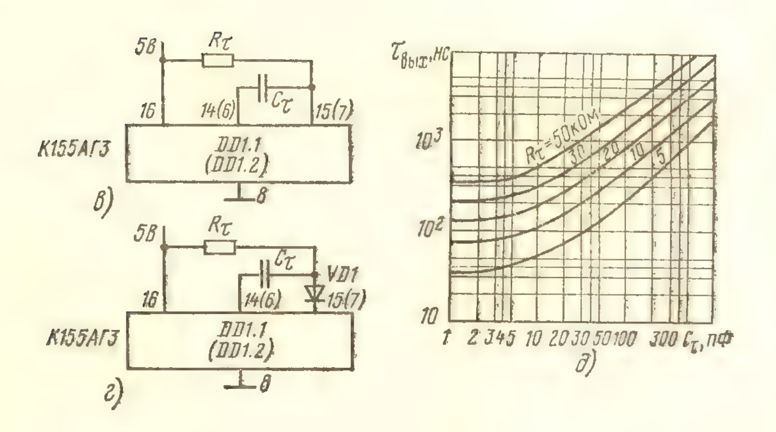


Рис. 1.138. Мультивибратор АГ3:

а — обозначение; *б* — структурная схема и цоколевка; *в* — подключение элементов R_τ и C_τ; *г* — подключение низковольтного конденсатора; *д* — диаграмма зависимости длительности импульса от номиналов R_τ и C_τ

стотой. Несмотря на такую развязку по питанию, одновременная работа двух мультивибраторов из одной микросхемы как генераторов, частота которых управляется напряжением (УН), не рекомендуется.

На рис. 1.139, *в* показаны графики управления частотой ГУН. При фиксированном напряжении диапазона $U_д$ (например, $U_д$=3,5 В), регулируя напряжение $U_{упр}$ на входе управления частотой УЧ в пределах 1,5...4 В, можно изменить выходную частоту почти на +20 %. При $C_τ$ =2 пФ, $U_{упр}$=4 В и $U_д$=1 В минимальное значение частоты автогенерации равно 60, а максимальное 85 МГц.

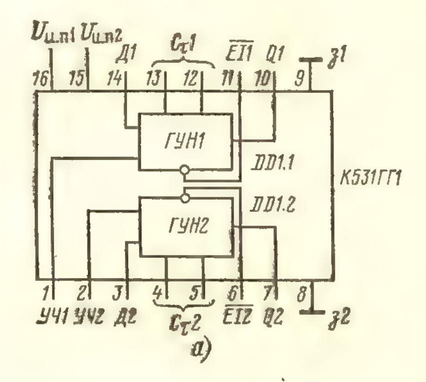
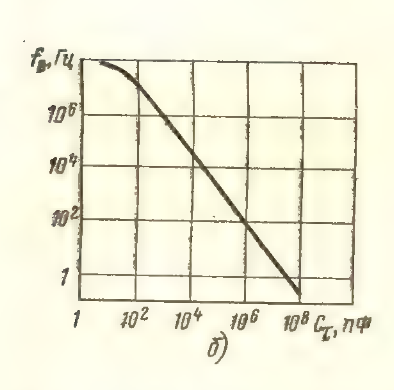
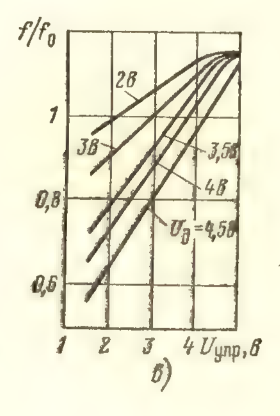


Рис. 1.139. Двухканальный мультивибратор К531ГГ1:

а — расположение выводов; *б* — зависимость частоты автогенерации от емкости конденсатора $C_τ$; *в* — характеристика управления частотой





На рис. 1.140 показаны две типовые схемы применения микросхемы К531ГГ1. В них мультивибратор (рис. 1.140, *а*) работает как задающий кварцевый (частота f_1), а мультивибратор (рис. 1.140, *б*) как ГУН.

Петля ФАП (рис. 1.140, *а*) использует простой фазовый компаратор ФК, например исключающее ИЛИ (см. рис. 1.34). В схеме имеется два делителя частоты: на коэффициент *M* и на *N*. Поскольку после за-

хвата на схему ФК должны приходить равные частоты (опорная f_1/M и выходная f_0/N), нетрудно вычислить, что при $f_1/M = f_0/N$ частота

$$f_0 = (N/M)\, f_1. \qquad (1.28)$$

Если быстродействия ФК недостаточно, коэффициенты деления обоих делителей можно попытаться увеличить в К раз, выходная частота от этого не изменится.

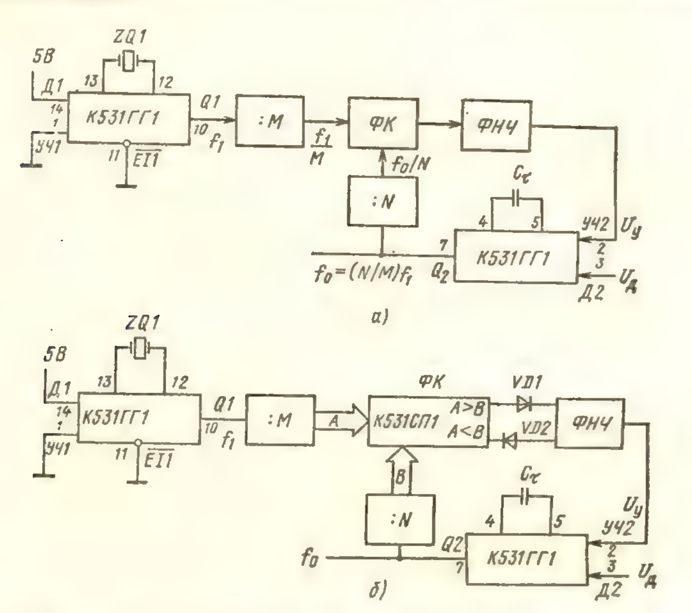


Рис. 1.140. Две типовые схемы применения микросхемы К531ГГ1

На рис. 1.140, *б* показана схема петли ГУН, где в качестве ФК использован компаратор (сравниватель) К531СП1 параллельных шифровых слов (а не последовательных потоков). Такое решение более надежно для высоких частот. Для исключения паразитной автогенерации параллельно низкочастотному кварцевому резонатору полезно подключать конденсатор емкостью 5...15 пФ.

2. ЦИФРОВЫЕ МИКРОСХЕМЫ КМОП

Из многочисленных серий цифровых микросхем на полевых транзисторах наибольшее распространение получили серии микросхем КМОП.

Сокращение КМОП — это начальные буквы четырех слов из полного определения: комплементарные полевые транзисторы со структурой металл — окисел — полупроводник. Слово комплементарный переводится как взаимно дополняющий. Так называют пару транзисторов, сходных по абсолютным значениям параметров, но с полупроводниковыми структурами, взаимно отображенными как бы в виде негатива и позитива. В биполярной схемотехнике — это транзисторы n-p-n и p-n-p,

в полевой p-канальные и n-канальные. Здесь p — первая буква слова positive, n — negative.

Интересно, что на первых этапах развития биполярных цифровых микросхем предсказывали широкое распространение комплементарных биполярных логических элементов на p-n-p и n-p-n транзисторах. К примеру, если в ТТЛ удалось бы заменить выходной каскад на двухтактный комплементарный, принципиально повысилась бы экономичность элемента. Однако биполярная комплементарная транзисторная логика не прижилась из-за трудности изготовления на кристалле большого количества компактных по площади и высококачественных по параметрам интегральных p-n-p транзисторов.

Напомним, что в аналоговой схемотехнике, где p-n-p транзисторы просто необходимы как для упрощения схемотехники, так и для улучшения свойств усилителей, проблема создания хороших p-n-p транзисторов для технологов все еще существует. Поэтому реально биполярные микросхемы ТТЛ имеют на выходе так называемый квазикомплементарный каскад. На кристалле делают только n-p-n транзисторы. Эта компромиссная схема элемента ТТЛ оказалась оптимальной и перспективной на многие десятилетия.

Первые попытки выпускать серии простых полевых элементов, сходных по схеме с РТЛ (см. рис. 1.1, *в*), к успеху не привели. Логические элементы получались крайне медленнодействующими, поскольку внутреннее сопротивление канала у полевого транзистора на порядок больше, чем сопротивление между коллектором и эмиттером насыщенного биполярного транзистора. Однополярные микросхемы МОП не отличались ни помехоустойчивостью, ни малой потребляемой мощностью. Хорошие результаты дало применение двуполярного инвертора, построенного на комплементарной полевой паре.

2.1. УСТРОЙСТВО И СВОЙСТВА ЛОГИЧЕСКОГО ЭЛЕМЕНТА КМОП

На рис. 2.1, *а* показано условно поперечное сечение p-канального полевого транзистора VT1, к которому подключен управляющий переключатель S1, подано напряжение питания $U_{и.п}$ и присоединен ре-

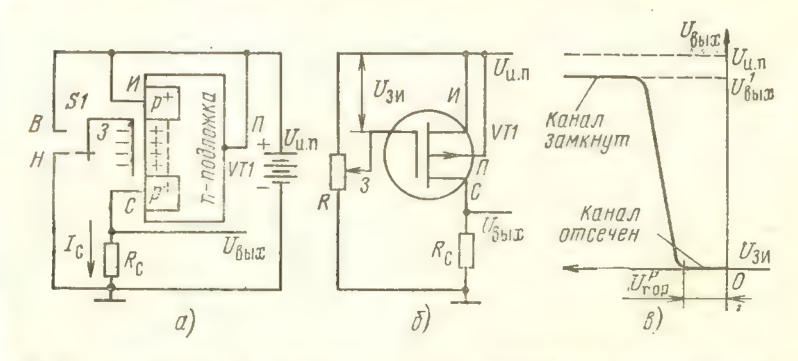


Рис. 2.1. Включение p-канального МОП-транзистора (*а*) и схемы (*б*) для снятия его передаточной характеристики (*в*)

зистор нагрузки стока R_c. Транзистор VT1 имеет объем кремния с электронной проводимостью. Этот объем называется n-подложка. Методом диффузии в объеме сделаны две области с повышенной концентрацией положительных носителей — дырок. Это области истока И и стока С с проводимостью p^+. Знак «+» означает повышенную концентрацию носителей. Чем запас носителей больше, тем больше может быть плотность тока в канале и тем значительнее крутизна полевого транзистора.

На поверхности n-подложки (это левая вертикальная плоскость на рис. 2.1, *а*) создают специальным окислением поверхности кремния высококачественный слой кварцевого стекла SiO_2. Поверх слоя SiO_2 напыляется металл — алюминий. Если транзистор VT1 в схему не включен, его исток не связан со стоком электрически, так как между этими областями p^+ находится n-кремний подложки.

Подложку П надо присоединить к самой положительной по потенциалу точке схемы, в данном случае это провод $U_{и.п}$. Исток также присоединяем к этому проводу. Из области истока положительные носители p теперь могут уходить в канал к отрицательному полюсу питания, если к нему присоединить электрод стока С.

В этом транзисторе канал создается методом электростатической индукции. Канал проводимости наведется, когда через переключатель S1 присоединим затвор З транзистора VT1 к низкому входному уровню Н. На затворе относительно подложки скопится отрицательный заряд, на поверхности полупроводника — положительный. Нетрудно видеть, что в этом случае области p^+ замкнуты положительными носителями, поэтому через канал VT1 и резистор нагрузки R_c течет ток стока I_C, а на выходе имеется высокий уровень напряжения $U_{вых} = U^1_{вых}$. Таким образом получилась условная схема полевого элемента РТЛ. Входного тока затвора здесь нет, поэтому резистор ограничения тока затвора (аналог $R_б$, рис. 1.1, *а*) не требуется. Выходное напряжение высокого уровня

$$U^1_{вых} = U_{и.п} R_c/(R_c + R_к) \qquad (2.1)$$

здесь несколько меньше, чем напряжение $U_{и.п}$, поскольку внутреннее сопротивление канала $R_к$ составляет 1 кОм ... 10 кОм и более. Для примера, пусть $R_c = 100$ кОм и $R_к = 10$ кОм. При $U_{и.п} = 10$ В получим $U^1_{вых} = 9{,}1$ В.

Чтобы канал проводимости исчез и цепь выходного тока I_c разомкнулась, следует движок S1 перевести в положение высокого входного уровня В. Тогда на «конденсаторе» затвор — подложка напряжения нет ($U_{з.и} = 0$) и положительные носители в канале не индуцируются. На выходе логического элемента $U_{вых} = 0$, точнее: через R_c выходной провод элемента присоединен к нулевому проводу питания (т. е. к «земле»).

Если S1 заменить потенциометром R (см. рис. 2.1, *б*), можно снять передаточную переходную характеристику p-канального ключа (рис. 2.1, *в*). Постепенно уменьшая напряжение на затворе относительно истока $U_{ЗИ}$ до нуля, можем обнаружить, что выходное напряжение также начнет уменьшаться и канал проводимости исчезнет при пороговой разности потенциалов $U_{ЗИ} = U^p_{пор}$. Для первых полевых транзисторов $U_{пор}$ превышало 4...5 В, поэтому для надежного различения уровня 0 (т. е. низкого порогового уровня 4...5 В) и уровня 1 приходилось выбирать $U_{и.п} = 15...30$ В, что было непрактично.

Пороговое напряжение открывания оказывается тем меньше, чем выше степень легирования канала и чище поверхность кремния под изоляцией. Этим начальным напряжением нейтрализуются, как бы «разгоняются», паразитные заряды, скапливающиеся на загрязнениях и дефектах поверхности. Для специальных особо низковольтных полевых транзисторов, предназначенных для микросхем, работающих от одного гальванического элемента с напряжением 1,5 В, пороговое напряжение технологи снижают до 0,2...0,3 В.

Вернемся к характеристике (рис. 2.1, *в*). Наклонная часть ее соответствует усилительному режиму полевого транзистора. Действительно, здесь приращением входного сигнала $U_{вх}=U_{ЗИ}$ уменьшается выходное напряжение между стоком и истоком $U_{вых}=U_{СИ}$. Коэффициент усиления (т. е. наклон характеристики):

$$K_U = SR_c. \qquad (2.2)$$

Учтем, что крутизна полевого транзистора S невелика и обратно пропорциональна сопротивлению его канала $R_к$. Следовательно, $K_U \approx R_c/R_к$. Если взять цифры примера к формуле (2.1), получим значение K_U на уровне 10, что и определяет малую крутизну наклона характеристики. Увеличить наклон реально можно, если повысить сопротивление R_c. Но это приведет к низкому быстродействию ключа.

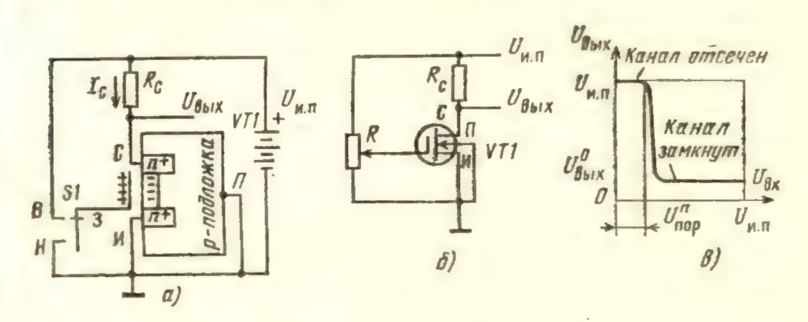


Рис. 2.2. Включение n-канального МОП-транзистора (*а*) и схема (*б*) для снятия его передаточной характеристики (*в*)

Аналогично строится схема полевого элемента РТЛ на n-канальном транзисторе (рис. 2.2, *а*). Здесь дан разрез n-канального полевого транзистора VT1. По сравнению с р-канальным, у него подложка р-типа (кремний, бедный электронами), в которой сделаны легированием n^+-области истока и стока, обогащенные отрицательными носителями — электронами. К затвору (пленка алюминия на поверхности окисла SiO_2) подключен управляющий переключатель S1.

Каким образом можно создать канал с р-проводимостью между p^+-областями истока и стока? Очевидно, если подать от S1 высокий потенциал на затвор (относительно заземленной подложки), металл затвора будет заряжен положительно, поверхность полупроводника — отрицательно. Канал на рис. 2.2, *а* замкнут, и от плюса источника $U_{и.п}$ в нулевой провод течет ток стока I_c.

В отличие от рис. 2.1, *а* в данном случае выходное напряжение окажется на низком логическом уровне:

$$U^0_{вых} = U_{и.п} R_к/(R_c + R_к). \tag{2.3}$$

Используя данные предыдущего примера [см. формулу (2.1)], получаем $U^1_{вых}=0{,}9$ В. Если подать на затвор через S1 нулевой потенциал, низкий уровень, n-канал разомкнется (поскольку затвор и исток будут коротко замкнуты, между ними не будет разности потенциалов). На выходе появится напряжение высокого логического уровня — потенциал

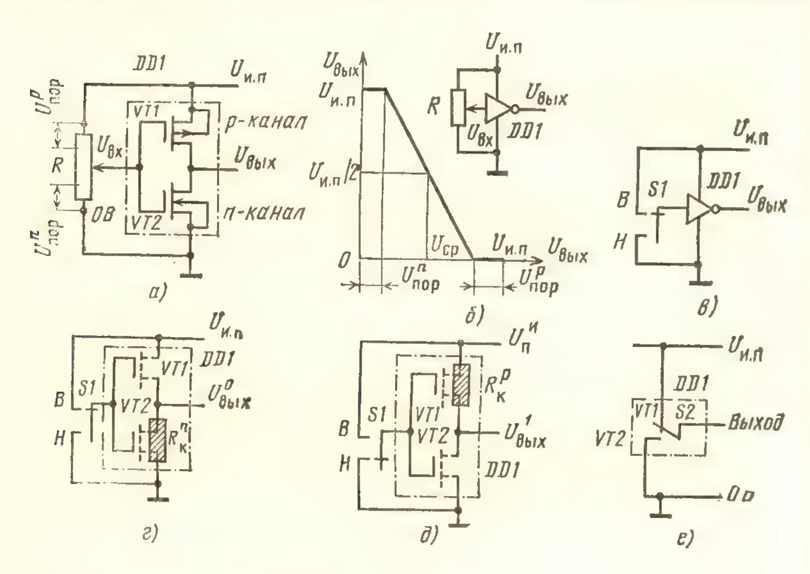


Рис. 2.3. Инвертор КМОП:

а — схема для снятия переходной характеристики; *б* — передаточная характеристика; *в* — управление инвертором; *г* — замкнут n-канальный транзистор; *д* — замкнут p-канальный транзистор; *е* — эквивалент выходной схемы инвертора КМОП

$U_{и.п}$, точнее, выходной провод через R_c окажется соединенным с положительным полюсом источника. Пороговое напряжение данного n-канального РТЛ — элемента $U^n_{пор}$ можно определить, собрав устройство (рис. 2.2, *б*) и сняв с его помощью передаточную характеристику (рис. 2.2, *в*) элемента.

Как указывалось, p- и n-канальные цифровые элементы (рис. 2.1, *а* и 2.2, *а*) сами по себе оказались непрактичными как базовые для массовых микросхем прежде всего из-за низкого быстродействия. Действительно, при $R_c=100$ кОм и емкости нагрузки $C_н=30$ пФ время отключения составит

$$t^{1,0} = 2{,}2 R_c C_H = 6{,}6 \text{ мкс}. \tag{2.4}$$

По-другому, быстродействие микросхем на базе однополюсных полевых ключей не должно превышать 150 кГц (что и подтвердилось практикой).

Увеличить быстродействие на порядок позволяет последовательное (столбиком) соединение p- и n-канальных МОП-транзисторов. Тогда резистор R_c в схеме не нужен, а заряд и разряд паразитных нагрузочных емкостей будет происходить через относительно небольшие сопротивления p- и n-каналов $R_к^p$ и $R_к^n$. Таким образом, схема цифрового переключателя станет двухполюсной, аналогично выходной цепи ТТЛ-элемента.

На рис. 2.3, *а* показано последовательное соединение комплементарных МОП-транзисторов: p- и n-канального. Их затворы подключены к движку потенциометра. Нагрузки на выходе нет.

Если движок находится внизу, на оба затвора сразу подается нулевой уровень, поэтому полностью открыт только p-канал и разомкнут n-канал. Выходное напряжение $U_{вых}^1 = U_{и.п}$.

Если перевести движок в крайнее верхнее положение, на выходном проводе появится нулевое напряжение $U_{вых}^0 = 0$, потому что теперь n-канал будет замкнут, а p-канал разомкнется. Когда на затворы от движка поступает среднее напряжение $U_{и.п}/2$, выходное напряжение также окажется близким к $U_{и.п}/2$, если сопротивления каналов примерно равны $(R_к^p \approx R_к^n)$.

На рис. 2.3, *б* показана результирующая передаточная характеристика инвертора КМОП $U_{вых}(U_{вх})$. Точки изломов характеристики соответствуют пороговым напряжениям включения n- и p-канала, т. е. $U_{пор}^n$ и $U_{пор}^p$. Для анализа работы инвертора DD1 воспользуемся управляющим переключателем S1 (рис. 2.3, *в*).

На рис. 2.3, *г* показано, что при высоком уровне, поступающем от S1 на оба затвора, т. е. на вход инвертора DD1, верхний p-канальный транзистор VT1 как бы оборван, а нижний VT2 эквивалентен сопротивлению канала $R_к^n$. Рисунок 2.3, *д* иллюстрирует подачу на вход инвертора низкого логического уровня. Замкнется верхний транзистор VT1, через его сопротивление $R_к^p$ на выход поступит напряжение высокого уровня. Важно, что нижний транзистор VT2 оборван. На рис. 2.3, *е* отображен эквивалент выходной цепи инвертора DD1. Это переключатель S2.

Чтобы получить более полное представление о свойствах входной и выходной цепей КМОП-инвертора, полезно рассмотреть поперечное сечение того участка кремниевой n-подложки, где он расположен. Такой эскиз показан на рис. 2.4, *а*. Следует учесть, что по горизонтали размер этой структуры не более 50 мкм, а по вертикали менее 10 мкм (толщина в буквальном смысле несущей n-подложки 300 мкм). Вблизи поверхности подложки расположена диффузионная область p-примеси, чтобы сделать «карман». Значками p^+ обозначены области истока и стока p-канального МОП-транзистора с повышенной концентрацией дырок. Для n-канального МОП-транзистора сделаны в «кармане» две высоколегированные n^+-области. Здесь избыток электронов, это области истока и стока.

С помощью металлизации поверхности кристалла элементы структуры соединяются в схему инвертора DD1 (рис. 2.4, *б*). К затворам присоединен защитный стабилитрон VD1. На рис. 2.4, *а* стабилитрон не

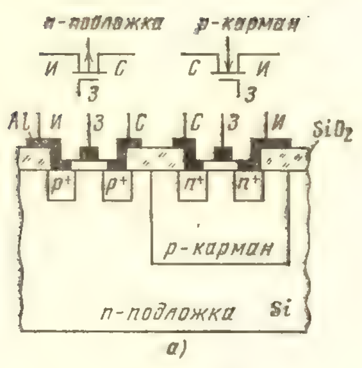
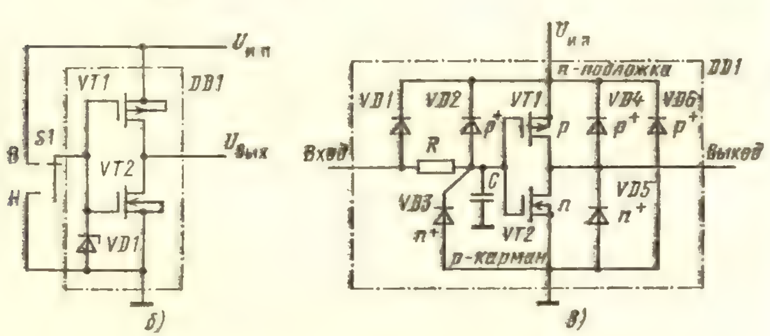


Рис. 2.4. Особенности инвертора КМОП:

а — поперечное сечение структуры КМОП; *б* — защитный диод на входе инвертора; *в* — полная схема инвертора с защитными и паразитными диодами



показан, но он присутствует в структуре обязательно, иначе вход инвертора будет пробит статическим электричеством. Природу пробоя тонкого окисного слоя SiO_2 можно уяснить, вспомнив формулу заряда конденсатора $C=q/U$. Затвор и поверхность подложки суть обкладки конденсатора C. Если в нем накопится случайный заряд q, потенциал между обкладками станет U. Если заряд стал чрезмерным (ведь ему некуда стекать), U превысит напряжение пробоя тонкого слоя диэлектрика SiO_2 (толщина примерно равна 1 мкм). К слову, МОП- и КМОП-усилители без защитного стабилитрона существуют. Они предназначены для электрометрических цепей, т. е. фактически для измерения заряда q. Это специально оговаривается в сертификате прибора.

Цифровые микросхемы должны быть крайне устойчивы к таким явлениям, как пробой от статического или наведенного от силовых сетей электричества. Прежде всего защита гарантируется их структурой. На рис. 2.4, *в* показана полная эквивалентная схема инвертора КМОП. Стоковое напряжение (плюс источника питания) подключается на n-подложку. Низкий уровень напряжения питания присоединяется к специальной шине, соединяющей «карманы» (см. рис. 2.4, *а*).

Конденсатор C на рис. 2.4, *в* символизирует входную емкость инвертора. Как правило, она составляет от 5 до 15 пФ. Диоды VD1 — VD3 защищают изоляцию затвора от пробоя. Диод VD1 имеет пробивное напряжение 25 В, VD2 и VD3 — 50 В. Последовательный резистор

R=200 Ом ... 2 кОм не позволяет скачку тока короткого замыкания передаваться в незаряженную входную емкость затворов С. Тем самым защищается выход предыдущего (управляющего) инвертора от импульсной перегрузки.

Диоды VD4 — VD6 защищают выход инвертора от пробоя между n^+ и p^+-областями (см. рис. 2.4, *а*, по горизонтали). Здесь также верхний диод VD4 имеет пробивное напряжение 50 В, нижний VD5 — 25 В. Эти диоды, как правило, составная часть структуры (рис. 2.4, *а*). Диод VD6 защищает канал от ошибочной перемены полярности питания. Такие диоды делаются в структуре специально.

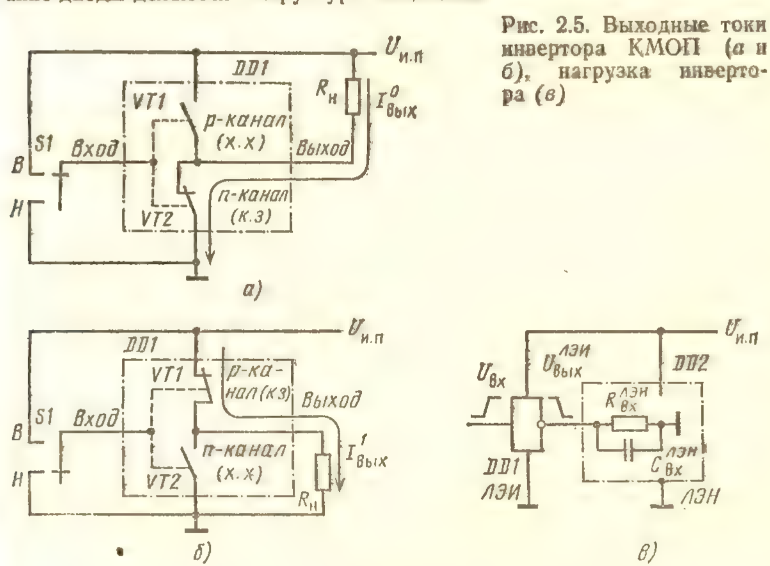


Рис. 2.5. Выходные токи инвертора КМОП (*а* и *б*), нагрузка инвертора (*в*)

Рассмотрим электрические параметры инвертора КМОП. На рис. 2.5, *а*, *б* показаны пути тока через нагрузки инвертора $R_н$ при высоком (В) и низком (Н) уровнях, поступающих от управляющего переключателя S1. Если от S1 подан высокий В входной уровень, n-транзистор (см. рис. 2.5, *а*) замкнут, от источника питания $U_{и.п}$ через резистор $R_н$ в n-канал втекает ток нагрузки низкого уровня $I^0_{вых}$. На рис. 2.5, *б* показан p-транзистор замкнутым, для этого от S1 подан низкий уровень Н. От провода $U_{и.п}$ через p-канал в нагрузку $R_н$ стекает ток нагрузки высокого уровня $I^1_{вых}$. Чтобы высокий и низкий уровни ($U^1_{вых}$, см. рис. 2.1, *б* и $U^0_{вых}$, см. рис. 2.2, *б*) инвертора максимально приближались к напряжениям $U_{и.п}$ и 0 В, необходимо выполнить условие, чтобы сопротивление канала $R_к \ll R_н$ как для p-, так и для n-канала.

Условие $R_к \ll R_н$ выполняют для специально конструируемых мощных инверторов КМОП, работающих на выходах микросхем. Напомним, что малое сопротивление канала $R_к$ равноценно повышенной крутизне усиления S полевого транзистора. Пределы $I^0_{вых}$ и $I^1_{вых}$ для оконечных

буферных инверторов обычно оговариваются. Если их превысить, структура может разрушиться. Оконечные транзисторы с большой крутизной занимают значительную часть площади кристалла микросхемы.

Выход малосигнального инвертора внутри микросхемы работает в другом режиме. Он нагружается на очень большое входное сопротивление последующего инвертора. Эквивалент такого включения показан на рис. 2.5, *в*. Здесь выходной скачок $U_{вых}$ от логического элемента — источника (ЛЭИ) попадает на вход ЛЭ нагрузки (ЛЭН). Поскольку $R_{вх}^{ЛЭН} \sim 10^{12}$ Ом, ясно, что установившиеся токи $I_{вых}^{0}$ и $I_{вых}^{1}$ будут ничтожно малыми фактически при любом значении $R_к$ (обычно, для малосигнальных инверторов $R_к = 5...10$ кОм). Следовательно, статические напряжения высокого и низкого уровня на выходе ЛЭИ будут практически равны $U_{п.п}$ и 0 В. Однако в момент скачка напряжения $U_{ЛЭИ}^{вых}$ через сопротивление его каналов $R_к$ должна зарядиться (или разрядиться) входная емкость ЛЭН $C_{вх}^{ЛЭН}$. Ее значение обычно 5...15 пФ. Следовательно, при $R_к^{ЛЭИ} = 5$ кОм следует ожидать длительность фронта и среза входного импульса ЛЭН:

$$t^{0,1} \approx t^{1,0} = 2,2 R_к^{ЛЭИ} C_{вх}^{ЛЭН} \approx 50 \; ... \; 150 \text{ нс}. \qquad (2.4)$$

Если на вход ЛЭН поступил положительный перепад $U_{вых}^{ЛЭИ}$, $C_{вх}^{ЛЭН}$ будет заряжаться через сопротивление p-канала $R_к^p$. Следовательно, длительность положительного фронта импульса $U_{вых}^{ЛЭИ}$.

$$t^{0,1} = 2,2 R_к^p C_{вх}^{ЛЭН}. \qquad (2.5)$$

Замыкание n-канала на выходе ЛЭИ вызовет разряд емкости $C_{вх}^{ЛЭН}$, поэтому время отрицательного среза импульса $U_{вых}^{ЛЭИ}$:

$$t^{1,0} = 2,2 R_к^n C_{вх}^{ЛЭН}. \qquad (2.6)$$

Если технологическими способами уравнять $R_к^p$ и $R_к^n$, то выходные фронты ЛЭИ $t^{0,1}$ и $t^{1,0}$ окажутся одинаковыми.

Условия, соответствующие модели (рис. 2.5, *в*), имеют место внутри микросхемы, т. е. на ее кристалле, где паразитные емкости $C_{вх}^{ЛЭН}$ очень малы. При $t^{0,1} \approx t^{1,0} \leqslant 150$ нс можно ожидать быстродействия логических устройств на уровне 3...5 МГц.

Чтобы сохранить эти скорости обработки данных при обслуживании большого числа входов внешних ЛЭН (это входы других корпусов микросхем КМОП), требуется, чтобы ЛЭИ, работающие на выходах микросхем (буферные элементы), имели бы малые сопротивления каналов. Наибольшие импульсные токи $I_{вых}^{0}$ и $I_{вых}^{1}$ отдают выходы ЛЭИ, обслуживающие шины данных систем, т. е. провода, к которым присоединяется с одной стороны много выходов ЛЭИ, а с другой — много входов ЛЭН. Такие шины иногда называют тяжело нагруженными. Для их обслуживания следует применять специальные буферные элементы — шинные формирователи.

Согласно (рис. 2.5, *а* — *в*) ЛЭИ не должен потреблять ток питания, если на его входе присутствуют статические уровни: либо В, либо Н. Действительно, в первом случае разомкнут p-канал (т.е. отомкнут

от нагрузки $R_{вх}^{ЛЭН}$ источник $U_{и.п}$), во втором случае р-канал замкнут, но $R_{вх}^{ЛЭН}$ очень велико (10^{12} Ом), поэтому от источника питания $U_{и.п}$ потребляется пренебрежимо малый статический ток высокого уровня $I_{вых}^{1}$.

Однако если на вход ЛЭИ подать последовательность импульсов, а в цепь источника питания включить миллиамперметр, можно обнару-

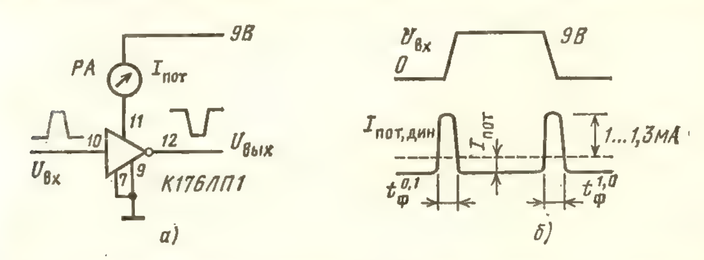


Рис. 2.6. Измерение тока потребления (*а*), связь входного импульса $U_{вх}$, импульсов тока питания $I_{дин}$, также среднего тока потребления $I_{пот}$ (*б*)

Рис. 2.7. Передаточные характеристики инвертора КМОП и помехоустойчивость:

а — пределы характеристик инвертирующего элемента; *б* — то же для неинвертирующего; *в* — общая тактовая шина двух D-триггеров; *г* — медленноменяющийся тактовый импульс дает ошибку счета

жить, что с ростом частоты следования входных импульсов будет повышаться и динамический ток потребления $I_{пот.дин}$ (см. рис. 2.6, *а*). На рис 2.6, *б* показана осциллограмма импульсов тока питания. Видно, что импульсы $I_{дин}$ соответствуют по времени фронту и срезу входного импульса. Для инвертора из схемы К176ЛП1 уровень тока $I_{пот.дин}$ = =1...1,3 мА. Основная составляющая импульса питания — сквозной ток от $U_{и.п}$ в землю, поскольку есть момент, когда оба канала инвертора открыты. Средний уровень тока потребления $I_{пот}$ окажется тем больше, чем выше частота следования входных импульсов. Если входная последовательность окончилась, ток $I_{пот}$ без входного сигнала становится равным нулю.

Передаточные характеристики определяют помехоустойчивость элементов КМОП. На рис. 2.7, *а* показаны условные пределы характеристик (кривые 1 и 2) инвертора, а на рис. 2.7, *б* — неинвертирующего элемента. По вертикальным осям отмечены пороговые напряжения $U^1_{вых}$ и $U^0_{вых}$, когда происходит переключение состояния р- и n-каналов. Пересечение пороговых уровней с характеристиками дает предельные значения напряжений помех снизу $U^0_{пом}$ (помеха от шины «земля») и сверху $U^1_{пом}$ (помеха от шины питания). Помехоустойчивость для элементов КМОП достаточно велика, так как допустимо напряжение $U^1_{пом}$ до 30 % от напряжения питания $U_{и.п}$.

Импульсная помехоустойчивость растет, если длительность входных импульсов помехи меньше, чем среднее время задержки распространения сигнала в микросхеме.

Особо следует оговорить устойчивость переключения синхронных устройств на микросхемах КМОП. Необходимо, чтобы время фронтов нарастания и спада тактового импульса было бы меньше, чем 5...15 мкс (т. е. тактовые импульсы должны иметь крутые фронты). Во-первых, если фронт импульса длительный, пологий, инвертор КМОП долго находится в усилительном режиме, поэтому сквозной импульс тока (см. рис. 2.6, *б*) чрезмерное время течет через него, структура может перегреться и разрушиться.

Во-вторых, время нарастания перепада на тактовом входе $t^{0,1}$ должно быть меньшим, чем время $t_{зд.р}$ плюс время переходного процесса на выходе триггерного элемента. На рис. 2.7, *в* показано последовательное соединение двух D-триггеров. При медленно нарастающем перепаде на входе С выходной сигнал триггера DD1 запишется на D-вход триггера DD2, который ошибочно переключится на низкий уровень (рис. 2.7, *г*), поскольку фронт С еще не превысил уровень $0{,}7U_{и.п}$.

Необходимо принимать особые меры защиты элементов КМОП. Во-первых, все входные сигналы не должны выходить за пределы напряжения питания $U_{и.п}$. Если проектируются мультивибраторы (автогенераторы и ждущие), в них следует ограничивать токи перезарядки конденсаторов микроамперными уровнями, включая последовательные резисторы. Во-вторых, входы КМОП не должны оставаться неприсоединенными. Реально опасны случаи разъединения печатных плат, находящихся под питанием, когда через разъем сигналы от одной платы поступают на другую. Здесь следует предусматривать шунтирующие резисторы (к проводам $U_{и.п}$ или нулевому). В-третьих, многие микросхемы КМОП могут работать от сигналов ТТЛ. Здесь следует подключать резисторы утечки от входа КМОП на питание ТТЛ 5 В.

Следует принимать меры защиты выходов микросхемы КМОП.

Надо избегать случайных замыканий выходов буферных элементов с повышенным выходным током на провод питания. Нельзя соединять выходы обычных элементов непосредственно, поскольку произойдет замыкание одного из каналов на источник питания.

Если требуется параллельное соединение входов и выходов элементов, они должны быть из одного корпуса микросхемы. Нельзя применять емкости нагрузки $C_н > 5000$ пФ для буферных и высоковольтных оконечных элементов, поскольку такой незаряженный конденсатор равноценен перемычке короткого замыкания.

Серийные микросхемы КМОП выпускаются более десяти лет. Первые микросхемы такой структуры были низковольтными. Это отечественная серия К176 и аналогичная зарубежная CD4000A. Напряжение питания для микросхем этих серий было равно 9 В. Оно лимитировалось напряжением пробоя n-кармана (см. рис. 2.4, *а*).

Последующая эволюция технологии позволила повысить предел напряжения питания $U_{и.п}$ до 15 В. Вместе с тем нижний предел $U_{и.п}$ составляет 3 В. Быстродействие микросхем КМОП растет пропорционально увеличению напряжения питания. Поэтому для усовершенствованных серий К561 (аналог — серия CD4000B) при $U_{и.п} = 15$ В типовое значение времени $t_{зд.р.ср} = 50$ нс на логический элемент, при статической рассеиваемой мощности — 0,4 мкВт на элемент.

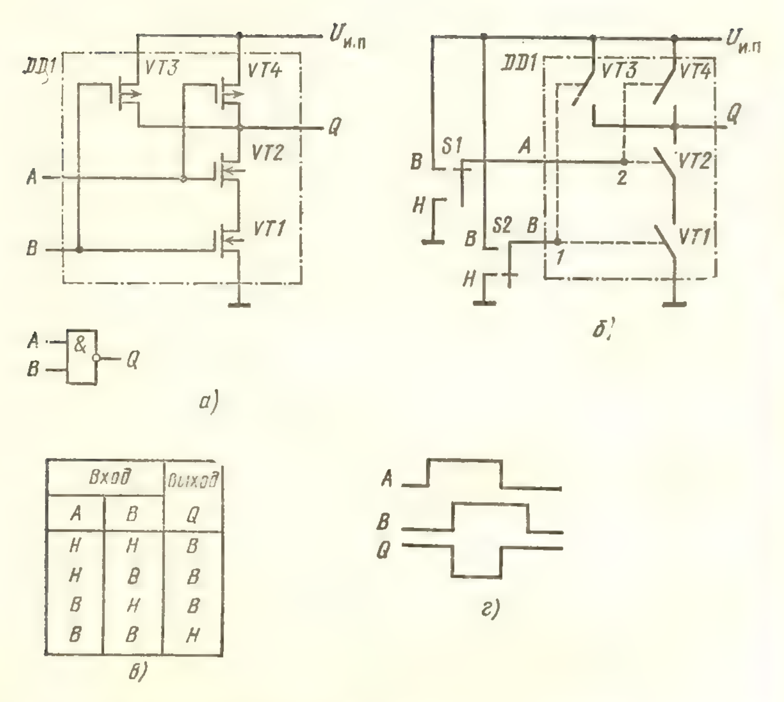
Перспективная, так называемая HCMOS — логика (здесь H — начальное сокращение перевода слова high — высококачественная) выполняется с помощью процессов ионной имплантации и с заменой металлических пленок областей затворов на поликремниевые. Микросхемы такого исполнения конкурируют по быстродействию (10...15 нс) с микросхемами на структурах с барьером Шотки, конкретно с ТТЛ серий 74LS (К555).

2.2. ОСНОВНЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ $\overline{И}$, $\overline{ИЛИ}$, Z

В основе всех цифровых микросхем КМОП находятся три логических элемента: $\overline{И}$, $\overline{ИЛИ}$ и коммутационный ключ (КК). С помощью КК реализуются выходы с третьим состоянием очень большого выходного импеданса Z (практически разомкнуто). Полевые транзисторы можно соединять последовательно («столбиком»), поэтому элементы $\overline{И}$, $\overline{ИЛИ}$ строятся по разным схемам и в отличие от ТТЛ здесь не надо переименовывать логические уровни. Для КМОП принято, чтобы 1 отображалась высоким уровнем, а 0 — низким.

На рис. 2.8, *а* показана принципиальная схема двухвходового элемента $\overline{И}$. Это один канал из микросхемы К176ЛА7. На рис. 2.8, *б* эта схема изображена в виде эквивалента с подключенными управляющими переключателями S1 и S2. Здесь транзисторы VT1 — VT4 заменены однополюсными тумблерами.

Если последовательно перебрать все комбинации напряжений высоких и низких уровней, поступающих на входы A и B от S1 и S2, и рассмотреть уровни на выходе Q, получим таблицу состояний инвертора $\overline{И}$ (рис. 2.8, *в*). Если от S1 и S2 на входы A и B подать напряжения высокого уровня (В), n-каналы транзисторов VT1 и VT2 будут замкнуты, а каналы VT3 и VT4 разомкнуты. На выходе Q окажется напряжение низкого уровня (Н). Если на вход A или B поступает хотя бы один низкий уровень, один из каналов VT3 или VT4 оказывается замкнутым и на выходе Q появляется напряжение высокого уровня.



Вход		Выход
A	B	Q
Н	Н	В
Н	В	В
В	Н	В
В	В	Н

Рис. 2.8. Двухвходовой элемент И:

а — схема; *б* — эквивалентная схема управления; *в* — таблица электрических состояний схемы; *г* — диаграмма входных и выходных импульсов

В результате вертикальная колонка данных на выходе Q (рис. 2.8, *в*) соответствует функции $\overline{И}$ (см. рис. 1.19, *в*).

Если на входы A и B подать два положительных импульса (см. рис. 2.8, *г*) сигнал на выходе Q будет соответствовать площади их совпадения (но с инверсией!).

В табл. 2.1 перечислены микросхемы КМОП с логикой $\overline{И}$, входя-

Таблица 2.1. **Микросхемы КМОП $\overline{И}$**

Серия	Обозначение	Номер микросхемы			
		7	8	9	10
К176 К561	ЛА	+ +	+ +	+ +	(К 564)
CD4000A CD4000B	— —	11 11	12 12	23 23	— 107

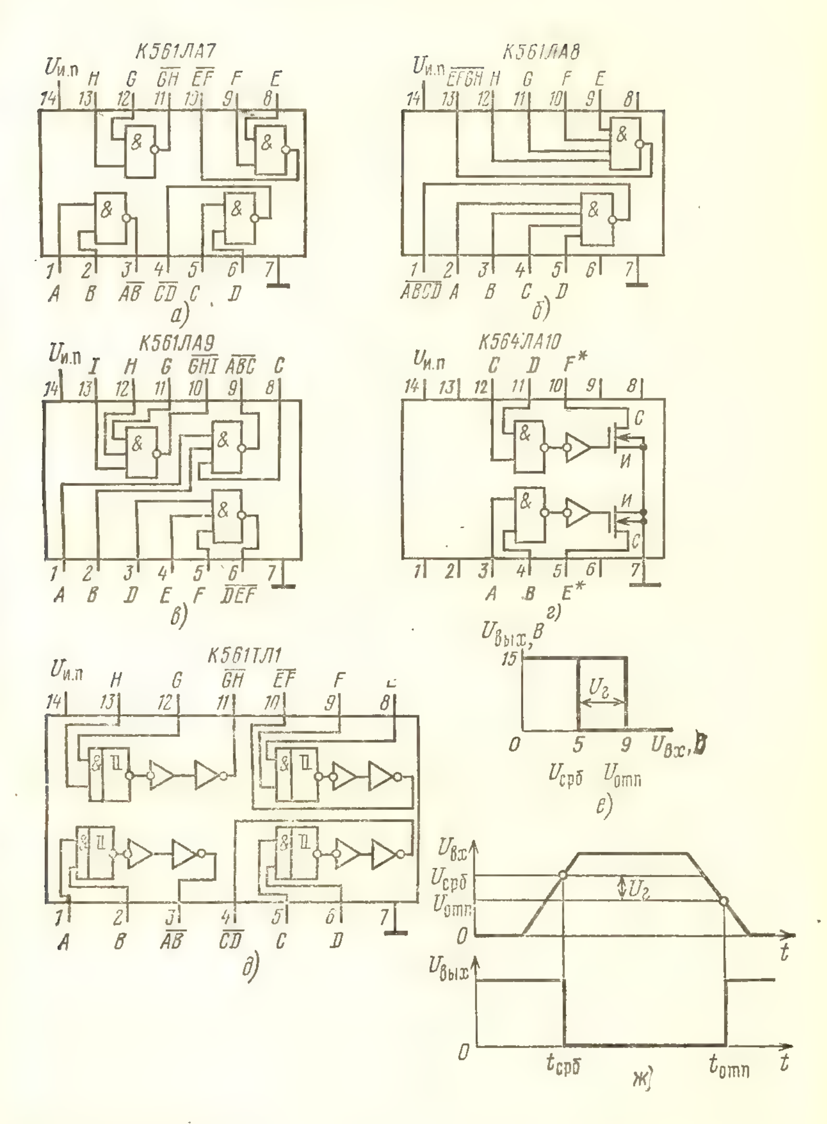


Рис. 2.9. Микросхемы $\overline{\text{И}}$:

а — К561ЛА7; *б* — К561ЛА8; *в* — К561ЛА9; *г* — К564ЛА10; *д* — ТЛ1; *е* — передаточная характеристика триггера Шмитта ТЛ1; *ж* — отклик логического элемента ТЛ1 на входной импульс с медленными фронтами

щие в серии К176 и К561, а также указаны их зарубежные аналоги из серий CD4000A и CD4000B. Цоколевки этих микросхем показаны на рис. 2.9, *а* — *в*. На рис. 2.9, *г* приведена схема двойного двухвходового инвертора К564ЛА10. Здесь после двухвходового $\overline{\text{И}}$ включается инвертор (см. схему рис. 2.3, *а*), следовательно, на затвор оконечного n-канального МОП-транзистора поступит функция И. Но на стоковых резисторах нагрузки (выходы E* и F*) сигналы И окажутся инвертированными, поэтому выходные состояния будут соответствовать рис. 2.8, *в*. Функцию $\overline{\text{И}}$ реализует также микросхема К176ЛП12 (см. рис. 2.19, *в*). Четверку двухвходовых элементов $\overline{\text{И}}$ с передаточной характеристикой, имеющей петлю гистерезиса (триггеры Шмитта), содержит микросхема К561ТЛ1 (рис. 2.9, *д*), которой соответствует зарубежный аналог CD4093B. Передаточная характеристика этого логического элемента по каждому входу имеет два порога: верхний, срабатывания $U_{\text{срб}}$, и нижний, отпускания $U_{\text{отп}}$. Разность этих напряжений, т. е. гистерезис $U_{\text{г}}$, составляет 0,6 В при $U_{\text{и.п}}=5$ и 2 В при $U_{\text{и.п}}=10$ В. Вид передаточной характеристики и осциллограмма отклика логического элемента с гистерезисом показаны на рис. 2.9, *е—ж*. Помехоустойчивый элемент $\overline{\text{И}}$ со свойствами триггера Шмитта применяется для увеличения крутизны пологих фронта и спада импульса (см. рис. 2.9, *ж*), как основа ждущих мультивибраторов и автогенераторов. Среднее время задержки распространения в данном элементе $\overline{\text{И}}$ не более 600 нс при $U_{\text{и.п}}=5$ В и 300 нс при $U_{\text{и.п}}=10$ В.

Устройство базового элемента $\overline{\text{ИЛИ}}$ (рис. 2.10, *а*, это один канал микросхемы К176ЛЕ5), как бы обратное по сравнению с элементом $\overline{\text{И}}$: здесь параллельно соединены n-канальные и последовательно p-канальные транзисторы. На рис. 2.10, *б* дана эквивалентная схема, где транзисторы заменены ключами. Только совпадение низких входных уровней на входах A и B даст высокий уровень на выходе Q, так как в этот момент замыкаются оба верхних p-канальных транзистора VT1 и VT2. Присутствие хотя бы одного высокого уровня B на входах A, B озна-

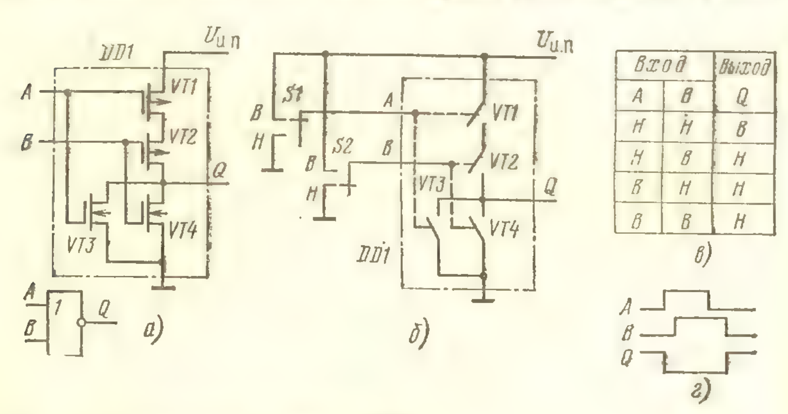


Рис. 2.10. Двухвходовый элемент $\overline{\text{ИЛИ}}$:

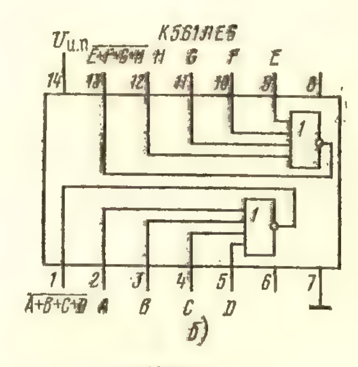
а — схема; *б* — эквивалентная схема управления; *в* — таблица электрических состояний; *г* — диаграмма входных и выходных импульсов

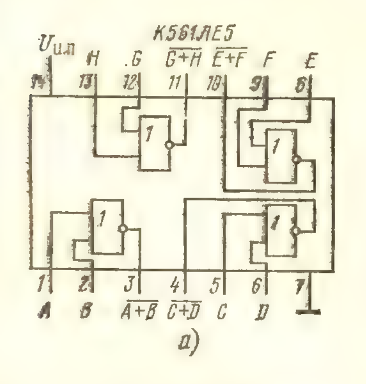
Таблица 2.2. **Микросхемы КМОП $\overline{\text{ИЛИ}}$ (ЛЕ) и инверторы КМОП (ЛН)**

Серия	Обозначение	Номер микросхемы				
		1	2	5	6	10
К176 К561	ЛЕ			+ +	+ +	+ +
К561	ЛН	+	+			
CD4000A CD4000B	— —	— 502	49 49	01 01	02 02	25 25

Таблица 2.3. **Состояния бифазной пары И/ИЛИ из микросхемы CD4037A**

Вход		Выход	
K_A	K_B	D	E
0	0	1	1
1	0	C	$\overline{C}$
0	1	$\overline{C}$	C
1	1	0	0





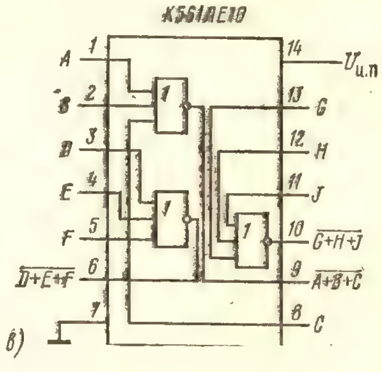


Рис. 2.11. Микросхемы $\overline{\text{ИЛИ}}$:
а — ЛЕ5; *б* — ЛЕ6; *в* — ЛЕ10

чает замыкание одного из параллельных n-канальных транзисторов VT3, VT4.

Состояние выхода Q в зависимости от уровней, последовательно поступающих от переключателей S1 и S2, показаны на рис. 2.10, *в*. Этот

столбик данных соответствует функции $\overline{ИЛИ}$ (см. рис. 1.19, *в*). На рис. 2.10, *г* показана осциллограмма отклика на выходе $\overline{ИЛИ}$. Здесь длительность (инвертированного!) сигнала на выходе Q соответствует вре-

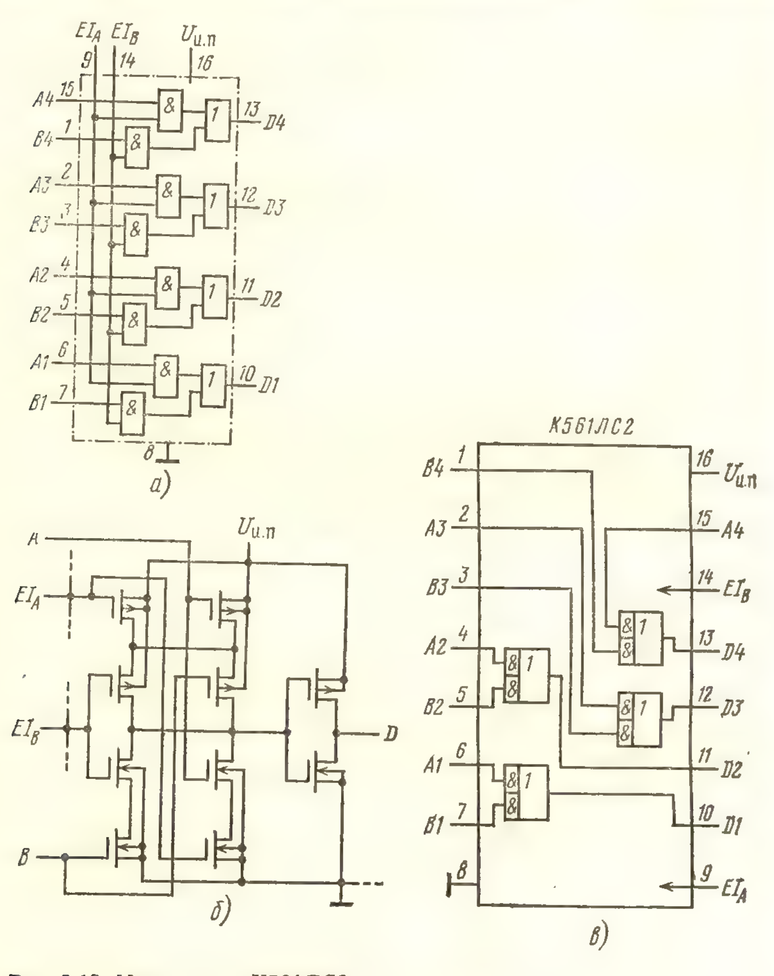


Рис. 2.12. Микросхема К561ЛС2:

а — структура; *б* — схема одного канала; *в* — цоколевка

мени действия обоих входных сигналов. Сводка микросхем $\overline{ИЛИ}$ приведена в табл. 2.2, а их функциональные схемы показаны на рис. 2.11. Функцию $\overline{ИЛИ}$ выполняют также микросхемы К176ЛП4 и К176ЛП11 (см рис. 2.19, *б*, *в*).

Как в виде отдельных микросхем, так и в качестве частей схем регистров и счетчиков применяется комбинированная структура И/ИЛИ (см. табл. 2.2).

Микросхема К564ЛС2, содержащая четыре канала И/ИЛИ, показана на рис. 2.12, *а*. Один ее канал изображен на рис. 2.12, *б*. На выходы D1—D4 можно с помощью входов разрешения EI_A и EI_B пропускать либо слово A1—A4, либо B1—B4 согласно логическому уравнению

$$D_n = (A_n EI_A + B_n EI_B). \qquad (2.7)$$

Входы управления EI_A и EI_B можно использовать для реализации функции A+B. Аналог К564ЛС2 — микросхема CD4019 A.

Микросхему К564ЛС2 удобно применять в регистрах со сдвигом вправо и влево, для переключения прямого и комплементарного выходных кодов, для переключения преобразований И, ИЛИ, исключающее ИЛИ. Скорость переключения каналов 50...100 нс.

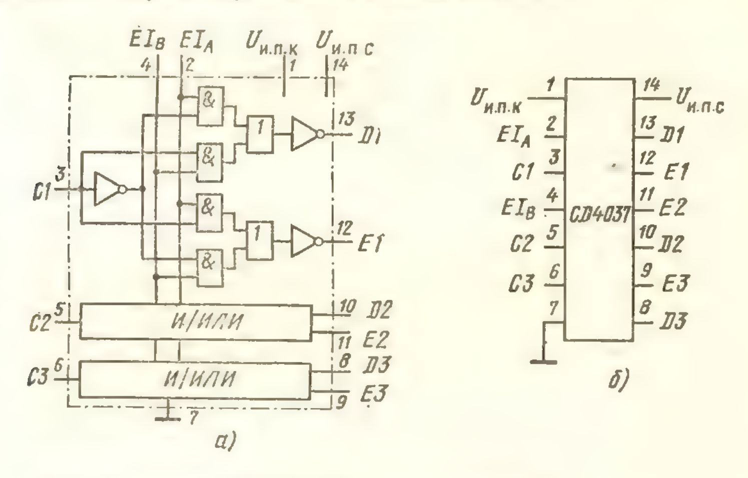


Рис. 2.13 Микросхема CD4037 (*а*) и ее цоколевка (*б*)

Микросхема CD4037 (рис. 2.13) содержит три бифазные пары, каждая из которых коммутирует входной сигнал C по двум выходам D и E. Три канала этой микросхемы, содержащие структуры И/ИЛИ с выходными инверторами, управляются общими сигналами EI_A и EI_B. В соответствии с табл. 2.3 на выходах D и E можно получить прямые C или инвертированные $\overline{C}$ выходные данные.

Микросхема имеет два вывода питания коллекторного $U_{и.пК}$ и стокового $U_{и.пС}$. Это необходимо, если данные приходят от устройства, где $U_{и.пС}=3$ В. Микросхема удобна для кодирования или декодиро-

вания сигналов с расщепленной фазой в бифазных системах связи, цифровой магнитной записи на ленту, диски, барабаны, а также в устройствах магнитной памяти с пленками и сердечниками. Время задержки распространения от входа C до выхода D не превышает 250 нс.

Чтобы построить логический элемент с тремя состояниями, последовательно с выходом инвертора, показанного на рис. 2.3, *а*, надо добавить последовательный двухполярный полевой ключ коммутации КК.

На рис. 2.14, *а* за инвертором DD1 следует пара разнополярных полевых транзисторов VT1 и VT2. Показаны управляющие затворами

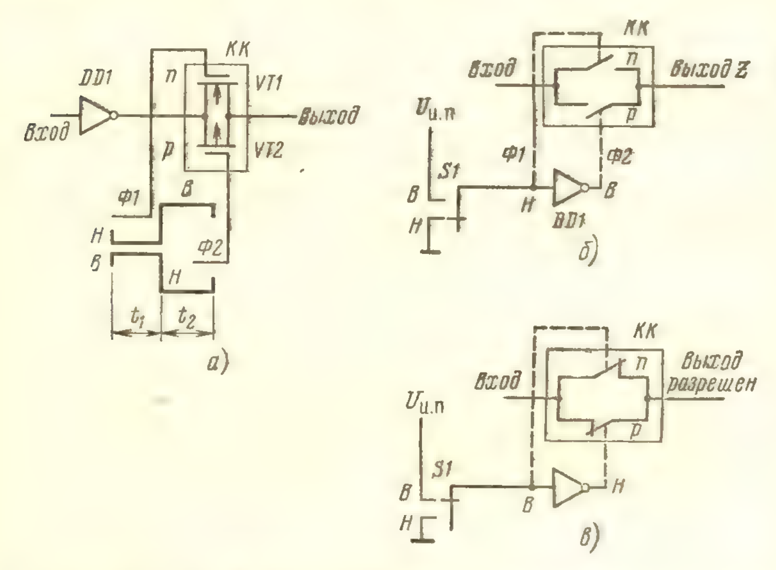


Рис. 2.14. Элемент с третьим Z-состоянием:

а — ключ коммутации; *б* — размыкание выхода (Z-состояние); *в* — разрешение выходу

потенциалы с противоположными фазами Ф1 и Ф2: p-канал VT2 замкнется при низком уровне импульса Ф2, n-канал — при высоком уровне Ф1. За период t_1 ключ коммутации КК разомкнут, поскольку на затворы VT1 и VT2 поданы закрывающие уровни. На время t_2 КК замыкается, так как сразу оба транзистора VT1 и VT2 получат открывающие сигналы Ф1=В и Ф2=Н.

Эквиваленты схемы (рис. 2.14, *а*) показаны на рис. 2.14, *б*, *в*. Здесь в дополнение к предыдущей схеме имеется инвертор DD1, формирующий две фазы сигнала управления Ф1 и Ф2=$\overline{\text{Ф1}}$. Канал данных разомкнется в случае, показанном на рис. 2.14, *б*, когда от переключателя S1 подается напряжение низкого уровня. Выходная цепь схемы станет высокоомной, с очень большим сопротивлением Z. Сигналы от входа в выходной провод пройти не могут. Выходы после ключа коммутации КК можно непосредственно присоединять к общей шине данных. На

схеме (рис. 2.14, *в*) показана фазировка управляющих сигналов, при которой КК замкнут и выход данным разрешается.

Используя инверторы с третьим состоянием Z, когда их выходы требуется соединить, важно, как и для микросхем ТТЛ, соблюдать правило: сигналы разрешения должны быть сформированы так, чтобы для соседних каналов они не перекрывались (по-другому, должен быть защитный интервал — пауза).

Ключ коммутации позволяет существенно упростить схемы одно- и двухступенчатых триггеров. Примеры этих схем можно видеть на рис. 2.46, *б*, на рис. 2.54, *б* и на рис. 2.33, *а*. Вид диаграммы выходных сигналов показан на рис. 2.26.

2.3. МИКРОСХЕМЫ С ИНВЕРТОРАМИ И ИХ ПРИМЕНЕНИЕ

Для полного использования свойств сложных микросхем, а также для построения множества «нетиповых» схемотехнических узлов, разработчики активно используют микросхемы, в которых содержится несколько инверторов. Обычно они имеют повышенную нагрузочную способность.

Микросхема К561ЛН1 содержит шесть стробируемых инверторов (рис. 2.15). Каждый инвертор (точнее, двухвходовый элемент ИЛИ) имеет вход D_n и выход Q_n. Кроме того, на вторые входы всех шести инверторов от общего вывода 12 (разрешение по входу EI) подается разрешающий сигнал с активным низким уровнем. Если здесь входной уровень высокий, входы D_n запрещаются, а все выходы Q_n имеют низкий выходной сигнал (см. табл. 2.4).

Таблица 2.4. **Состояния входов и выходов инверторов в микросхеме К561ЛН1**

Разрешение		Вход D_n	Выход Q_n
по выходу E0	по входу E1		
Н	Н	Н	В
Н	Н	В	Н
Н	В	х	Н
В	х	х	Z

Второй общий вход управления E0 — разрешение по выходу при высоком входном уровне переводит все выводы в состояние Z (т. е. разомкнуто; выходное сопротивление более 10 МОм). Третье состояние упрощает работу выходов инверторов на шину данных. Нагрузочная способность каждого инвертора — два ТТЛ-входа ($I^0_{вых}$=3,2 мА). Данная микросхема пригодна для перехода к устройствам ТТЛ. Микросхема К561ЛН1 работает как от напряжения стокового питания $U_{и.пС}$= =15 В, так и от коллекторного $U_{и.пК}$=5 В.

При $U_{и.пС}$=15 В наибольшее время задержки распространения составляет 65 нс, время перехода от Z-состояния к высокому уровню 40 нс. При $U_{и.пС}$=5 В все переходные процессы затягиваются в 3 раза.

Микросхема К561ЛН2 (рис. 2.15, *в*, *г*) содержит шесть буферных инверторов. Для микросхемы необходимо лишь одно напряжение питания (на вывод 14), поэтому она удобна как транслятор логических уровней. Если на вывод 14 подано коллекторное напряжение $U_{и.п}$=5 В, то можно передавать уровни от КМОП к ТТЛ, причем нагрузочная способность инвертора — два ТТЛ-входа (т. е. $I^0_{вых}$≥3,2 мА при выходном

напряжении низкого уровня не менее 0,4 В). Микросхема К561ЛН2 может непосредственно заменять преобразователи уровней старых разработок К176ПУ2 и К176ПУ3. При $U_{и.п}$=5 В время задержки распространения — не более 80 нс (при $U_{и.п}$=10 В не более 55 нс).

Микросхема CD4041A (рис. 2.16) содержит четыре буферных устройства. У каждого из них один вход и два выхода: прямой и инверсный. Выходные инверторы спроектированы с малым внутренним сопротивлением каналов и имеют поэтому повышенную нагрузочную способ-

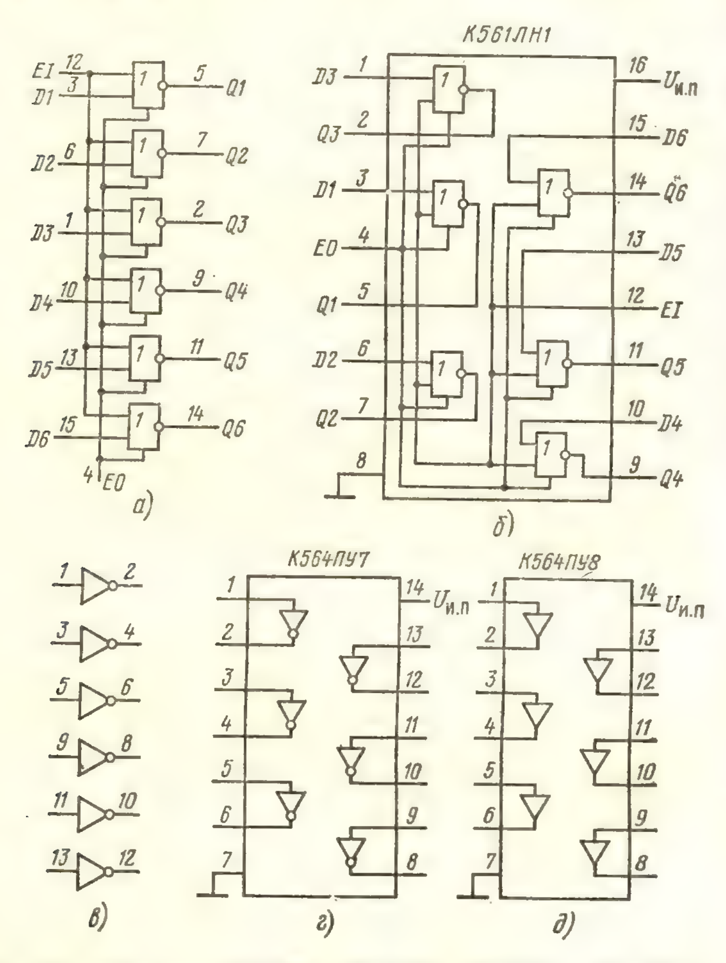


Рис. 2.15. Микросхемы К561ЛН1, К561ЛН2, К564ПУ7 и К564ПУ8:

а — схема шести стробируемых инверторов К561ЛН1; *б* — цоколевка ЛН1; *в* — шестерка инвертора К561ЛН2; *г* — цоколевка ЛН2 и К564ПУ7; *д* — цоколевка К564ПУ8

ность по току (вытекающему и стекающему). Микросхему можно использовать как преобразователь уровней КМОП-ТТЛ, а также как набор ключей для обслуживания резистивных матриц в цифро-аналоговых преобразователях.

Несколько микросхем, содержащих элементы с комбинированными функциями, обозначаются шифром «Прочие» (в табл. 2.5 перечислены такие микросхемы).

Микросхема К176ЛП1 (рис. 2.17, *а*) — многоцелевая. Она содержит набор КМОП-транзисторов: три p- и три n-канальных. С помощью нескольких корпусов К176ЛП1 можно реализовать как цифровые, так и аналоговые узлы: формирователи-обострители, инверторы, пороговые детекторы, усилители. Время переключения инвертора в К176ЛП1 не

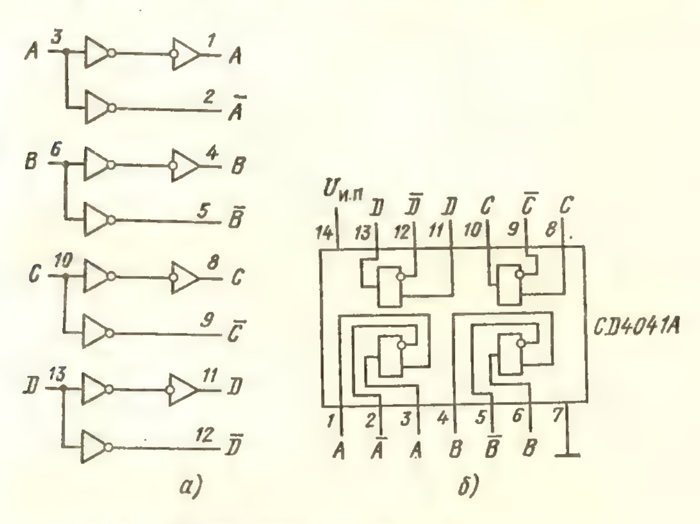


Рис. 2.16. Схема (*а*) и цоколевка (*б*) микросхемы CD4041A

Таблица 2.5. **Прочие логические элементы КМОП**

Серия	Обозначение	Номер микросхемы 1	2	4	11	12
К176	ЛП	+	+	+	+	+
К561			+			
CD4000A, B	—	07	30	00	—	—

Таблица 2.6. **Состояния исключающее ИЛИ (К176ЛП2) и исключающее $\overline{\text{ИЛИ}}$ (CD4070)**

Вход A	Вход B	Выход для ЛП2	Выход для CD4070
0	0	0	1
1	0	1	0
0	1	1	0
1	1	0	1

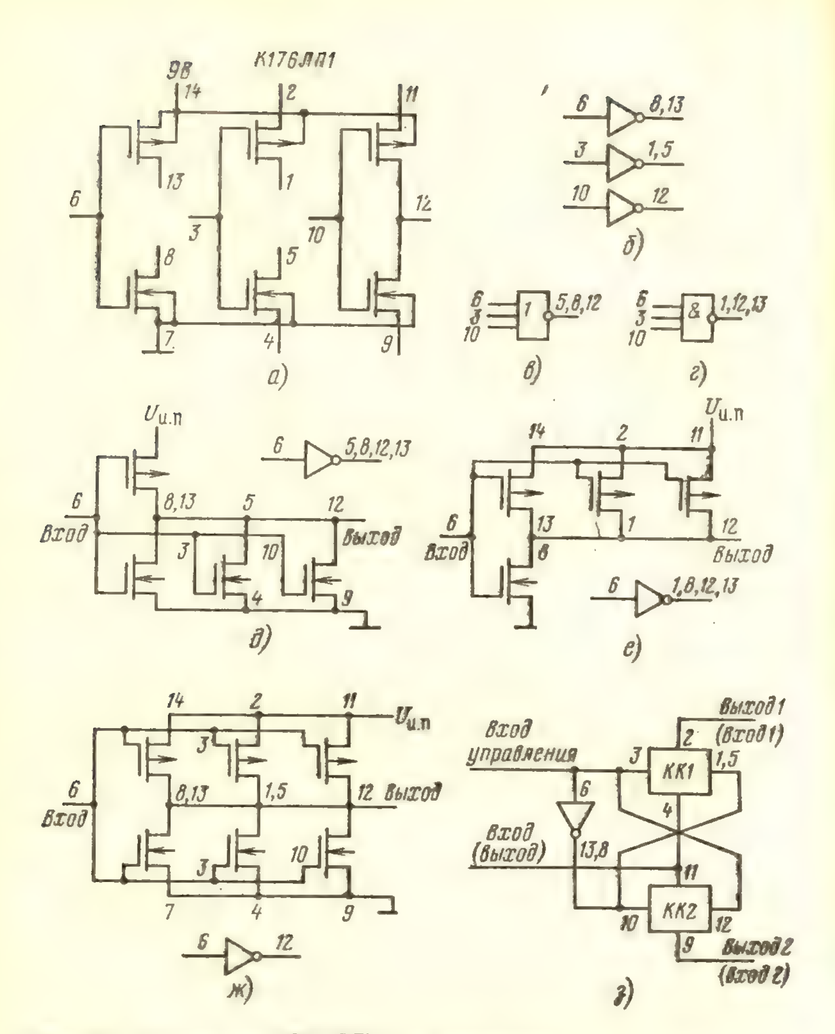


Рис. 2.17. Микросхема К176ЛП1 и ее применения:

а — принципиальная схема, цоколевка; *б* — включение трех инверторов (соединить выводы 14, 2 и 11; 8 и 13; 1 и 5; 7, 4 и 9); *в* — трехвходовая схема $\overline{\text{ИЛИ}}$ (соединить: 13 и 2; 1 и 11; 12, 5 и 8; 7, 4 и 9); *г* — то же $\overline{\text{И}}$ (соединить: 1, 12 и 13; 2, 4 и 11; 4 и 8; 5 и 9); *д* — буферный инвертор с большим стекающим током (соединить: 6, 3 и 10; 8, 5 и 12; 11 и 14; 7, 4 и 9); *е* — то же с большим вытекающим током (соединить: 6, 3 и 10; 13, 1 и 12; 14, 2 и 11; 7 и 9); *ж* — то же с большим током в обоих направлениях (соединить: 6, 3 и 10; 14, 12 и 11; 7, 4 и 9; 13, 8, 1, 5 и 12); *з* — пара двунаправленных ключей коммутации (соединить 1, 5 и 12; 2 и 9; 11 и 4; 8, 3 и 10; 6 и 3)

превышает 50 нс. На рис. 2.17, *б—з* показано несколько применений этой микросхемы, причем указано, какие выводы корпуса следует соединить между собой.

Микросхемы К176ЛП2 и К561ЛП2 содержат по четыре базовых элемента, исключающее ИЛИ. Принципиальная схема одного канала исключающее ИЛИ в исполнении КМОП дана на рис. 2.18, *а*. Здесь кроме трех инверторов применен ключ коммутации КК. На рис. 2.18, *б* показано расположение четырех элементов исключающее ИЛИ в корпусе

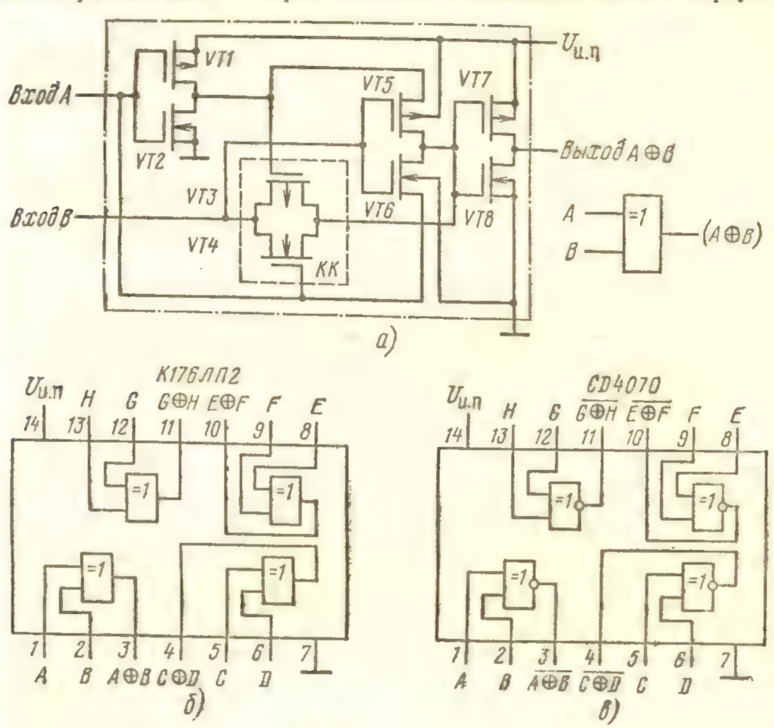
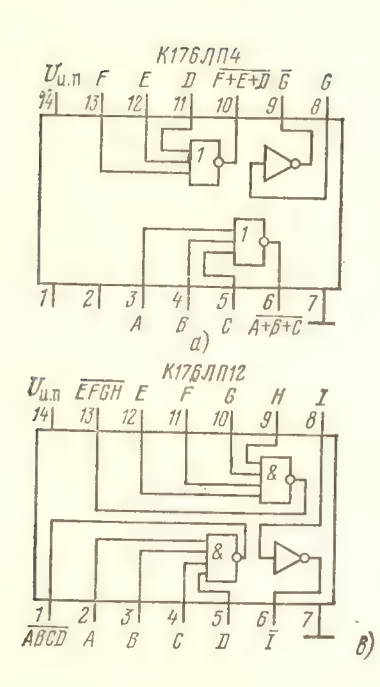


Рис. 2.18. Микросхемы, содержащие четыре элемента исключающее ИЛИ:

а — схема одного элемента исключающее ИЛИ; *б* — цоколевка К176ЛП2; *в* — цоколевка микросхемы CD 4070 исключающее $\overline{\text{ИЛИ}}$

ЛП2. Логические состояния для одного канала данной микросхемы сведены в табл. 2.6. Выпускается также аналогичная по цоколевке микросхема CD4070, которая содержит четыре элемента исключающее $\overline{\text{ИЛИ}}$, инверсные выходные данные которого показаны в последнем столбце табл. 2.6.

Время $t_{зд.р.ср}$ для элемента из ЛП2 составляет 40...150 нс (при $U_{и.п}$=10 В), время фронта и среза выходного импульса 25...150 нс.



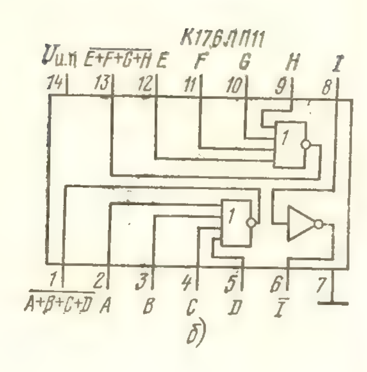


Рис. 2.19. Прочие микросхемы:

а — К176ЛП4; *б* — К176ЛП11; *в* — К176ЛП12

К группе микросхем с шифром ЛП относятся также К176ЛП4 (рис. 2.19, *а*), К176ЛП11 ($\overline{\text{ИЛИ}}$), К176ЛП12 ($\overline{\text{И}}$). Микросхемы ЛП11 и ЛП12 идентичны по цоколевке (рис. 2.19, *б*, *в*).

2.4. СХЕМЫ ГЕНЕРАТОРОВ И ПРЕОБРАЗОВАТЕЛЕЙ

Инверторы, элементы И, ИЛИ можно применять не только для решения задач комбинаторной логики. Рассмотрим несколько экономичных аналого-импульсных схем: генераторов и преобразователей сигналов, построенных на цифровых элементах КМОП.

На рис. 2.20, *а* показана схема формирования сигнала от кнопки, выключателя или реле, точнее — схема устранения дребезга электромеханического контакта. Здесь в RS-защелку сигнал записывается активным низким уровнем.

Очень большое входное сопротивление инверторов КМОП можно эффективно использовать в схемах сенсорных контактов. На рис. 2.20, *б* показана RS-защелка (два инвертора из микросхемы К561ЛН2) с двумя входами R и R′, представляющими собой контактные площадки. Если их коснуться пальцем, триггер включится. Для надежности защелкивания схему можно снабдить пороговым делителем (рис. 2.20, *в*), подключив его к точкам R, R′, Q и $\overline{Q}$ схемы (рис. 2.20, *б*). Устройство будет иметь пороговую диаграмму управления (см. рис. 2.20, *г*). Если резисторы R1—R3 одинаковые, напряжение питания $U_{и.п}$ будет разделено на три равные зоны. Зоны логических 1 и 0 — это запас помехоус-

тойчивости сенсора. На рис. 2.20, *д, ж* показаны упрощенная и полная схемы сенсорных кнопок, а также эскиз контакта (его можно изготовить из фольгированного текстолита, см. рис. 2.20, *е*). Схема (рис. 2.20, *ж*) содержит RC-фильтр, исключающий генерацию в схеме от частоты 50 Гц (т. е. от наводок электросети).

Рисунок 2.21, *а—д* посвящен схемам мультивибраторов. Автогенератор (рис. 2.21, *а*) построен на двух инверторах (например, из К561ЛН2). Для этой схемы следует выбрать R1=R2, C1=C2 и R3=R4, причем R3≫R1. Период симметричного меандра $T=2{,}2R_1C_1$; это

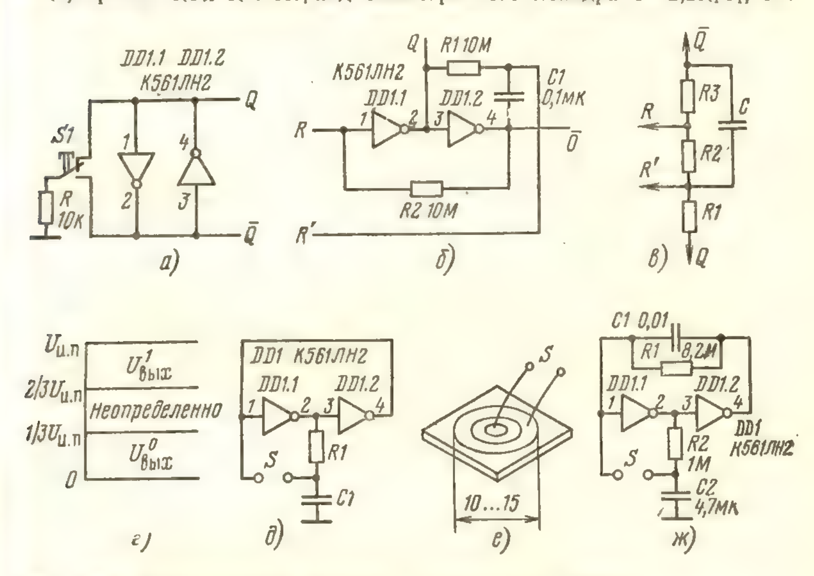


Рис. 2.20. Формирователи сигналов с инверторами КМОП:

а — схема кнопки с подавлением импульсов дребезга; *б* — схема RS-защелки для сенсорного контакта; *в* — делитель для предыдущей схемы; *г* — пороговые зоны сенсора; *д* — другая схема сенсорной кнопки; *е* — эскиз контакта; *ж* — сенсорная кнопка с фильтром помех

соотношение выполняется тем лучше, чем точнее соблюдается пропорция: R3/R1=R4/R2. Период T рекомендуется выбирать более 400 нс. При номиналах элементов R1=R3=300 кОм, R3=R4=1 МОм, C1=C2=680 пФ (расчетный период T=450 мкс), частота выходного меандра изменяется на 33 %, если напряжение питания увеличивается от 3,3 до 15 В.

На рис. 2.21, *б* изображена схема генератора пачки импульсов. В этой схеме, построенной на микросхеме К176ЛЕ5, элементы DD1.1, DD1.2 работают как ждущий мультивибратор. Длительность его выходного импульса Б (см. диаграмму, рис. 2.20, *в*) примерно равна 1,4 R_2C_2 (запускающий импульс А положительный, длительность более 0,2 мкс). Элементы DD1.3, DD1.4 включены как мультивибратор-автогенератор, его работа разрешается напряжением высокого уровня. Период частоты генерации пачки (сигналы Г и Д — взаимно инверсные)

определяется номиналами элементов R1 и C1. Такую схему можно использовать как генератор тональных сигналов вызова или тревоги.

На рис. 2.21, *г*, *д* показаны две простейшие схемы затягивания импульсов (т. е. ждущие мультивибраторы, ЖМ). Первый из них (рис. 2.21, *г*) построен на элементе И (можно снабдить элемент $\overline{\text{И}}$ инвертором), он затягивает входной отрицательный импульс до длительности $\tau = (2/3)\ RC$; нормальный выходной уровень — высокий. Второй ЖМ (рис. 2.21, *д*) содержит элемент ИЛИ, его нормальный выходной уровень — низкий, выходной затянутый импульс — положительный, причем $\tau = (2/3)\ RC$. Можно использовать элемент $\overline{\text{ИЛИ}}$ с инвертором.

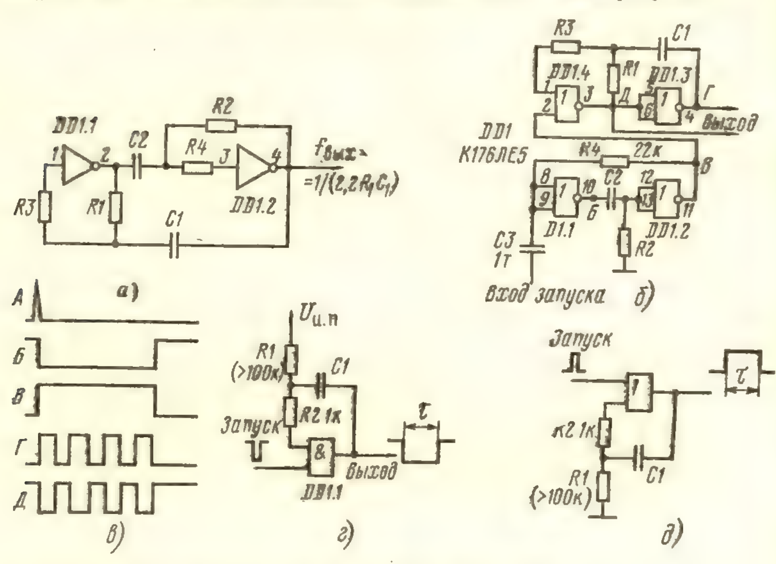


Рис. 2.21. Мультивибраторы на инверторах КМОП:

а — генератор симметричного меандра; *б* — генератор пачки импульсов; *в* — процессы в схеме генератора пачки; *г*, *д* — ждущие мультивибраторы

С помощью цифровых ключей можно построить аналоговые схемы с довольно сложными функциями. Как примеры, на рис. 2.22, *а*, *б* показаны два АЦП. На рис. 2.22, *а* приведен четырехразрядный АЦП. Инверторы непосредственно на своих выходах дают код от младшего (МЗР) до старшего значащего разряда — СЗР. Недостатком этой простой схемы является необходимость иметь высокоточные резисторы с прогрессивно увеличивающимися номиналами. Из-за этого трудно реализовать возможность наращивания числа разрядов. На рис. 2.22, *б* показана сходная с предыдущей схема четырехразрядного АЦП. В обоих устройствах можно использовать либо одиночные инверторы К561ЛН2, либо микросхему $\overline{\text{И}}$ (К561ЛА7).

Рисунок 2.23 представляет схемы усилителя и автогенераторов. На рис. 2.23, *а* показан простейший усилитель переменного напряжения

с коэффициентом усиления R2/R1=10. Точность этого значения K_U составляет примерно 1 %, что соответствует усилению линейки из трех инверторов (примерно 20^3). Линейка находится в усилительном режиме за счет петли отрицательной обратной связи (через R2) по постоянному току, охватывающей три инвертора.

Если число инверторов четное (2 или 4), резистор положительной обратной связи создает условия автогенерации. На рис. 2.23, *б* показана схема простого, так называемого функционального автогенератора, который выдает на выходах разные, но сфазированные сигналы: последовательность прямоугольных импульсов $U_{вых1}$, последовательность треугольных импульсов $U_{вых2}$, «синусоидальный» сигнал $U_{вых3}$.

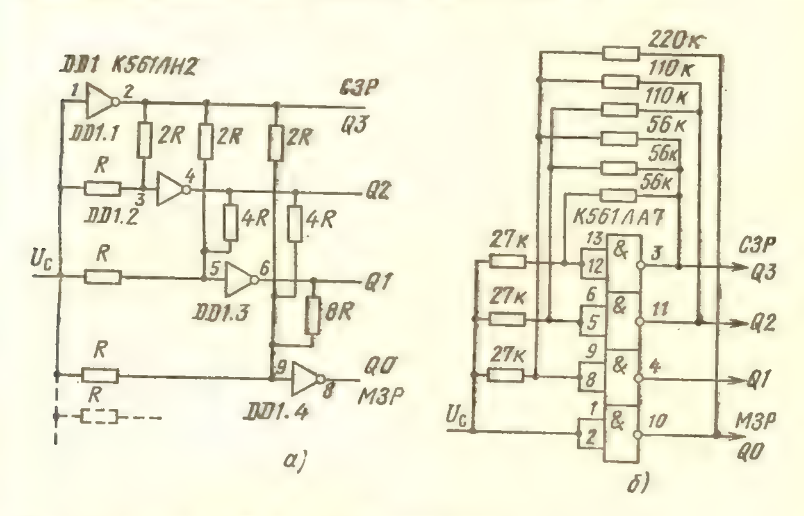


Рис. 2.22. Схемы АЦП на КМОП-инверторах:

а — четырехразрядный с делителями потенциалов; *б* — то же с суммированием токов

Инверторы DD1.1, DD1.2 образуют мультивибратор-автогенератор прямоугольных импульсов (скважность регулируется потенциометром R1). Инвертор DD1.3 интегрирует прямоугольные импульсы. Желаемая форма выходных треугольников (зависит от частоты и скважности входного сигнала) устанавливается переменным резистором R6 (удобнее потенциометр с логарифмической характеристикой регулирования). Инвертор DD1.4 работает как усилитель с усилением $K_U = -(R_8/R_7) = -1$. Примерно синусоидальный сигнал получится за счет некоторого сглаживания (фильтрации) треугольного напряжения. Можно подключить дополнительные конденсаторы (например, параллельно R_8), создав фильтр первого или второго порядка.

На рис. 2.23, *в* показан автогенератор-преобразователь напряжения. Он может быть полезен, если среди микросхем ТТЛ (питание 5 В) используются «чужеродные» элементы (например, операционные усилители, компараторы, микросхемы КМОП). Здесь элементы DD1.1, DD1.2—

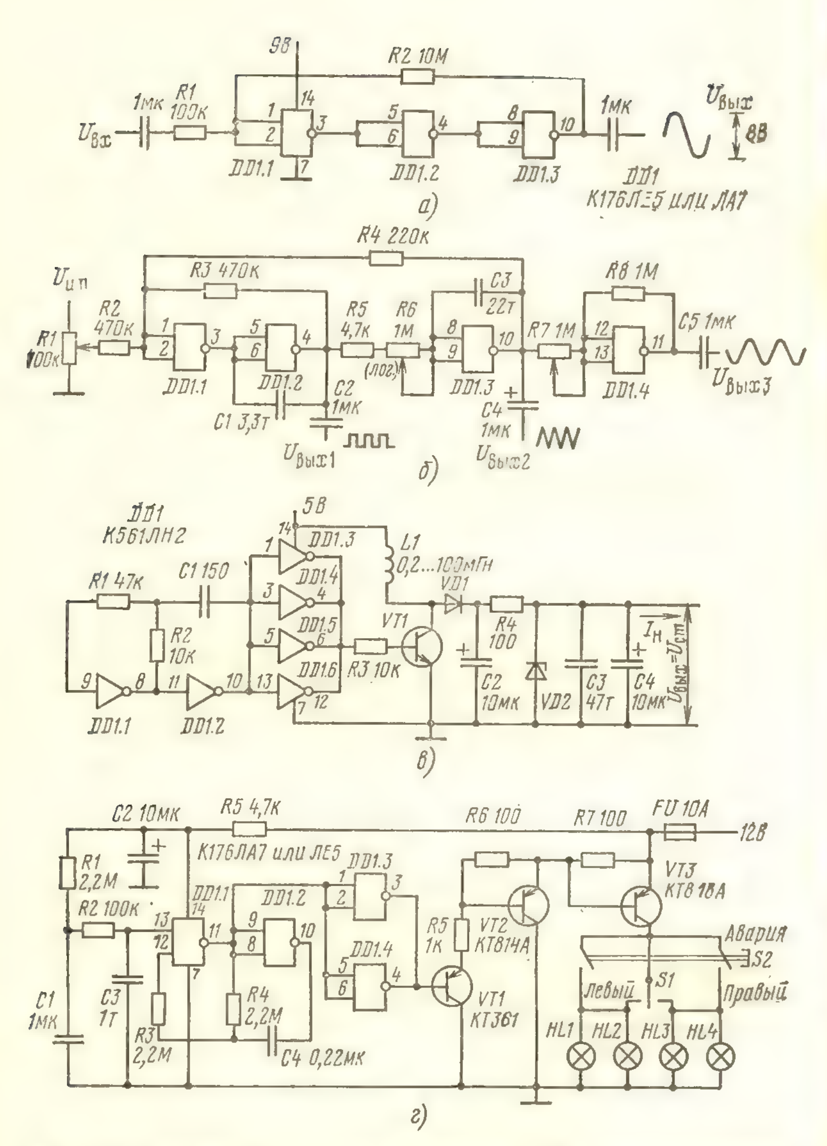


Рис. 2.23. Усилитель переменного напряжения (*а*), функциональный генератор (*б*), преобразователь напряжения (*в*), указатель поворотов (*г*)

основа мультивибратора-автогенератора. Инверторы DD1.3—DD1.6 соединены параллельно, чтобы дать достаточный импульсный ток раскачки ключевому транзистору VT1. Выходное напряжение схемы $U_{вых}$ определяется напряжением $U_{ст}$ на стабилитроне VD2. Диод VD1 выпрямительный.

Как пример полезной самоделки, на рис. 2.23, *г* показана схема указателя поворотов для автомобиля или мотоцикла. Переключатель S1 должен иметь нейтральное положение. С его помощью обозначаются повороты налево и направо. Двойная кнопка S2 (с фиксацией) нажимается при аварии. В этом случае лампочки-индикаторы поворотов будут мигать вместе. Применив экономичные лампы и батарейку, можно снабдить таким указателем поворотов велосипед.

2.5 ПРЕОБРАЗОВАТЕЛИ УРОВНЕЙ ЛОГИЧЕСКИХ СИГНАЛОВ

Существует несколько типов микросхем КМОП, содержащих от четырех до шести каналов (с инверсией или без инверсии), предназначенных для согласования логических уровней КМОП (напряжение высокого уровня 3...15 В, низкого — нуль) и ТТЛ (напряжение высокого уровня не менее 2,3 В, низкого — не более 0,3 В). Номенклатура преобразователей уровней перечислена табл. 2.7. Заметим, что большинство этих

Таблица 2.7. **Преобразователи уровней логических сигналов**

Серия	Обозначение	Номер микросхемы					
		1	2	3	4	5	6
К176	ПУ	+	+	+		+	
К561					+		К561
CD4000A	—	—	09	10	50	—	—
CD4000B	—	—	09	10	50	—	109

схем преобразует уровни от КМОП к ТТЛ. Как указывалось, инверторы К561ЛН1 и К561ЛН2 также можно использовать для преобразования уровней КМОП—ТТЛ.

Преобразователь уровней от КМОП к ТТЛ К176ПУ1 содержит пять инверторов (рис. 2.24, *а*). Для него требуется два источника питания: 5 В (вывод 1) и 9 В (вывод 14). Шесть преобразователей логических уровней от КМОП к ТТЛ содержит микросхема К176ПУ2 (рис. 2.24, *б*). Эти инверторы можно использовать также в тех устройствах логики КМОП, где требуются большие выходные токи $I^1_{вых}$ и $I^0_{вых}$ (например, при перезарядке нагрузочной емкости).

Шесть преобразователей без инверсии расположено в корпусе К176ПУ3 (рис. 2.24, *в*). В качестве замены К176ПУ2 можно применить К561ЛН2, а вместо ПУ3 — преобразователь К561ПУ4 во всех схемах. Нагрузочная способность схем ПУ2 и ПУ3 — два ТТЛ-входа ($I^0_{вых}$= 3,2 мА). Микросхемам К176ПУ1 — К176ПУ3 требуется два напряжения

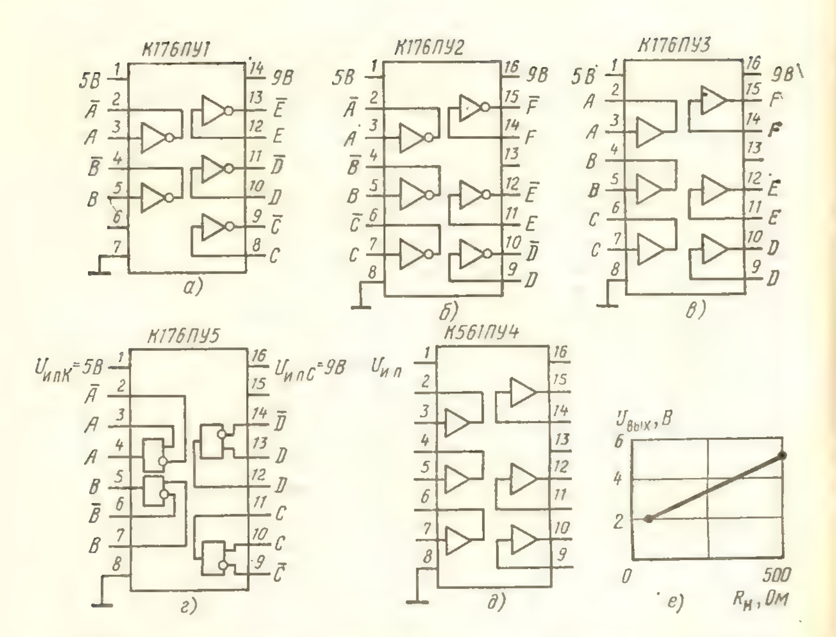


Рис. 2.24. Преобразователи уровней логических сигналов от КМОП к ТТЛ:

а — К176ПУ1; *б* — К176ПУ2; *в* — К176ПУ3; *г* — ПУ5; *д* — К561ПУ4; *е* — нагрузочная способность ПУ4

питания. На вывод 1 подается питание для ТТЛ-части $U_{и.пК}=5$ В, на вывод 16 (или 14) — питание для КМОП-транзисторов, т. е. $U_{и.пС}=$ $=9$ В. Время переходного процесса преобразования уровней (от низкого к высокому) не превышает 50...100 нс, от высокого к низкому 16...40 нс. Каждый из четырех преобразователей уровней КМОП-ТТЛ, входящих в микросхему К176ПУ5 (рис 2.24, *г*), отличается комплементарными выходами. Для ПУ5 также требуется два источника питания.

Микросхема К561ПУ4 (рис. 2.24, *д*) содержит шесть преобразователей уровней — буферных усилителей. По параметрам и применяемости она сходна с К561ЛН2 (шесть инверторов, рис. 2.15, *г*) и работает так же, как ЛН2 от одного источника питания. Вывод корпуса 16 свободный. Канал К561ПУ4 обеспечивает импульсы выходных токов $I^0_{вых}$ и $I^1_{вых}$ для двух ТТЛ-нагрузок.

Микросхема К564ПУ6 (рис. 2.25, *а*) содержит четыре канала сдвига логических уровней (СУ) от низкого напряжения к высокому. На микросхему подают два напряжения питания: на вывод 1 — коллекторное $U_{и.пК}=5$ В, на вывод 16 — стоковое $U_{и.пС}$ до 15 В. В этом случае получается преобразование логических уровней ТТЛ в уровни КМОП. Входные данные (ТТЛ) подаются на входы A—D, выходные (КМОП) выделяются на выходах Q_A—$Q_Д$. Каждый каскад СУ имеет также вхо-

ды разрешения EA—ED. В табл. 2.8 перечислены все состояния входов и выходов этой микросхемы. Преобразование ТТЛ-КМОП (без инверсии данных) разрешается при высоких уровнях на входах EA—ED. При низком уровне на входе разрешения соответствующий выход данных переходит в разомкнутое состояние Z.

Разрешающие импульсы должны быть низковольтными. Диаграммы выходных сигналов данного ПУ показаны на рис. 2.26. Выходной сигнал

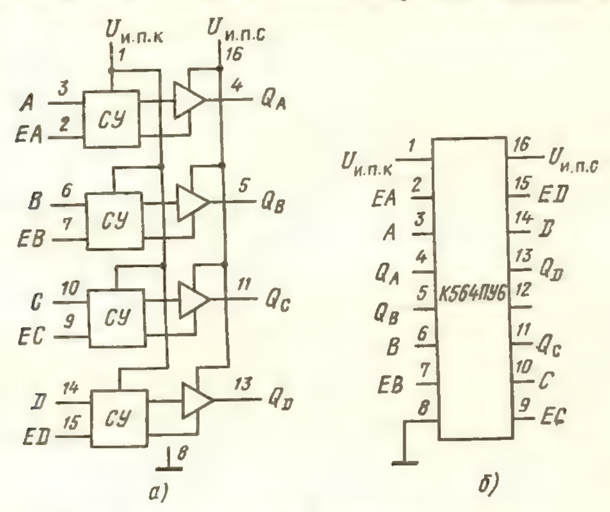


Рис. 2.25. Преобразователь уровней логических сигналов от ТТЛ к КМОП ПУ6:

а — схема (СУ — сдвиг уровня); *б* — цоколевка

Таблица 2.8. Состояния преобразователя высокого логического уровня в низкий (микросхема К564ПУ6)

Вход		Выход (Q_A, Q_B, Q_C, Q_D)
A, B, C, D	EA, EB EC, ED	
Н	В	Н
В	В	В
x	Н	Z

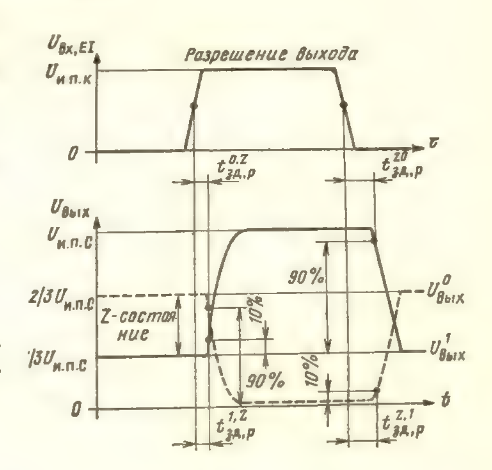


Рис. 2.26. Диаграмма сигналов в схеме К564ПУ6

канала ПУ переключается либо к высокому уровню (если на входе — высокий, сплошная линия), либо к низкому (если на входе — низкий, штриховая линия). При этом значения времени задержки распространения от уровней «разомкнуто» (Z) до высокого (В) или низкого (Н) составят: $t^{0,z}_{зд,р}=375$ нс, $t^{1,z}_{зд,р}=60$ нс, $t^{z,0}_{зд,р}=110$ нс и $t^{z,1}_{зд,р}=325$ нс. Времена формирования сигнала при этом: $t^{1,0}_{зд,р}=300$ нс и $t^{0,1}_{зд,р}=115$ нс. Для К564ПУ6 нет ограничений последовательности включения питающих напряжений $U_{и.пК}$ и $U_{и.пС}$ и подачи входных сигналов. Микросхему можно эксплуатировать при условии $U_{и.пК}>U_{и.пС}$, что соответствует преобразованию от высокого уровня к низкому. Цоколевка К564ПУ7 и К564ПУ8 показана на рис. 2.15, *г—д* (преобразователи ТТЛ — КМОП).

2.6. КОММУТАТОРЫ ЦИФРОВЫХ И АНАЛОГОВЫХ СИГНАЛОВ

Поскольку канал полевого транзистора размыкается и замыкается при изменениях управляющего потенциала и затвор тока управления не потребляет, полевой ключ может разрывать последовательные электрические цепи. Такой электронный контакт и цепь его нагрузки с источником управляющего потенциала гальванически не связаны. На этом основан принцип как одиночного ключа коммутации (см. рис. 2.14), так и многопозиционных полупроводниковых переключателей (так называемых коммутаторов).

Коммутаторы могут иметь много входов и один выход или быть дифференциальными. Дифференциальный канал коммутации посылает выбранный сигнал из двухвходовых проводов в два выходных. По-другому, такой коммутатор обслуживает дифференциальные источники сигналов, передавая токи на дифференциальный приемник.

Для коммутаторов КМОП важно, что их электронные контакты двунаправленные: сигнал можно подать на выход коммутатора (это теперь одиночный вход), и, выбрав адрес, направить ток на один из многих выходов (номинально — это входы). Коммутаторы КМОП пропускают как аналоговые, так и цифровые сигналы. В последнем случае одна и та же микросхема может работать как цифровой мультиплексор и демультиплексор. Номенклатура коммутатора КМОП сведена в табл. 2.9.

Микросхемы К176КТ1 и К561КТ3 — это четырехканальные коммутаторы цифровых и аналоговых сигналов, которые имеют одинаковую функциональную схему и цоколевку (рис. 2.27). Каждый ключ имеет вход и выход сигнала, а также вход разрешения прохождения сигнала EI. Эквивалентная схема ключа — однополюсная, т. е. только на замыкание электронного контакта. Здесь управляющей «кнопкой» служит вход EI.

Канал проводимости в этих коммутаторах двунаправленный. Для микросхемы К176КТ1 сопротивление канала составляет примерно 500 Ом (при уровне открывающего напряжения 9 В на входе EI), причем степень идентичности сопротивлений каналов может достигать ±10 Ом. Канал пропустит цифровые уровни с амплитудой до $U_{и.п}$ либо аналоговые с амплитудой (от пика до пика) до $U_{и.п}/2$. При нагрузке 10 кОм на частоте 10 кГц отношение сигналов на выходе канала в замкнутом и разомкнутом состояниях не хуже 65 дБ. Степень изоля-

Таблица 2.9. Коммутаторы цифровых и аналоговых сигналов (КТ) и селекторы-мультиплексоры (КП)

Серия	Обозначение	Номер микросхемы	
К176 К561	КТ	1 —	— 3
CD4000A CD4000B	Коммутатор Коммутатор	16 16	16 —
К561	КП	1	2
CD4000B	Селектор	52	51

ции управляющей цепи EI от канала соответствует сопротивлению 10^{12} Ом. Прохождение сигнала с частотой 900 кГц (при нагрузке 1 кОм) из канала в канал оценивается величиной—50 дБ. Время задержки распространения сигнала в канале 10...25 нс. Коммутатор К176КТ1 можно применить в следующих аналоговых узлах: переключатели-мультиплексоры, ключи выборки сигнала, прерыватели-модуляторы для операционных усилителей, коммутационные ключи, модуляторы-демодуляторы.

С помощью ключей К176КТ1 можно строить коммутаторы для ЦАП

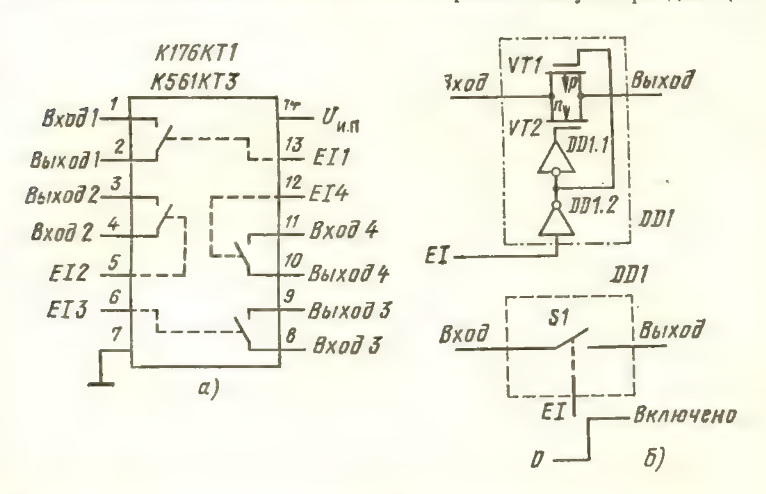


Рис. 2.27. Четырехканальные коммутаторы цифровых и аналоговых сигналов:

а — эквивалентная схема и цоколевка коммутаторов К176КТ1 и К561КТ3; *б* — схема и эквивалент одного канала

и АЦП, а также схемы цифрового управления частотой, фазой, коэффициентом усиления сигнала. Удобно делать «врезки» одних сигналов в другие. Для цифровых систем можно строить мультиплексоры и демультиплексоры, а также использовать последовательный ключ в логических схемах, формирующих сложные последовательности импульсов с чередующейся длительностью.

Коммутатор К561КТ3 имеет существенно меньшее сопротивление включенного канала — 80 Ом (согласование между каналами с точностью ±5 Ом), сопротивление входа управления — 10^{12} Ом.

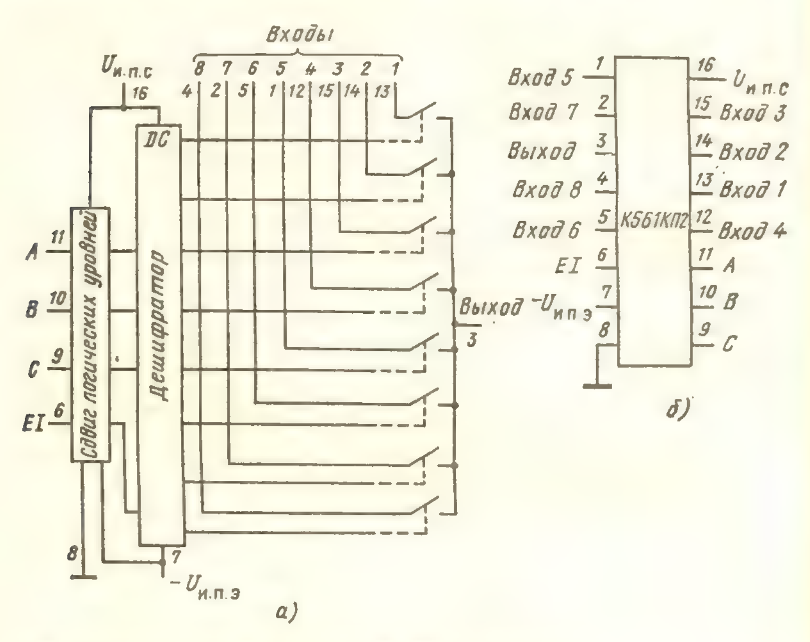


Рис. 2.28. Мультиплексор-демультиплексор К561КП2:

а — схема; *б* — цоколевка

Микросхемы К561КП2 (рис. 2.28) и **К561КП1** (рис. 2.29) — демультиплексоры, содержащие восемь каналов коммутации цифровых и аналоговых сигналов. Микросхема КП2 (рис. 2.28, *а*) имеет восемь входов и один выход; у микросхемы КП1 те же восемь каналов организованы как четырехканальный дифференциальный коммутатор (рис. 2.29, *а*). Обе микросхемы имеют два вывода питания: положительное $U_{и.пС}$ подается на вывод 16, а вывод 7 может быть подано отрицательное напряжение — $U_{и.пЭ}$.

Восьмиканальный вариант управляется трехразрядным входным кодом (A, B, C), четырехразрядный — двухразрядным кодом (A, B). Обе схемы имеют вход разрешения EI. Если на нем присутствует высокий уровень, все каналы размыкаются. Номер включенного канала, соответ-

Таблица 2.10. **Управление каналами в микросхемах ПУ2 и ПУ1**

Вход ПУ2				Включен канал ПУ2	Вход ПУ1				Включен канал ПУ1
EI	C	B	A		EI	C	B	A	
Н	Н	Н	Н	1	Н	—	Н	Н	(1A, 1B)
Н	Н	Н	В	2	Н	—	Н	В	(2A, 2B)
Н	Н	В	Н	3	Н	—	В	Н	(3A, 3B)
Н	Н	В	В	4	Н	—	В	В	(4A, 4B)
Н	В	Н	Н	5	В	—	x	x	—
Н	В	Н	В	6					
Н	В	В	Н	7					
Н	В	В	В	8					
В	x	x	x	—					

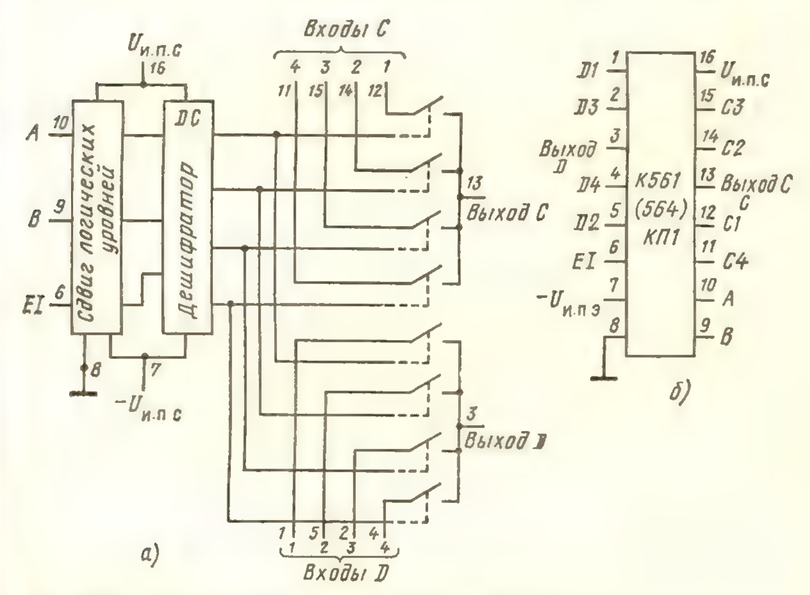


Рис. 2.29. Мультиплексор-демультиплексор К561КП1:

а — схема; *б* — цоколевка

ствующий коду входов, можно определить по табл. 2.10. Сопротивление включенного канала при $U_{и.пС}=5$ В находится в пределах 0,5...2,5 кОм, при $U_{и.пС}=15$ В оно существенно уменьшается (0,13...0,28 кОм). Время задержки распространения сигнала в канале не превышает 30 нс.

На рис. 2.30, *а* показано однополярное включение для КП1 и КП2. Согласно рис. 2.30, *б*, если на вывод 7 подать отрицательное напряже-

ние питания — $U_{и.пЭ}$, получим возможность пропускать симметричный двухполярный аналоговый сигнал. В данном случае его амплитуда (от пика до пика) сможет достигать ±7,5 В, т. е. от $-U_{и.пЭ}$ до $U_{и.пС}$. Адресные и логические сигналы в любом из этих режимов должны иметь в качестве нуля — напряжение низкого уровня.

На рис. 2.30, *в* показан особый пример применения дифференциального коммутатора КП1. От источников U1—U4, не имеющих общей точки, сигналы через коммутатор-мультиплексор попадают на дифференциальный усилитель сигналов линии, далее проходят по двухпроводной линии связи на дифференциальный приемник и коммутатор-демультиплексор, на выходах которого последовательно получаем выборки сигналов U1—U4. Таким способом уплотняют сигналы в двухпроводной линии (здесь: четыре сигнала передаем по одной линии).

2.7. ТРИГГЕРНЫЕ МИКРОСХЕМЫ КМОП

Среди микросхем КМОП присутствуют все типы триггеров: RS, D и JK (см. табл. 2.11). Наиболее популярны D-триггеры, причем в мик-

Таблица 2.11. **Микросхемы КМОП: RS-триггеры (ТР), D-триггеры (ТМ) и JK-триггеры (ТВ)**

Серия	Обозначение	Номер микросхемы		
К561	ТР	2	—	—
CD4000B	RS-триггер	43	—	—
К176 К561	ТМ	1 —	2 —	— 3
CD4000A, B	D-триггер	—	13	42
К176 К561	ТВ	1 1	— —	— —
CD4000A, B	JK-триггер	27	—	—

росхемах ТМ1 и ТМ2 их содержится по два, а в ТМ3 — четыре. Микросхема ТВ1 содержит два наиболее универсальных JK-триггера.

Микросхема К561ТР2 (рис. 2.31) содержит четыре RS-триггера (DD1.1—DD1.4), что удобно для накапливания 4-разрядных двоичных слов. Выходы каждой защелки имеют третье Z-состояние. Сигнал разрешения — общий для четверки триггеров подается на вход EI. Если на этом входе нулевой уровень, выходы размыкаются (переходят в Z-состояние).

Каждый триггер состоит из RS-защелки (два инвертора $\overline{ИЛИ}$), инвертора и ключа коммутации КК (см. рис. 2.14), который управляется

от шин E и $\overline{E}$, объединяющих все четыре канала. Триггер имеет два входа данных R и S. Все состояния триггерного канала (рис. 2.31, *а*) сведены в табл. 2.12. Низкие уровни на входах S и R не меняют состояние выхода Q. Если S=1 и R=1, триггер эту информацию не защелкивает, но на выходе Q транслируется сигнал S=1 (пока он присутствует). Время задержки распространения сигнала для триггера К561ТР2 не превышает 200 нс, время перехода к состоянию Z не более 100 нс.

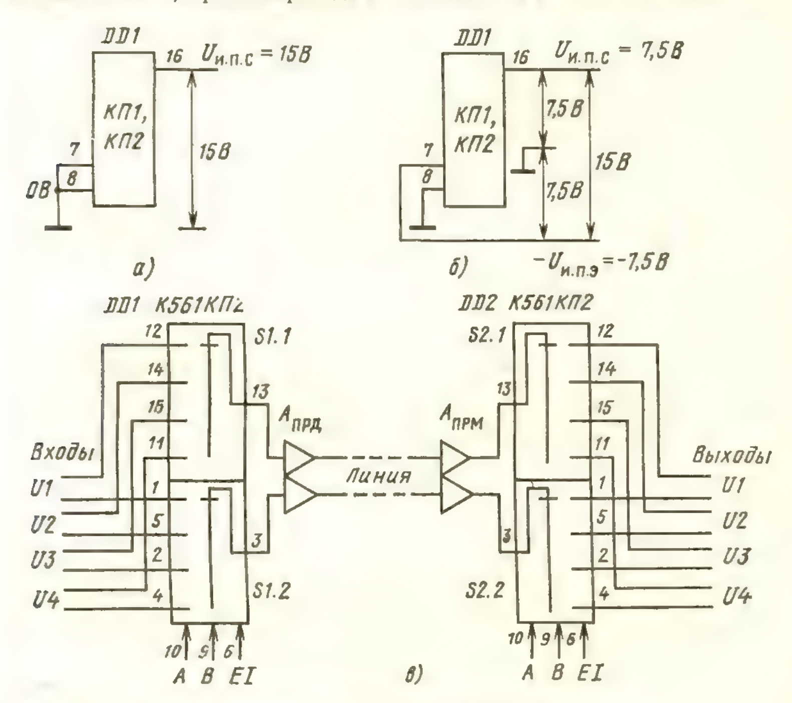


Рис. 2.30. Схемы включения К561КП1 и К561КП2:

а — для коммутации однополярных сигналов; *б* — для коммутации двухполярных сигналов; *в* — схема передачи сигналов в двухпроводную линию дифференциальным коммутатором К561КП1

На рис. 2.32 показаны применения RS-защелок. Схема (рис. 2.32, *а*) позволяет устранить последствия дребезга, возникающего при переключении контакта S1, т. е. возможные ложные импульсы записи единицы в логическое устройство. Применив RS-триггер DD1.1 и двухполярный переключатель S1, получим на выходе гарантированный единственный импульс записи.

На рис. 2.32, *б* показано устройство последовательной загрузки данных от четырех шин данных A—D в общую, выходную. Например, по команде $\overline{\text{Загрузка B}}$ (активный уровень — низкий) данные от выбранной сейчас входной шины B проходят через четыре усилителя мик-

росхемы DD2, фиксируются четырьмя триггерами микросхемы DD6, если на входе разрешения этой шины EIB присутствует высокий уровень. На входах разрешения EIA, EIC, EID должны присутствовать низкие уровни, размыкающие выходы (следовательно, сигналы Загрузка В и Разрешение EIB должны быть инверсными). Выходные сигналы передаются в четырехпроводную шину через инверторы, содержащиеся в микросхеме DD9 К561ЛН2. Зафиксированные в DD6 данные можно на определенное время сохранить. Общий сброс дается по входам R (положительный уровень).

Таблица 2.12. **Состояния RS-защелки в микросхеме К561ТР2**

Вход			Выход Q_n
EI	S_n	R_n	
Н	х	х	Z
В	В	Н	В
В	Н	В	Н
В	В	В	В
В	Н	Н	Не меняется

Микросхемы К176ТМ1 и К176ТМ2 показаны на рис. 2.33. Каждая из них содержит по два D-триггера, причем триггер в ТМ1 имеет только вход сброса R, а в ТМ2 есть оба входа асинхронного управления: R и S. Структурная схема одного D-триггера показана на рис. 2.33, *а*. Все состояния триггера ТМ2 сведены в табл. 2.13. Триггер переключается по положительному перепаду на тактовом входе С, при этом логический уровень, присутствующий на входе D, передается на выход Q.

Таблица 2.13. **Состояния D-триггера из микросхемы К176ТМ2**

Вход				Выход	
Синхронный		Асинхронный			
C	D	R	S	Q	$\bar{Q}$
↑	Н	Н	Н	Н	В
↑	В	Н	Н	В	Н
х	х	В	Н	Н	В
х	х	Н	В	В	Н
х	х	В	В	В	В

Таблица 2.14. **Управление триггером в микросхеме К561ТМ3**

Вход		Выход Q
C	P	
Н	Н	Трансляция D
↑	Н	Фиксация D
В	В	Трансляция D
↓	В	Фиксация D

Входы сброса R и установки S триггера независимы от тактового входа С и имеют высокие активные уровни. Максимальная тактовая частота может достигать 5 МГц, но время фронта тактового сигнала не должно превышать 5 мкс (см. рис. 2.7, *г*). С другой стороны, длительность тактового импульса должна быть более 100 нс. Время установления выходных данных — более 25 нс.

Микросхема К561ТМ3 (рис. 2.34) содержит четыре D-триггера, каждый из которых имеет индивидуальный вход D и два выхода Q и $\bar{Q}$. Однако вход тактового импульса С общий. Кроме того, имеется

общий вход переключателя полярности P. Если на входе P — низкий уровень, информация от входа D появится на выходе Q во время низкого уровня тактового импульса C. Если на входе P — высокий уровень, передача данных будет иметь место при высоком уровне на входе C.

Если на входе C наблюдается перепад (положительный при P=0 и отрицательный при P=1), информация, присутствующая во время это-

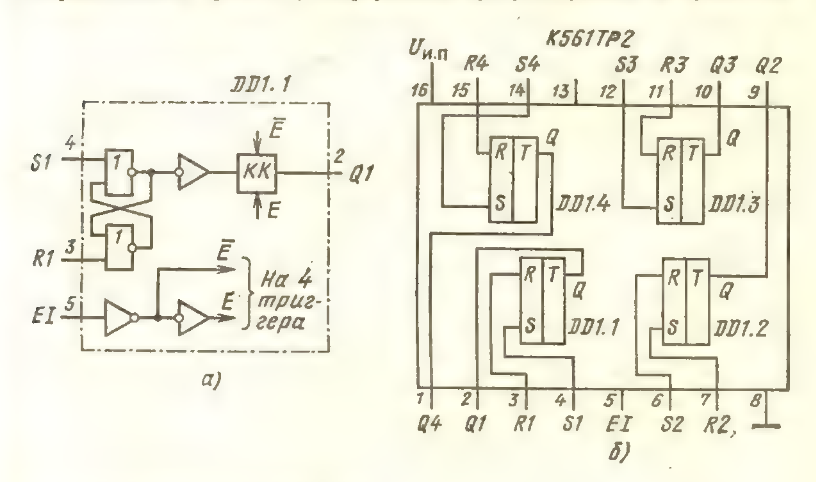


Рис. 2.31. Микросхема К561ТР2:

а — схема одной RS-защелки со входом разрешения EI; *б* — цоколевка

Таблица 2.15. **Состояния триггера в микросхемах К176 и К561ТВ1**

Предыдущее состояние					C	Следующее состояние выхода	
входа				выхода			
J	K	S	R	Q		Q	$\bar{Q}$
В	Н	Н	Н	Н	_|‾	В	Н
В	Н	Н	Н	В	_|‾	В	Н
Н	В	Н	Н	Н	_|‾	Н	В
Н	В	Н	Н	В	_|‾	Н	В
В	В	Н	Н	х	_|‾	Счет	
х	х	В	Н	х	х	В	Н
х	х	Н	В	х	х	Н	В
х	х	В	В	х	х	В	В
						Не фиксируется	

го перепада на входе D, задерживается до прихода тактового импульса противоположной полярности. Сигналы управления каждым триггером в К561ТМ3 сведены в табл. 2.14. Длительность тактового импульса должна превышать 120 нс, время хранения состояния триггера также более 120 нс.

Микросхемы К176ТВ1 и К561ТВ1 (рис. 2.35) состоят из двух независимых JK-триггеров. Схема одного триггера представлена на рис.

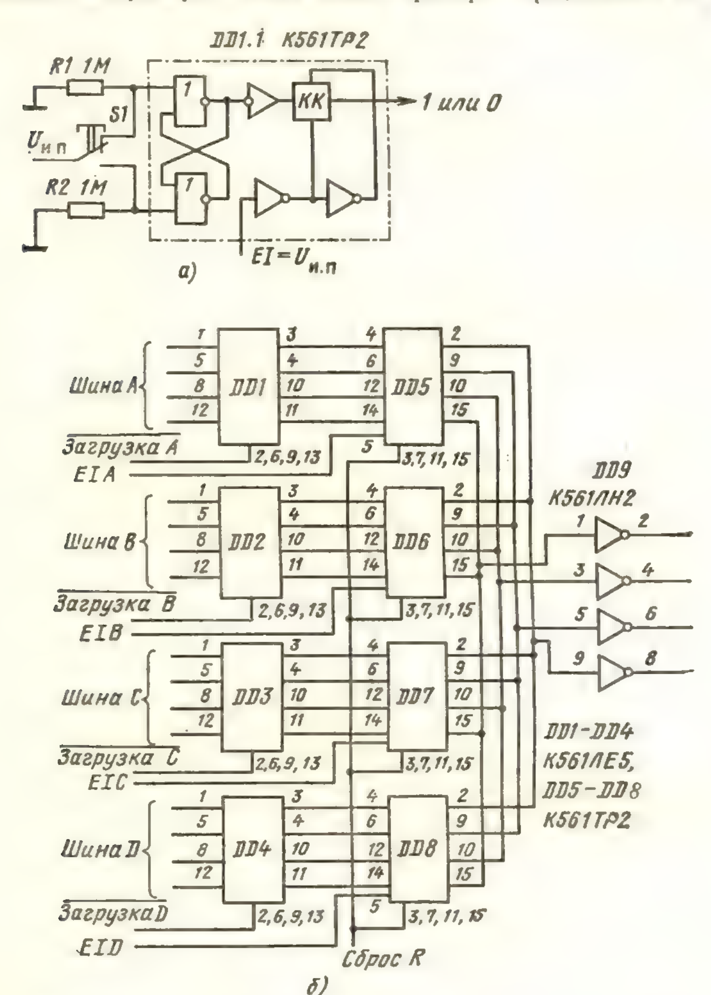


Рис. 2.32. Применение RS-защелок:

а — контакт без дребезга; *б* — устройство загрузки данных от четырех шин в общую

Рис. 2.33. Микросхемы с двумя D-триггерами:
а — схема одного D-триггера; *б* — цоколевка К176ТМ1; *в* — цоколевка К176ТМ2

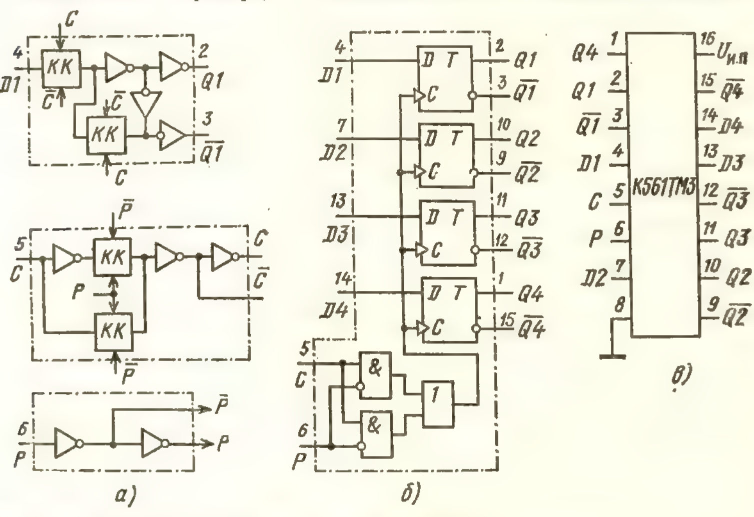


Рис. 2.34. Микросхема с четырьмя D-триггерами:
а — схема одного D-триггера, схемы распределения тактовых импульсов C и импульсов полярности P; *б* — структурная схема К561ТМ3; *в* — цоколевка ТМ3

2.35, *а*. Триггер имеет асинхронные входы R и S, два выхода Q и $\overline{Q}$. Данные можно подать на синхронные входы J и K согласно первым четырем строкам табл. 2.15. Сигнал, поданный на вход J или K, появится на выходах Q и $\overline{Q}$ после прихода на тактовый вход C положительного перепада. Отрицательный перепад на входе C на информацию триггера не влияет.

Последние три строки табл. 2.15 отображают действие асинхронных входов S и R. Пока на этих входах присутствуют напряжения высокого уровня, на выходах Q и $\overline{Q}$ также будут напряжения высокого уровня.

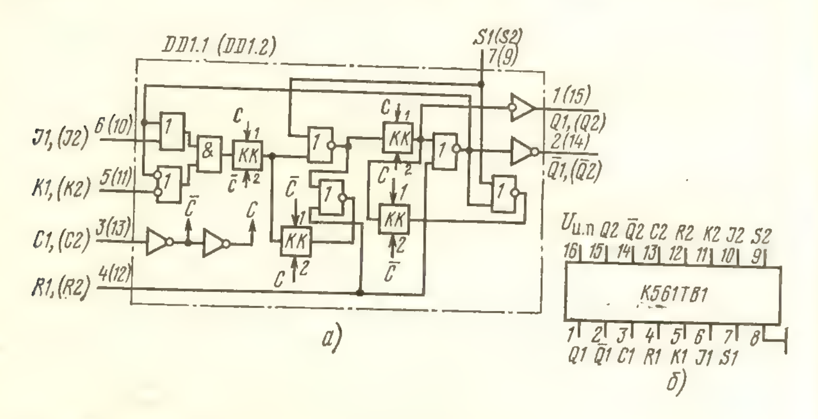


Рис. 2.35. Микросхема с двумя JK-триггерами:

а — схема одного JK-триггера; *б* — цоколевка К561ТВ1

Максимальная тактовая частота для триггера из микросхемы К561ТВ1 составляет 3 МГц (режим Т-переключателя, делителя частоты в два раза). Длительность тактового импульса должна превышать 170 нс, однако время нарастания и спада его фронта не должно быть более 5 мкс. Длительность импульсов S и R — не менее 120 нс.

2.8. СЧЕТЧИКИ-ДЕЛИТЕЛИ КМОП

В данном параграфе рассмотрим 11 типов микросхем КМОП среднего уровня интеграции, необходимых для счета импульсов и деления частот. Номенклатура счетных микросхем сведена в табл. 2.16. Счетчики-делители составляют несколько групп. Например, счетчики ИЕ3—ИЕ5 предназначены для построения схем электронных секундомеров, часов, таймеров. Их можно использовать, например, для обслуживания индикаторов цифровых мультиметров, термометров. Счетчики ИЕ8 и ИЕ9 имеют дешифрированные выходы (10 и 8 соответственно). Счетчики ИЕ11 и ИЕ14 однотипные четырехразрядные, реверсивные. Разнообразные возможности деления частот открывает применение счетчиков

Таблица 2.16. **Счётчики КМОП**

Серия	Обозначение	Номер микросхемы											
		2	3	4	5	8	9	10	11	14	15	16	19
К176	ИЕ	+	+	+	+	+							
К561						+	+	+	+	+	+	+	+
CD4000A	—	—	—	—	—	17	22	—	—	29	59	20	18
CD4500B	—	—	—	—	—	—	—	20	16	—	—	—	—

ИЕ2, ИЕ10, ИЕ16 и ИЕ19. Имеются счетчики асинхронные, синхронные и даже 14-разрядный — ИЕ16.

Микросхема К176ИЕ2 (рис. 2.36, *а*) — счетчик, который может ра-

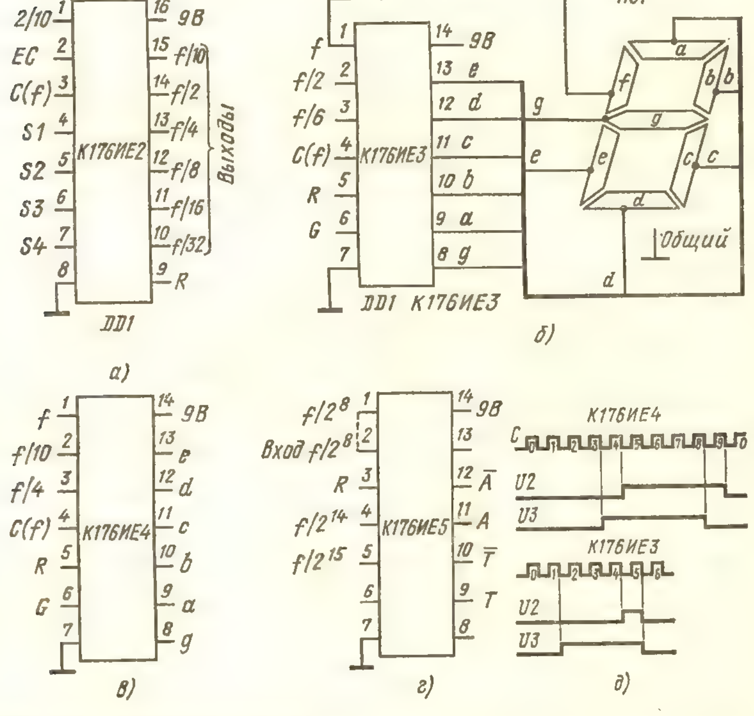


Рис. 2.36. Счетчики-делители:

а — двоично-десятичный К176ИЕ2; *б* — двоичный К176ИЕ3 для семисегментного индикатора; *в* — десятичный К176ИЕ4; *г* — генератор секундных импульсов К176ИЕ5; *д* — диаграмма сигналов ИЕ4 и ИЕ3

ботать как двоичный, так и как десятичный. Счетчик имеет пять двоичных выходов (выводы 10...14) и один десятичный (15). По входам S1—S4 (выводы 4...7) можно записать в счетчик предварительные данные. По входу R счетчику дается асинхронный сброс. На вывод 3 подается сигнал тактовой частоты $C_{(f)}$. По входу $2/\overline{10}$ осуществляется переключение счета. Если на входе $2/\overline{10}$ — высокий уровень, счетчик работает как двоичный; при низком (нулевом) потенциале — как десятичный и на выводе 15 появляются импульсы с частотой f/10.

Простейшее включение счетчика ИЕ2: вывод 2 соединить с выводом 16, а выводы 4, 5, 6, 7, 8 — заземлить. На вывод 3 подать частоту f. На выводах 14, 13, 12, 11, 10 появятся частоты f/2, f/4; f/8, f/16 и f/32 соответственно. Вывод ЕС (т. е. 2) служит для разрешения счета.

Микросхема К176ИЕ3 (рис. 2.36, *б*) —счетчик. Он снабжен дешифратором для «зажигания» элементов семисегментных индикаторов. Тактовая частота f подается на вывод 4. На выводах 2 и 3 получим частоты f/2 и f/6. Выводы 8...13 и 1—это выходы для присоединения к каждому из семи сегментов цифрового индикатора HG1: от *g* до *f* соответственно. Если индикатор светодиодный с общим катодом, вывод 6 счетчика ИЕ3 следует заземлить. Для индикатора с общим анодом вывод 6 присоединяем к 9 В Для электролюминесцентного индикатора на этот вывод G подается модулирующая импульсная последовательность с частотой 32 кГц или 64 кГц (от выводов 11 и 12 счетчика К176ИЕ5). Сброс показаний индикатора в нуль дается по входу R (вывод 5).

Микросхема К176ИЕ4 (рис. 2.36, *в*) — десятичный счетчик. От предыдущего двоичного ИЕ3 он отличается тем, что на выводе 2 выделяется последовательность с частотой f/10, а на выводе 3 — f/4. Назначение счетчиков ИЕ3 и ИЕ4 — обслуживание семисегментных индикаторов в электронных часах и цифровых измерительных приборах.

Микросхема К176ИЕ5 (рис. 2.36,*г*) — счетчик. Он служит генератором секундных импульсов для электронных часов и других программаторов и таймеров. К выводам 9 и 10 непосредственно подключается кварцевый резонатор (либо сюда подается эталонная частота от постороннего генератора). Частота кварцевого резонатора f может быть 16 384 Гц (т. е. 2^{14} Гц) либо 32 768 Гц (т. е. 2^{15} Гц). На буферных выводах 11 и 12 присутствует сформированная и усиленная последовательность с частотой f. На выводе 1 имеется частота $f/2^8$. Вывод 4 дает частоту $f/2^{14}$, а вывод 5—$f/2^{15}$. Таким образом, на выводе 4 будет последовательность секундных интервалов при входной частоте $f=2^{14}$ Гц, а на выводе 5 секундная последовательность появится при $f=2^{15}$ Гц. Чтобы счетчик давал секундную последовательность, выводы 1 и 2 следует перемкнуть, поскольку вывод 2 — это вход частоты $f/2^8$.

Микросхемы К176ИЕ8 и К561ИЕ8 (рис. 2.37) — десятичные счетчики-делители. Они имеют 10 дешифрированных выходов Q0...Q9. Схема счетчиков (рис. 2.37, *а*) содержит пятикаскадный высокоскоростной счетчик Джонсона и дешифратор, преобразующий двоичный код в сигнал на одном из десяти выходов.

Если на входе разрешения счета ЕС присутствует низкий уровень, счетчик выполняет свои операции синхронно с положительным перепадом на тактовом входе С. При высоком уровне на входе ЕС действие тактового входа запрещается и счет останавливается (см. диаграмму сигналов, рис. 2.38, третья линия). При высоком уровне на входе сброса R счетчик очищается до нулевого отсчета.

На каждом выходе дешифратора высокий уровень появляется только на период тактового импульса с соответствующим номером (см. ди-

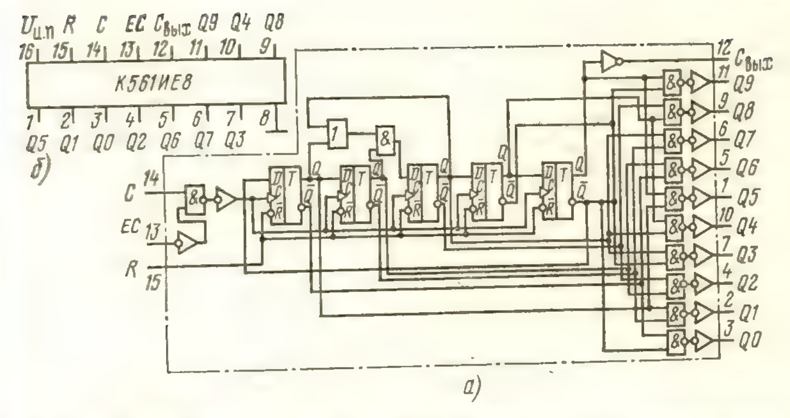


Рис. 2.37. Схема десятичного счетчика К561ИЕ8 *(а)* и его цоколевка *(б)*

аграмму, рис. 2.38). Счетчик имеет выход переноса $C_{вых}$. Положительный фронт выходного сигнала переноса появляется через 10 тактовых периодов и используется поэтому как тактовый сигнал для счетчика следующей декады. Максимальная тактовая частота для счетчика 2 МГц.

Длительность импульса запрета счета должна превышать 300 нс, длительность тактового импульса не должна быть меньше 250 нс. Время действия импульса сброса должно превышать 275 нс. Возможные логические и импульсные состояния счетчика сведены в табл. 2.17.

Таблица 2.17. **Состояния счетчиков К176ИЕ8 и К561ИЕ8**

Вход			Режим
R	C	EC	
В	х	х	Q0=$C_{вых}$=В, Q1—Q9=Н
Н	В	↓	Счетчик работает
Н	↑	Н	» »
Н	Н	х	Код без изменений
Н	х	В	» » »
Н	В	↑	» » »
Н	↓	Н	» » »

На рис. 2.39 показана схема применения счетчика К561ИЕ8 с укороченным циклом. Здесь от выхода N (где 2<N<9) импульс подается на сброс RS-триггера (используются ключи DD2.3 и DD2.4 дополнительной микросхемы К561ЛЕ5). Если N=6, то счетчик ИЕ8 будет работать

C, R, EC, Q0, Q1, Q2, Q3, Q4, Q5, Q6, Q7, Q8, Q9, $C_{вых}$

Такт, $f_т$

Сброс

Запрет такта

Выходы счетчика

Выход переноса

Рис. 2.38. Диаграмма сигналов в счетчике К561ИЕ8

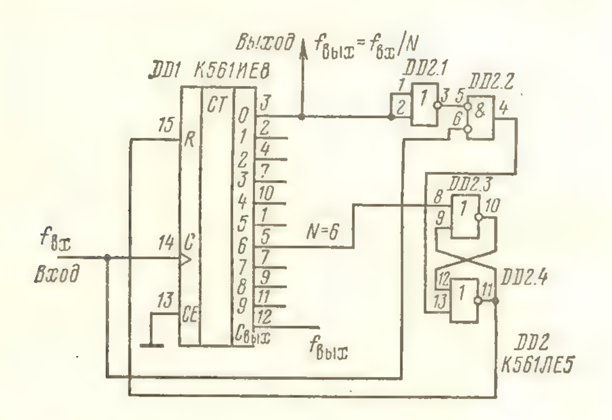


Рис. 2.39. Работа счетчика К561ИЕ8 с укороченным циклом

как делитель на шесть, что необходимо для устройств отсчета секунд и минут для часов. Выходной сигнал с частотой $f_{вых}=f_{вх}/N$ появляется на выходе переноса и используется для запуска следующего каскада. Дополнительный RS-триггер в схеме (рис. 2.39) запускается при совпадении тактового импульса $f_{вх}$ и импульса нулевого отсчета К561ИЕ8. Если выбрано $N<6$, то на выходе переноса $C_{вых}$ не сможет выделиться положительный фронт (см. диаграмму рис. 2.38). В этом случае в качестве сигнала переноса (такт следующему счетчику) используется импульс от выхода Q0.

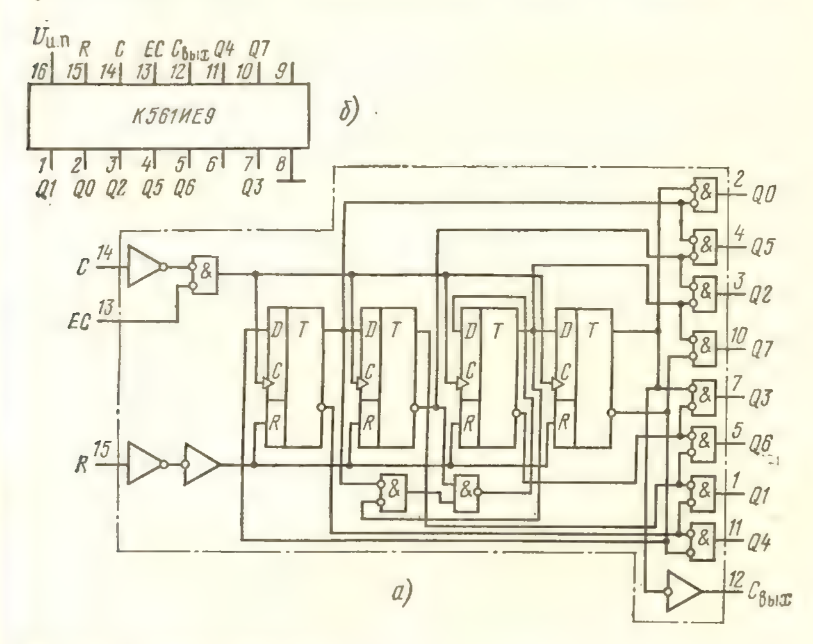


Рис. 2.40. Счетчик-делитель на 8:

а — схема ИЕ9; *б* — цоколевка

Микросхема К561ИЕ9 — счетчик-делитель на 8 (рис. 2.40). Этот счетчик, однотипный с предыдущим, имеет в основе синхронный счетчик Джонсона (используется четыре триггера), который дает повышение скорости счета. При этом в выходных сигналах отсутствуют пики помех. Дешифратор переводит состояния триггера счетчика в восемь выходных, соответствующих счету от 0 до 7. Диаграмма выходных состояний счетчика К561ИЕ9 (рис. 2.41) сходна с диаграммой для ИЕ8 (рис. 2.38) в части действия импульсов: запрет счета и сброс. Сигнал выходного переноса $C_{вых}$ завершает цикл счета при восьмом тактовом импульсе. Положительные фронты импульсов $C_{вых}$ используются как тактовая последовательность для последующего счетчика ИЕ9. Таким образом, двухкаскадное соединение получается асинхронным (второй счетчик работает от пульсаций $C_{вых}$), хотя каждый из счетчиков — синхронный.

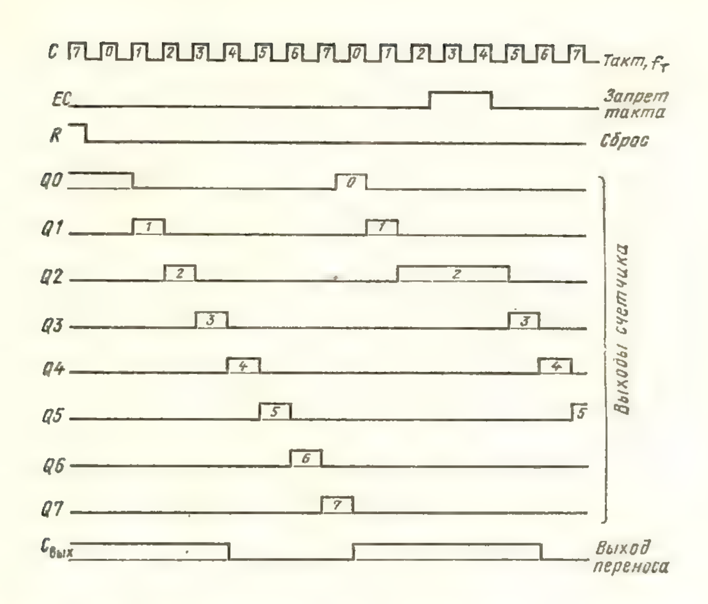


Рис. 2.41. Диаграмма сигналов в счетчике К561ИЕ9

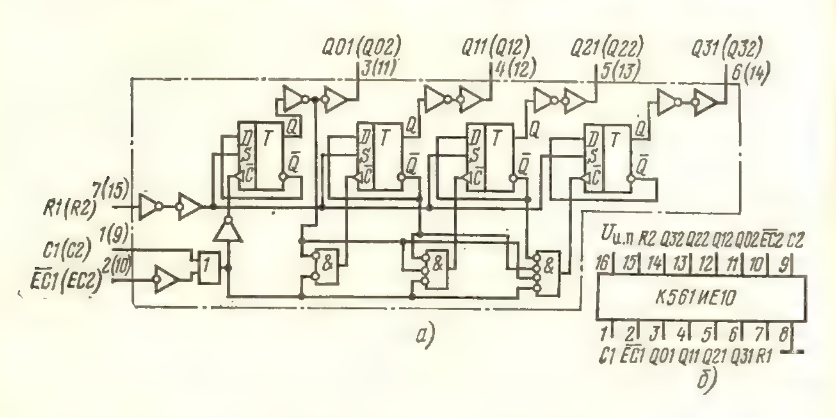


Рис. 2.42. Схема одного счетчика *(а)* и цоколевка двухканальной схемы К561ИЕ10 *(б)*

Логические состояния и импульсные переходы счетчика ИЕ9 сведены в табл. 2.18. Длительность тактового импульса должна быть больше 250 нс, поэтому максимальная тактовая частота — 2 МГц. При напряжении питания 5 В тактовая частота не превышает 0,6 МГц. При напряжении питания 15 В требуется выбрать длительность импуль-

са сброса — более 300 нс, время его последействия составляет 275 нс (при напряжении $U_{и.п}$=5 В — оно окажется равным 1 мкс).

Схема симметричного деления интервалов на число 2<N<8 строится аналогично схеме (рис. 2.39).

Микросхема К561ИЕ10 (рис. 2.42) содержит два синхронных двоичных счетчика-делителя (без дешифраторов). Каждый счетчик основан на четырех D-триггерах (рис. 2.42, *а*). Линии С и $\overline{EC}$ (тактовая и разрешения тактов) взаимозаменяемые, но отличаются противоположными активными уровнями, поэтому можно организовать счет по каждому фронту такта: по положительному и отрицательному.

Таблица 2.18. **Состояния счетчика К561ИЕ9**

Вход			Режим
R	C	EC	
В	x	x	Q0=$C_{вых}$=В, Q1—Q7=Н
Н	В	¯|_	Счетчик работает
Н	_|¯	Н	» »
Н	Н	x	Код без изменений
Н	x	В	» » »
Н	В	_|¯	» » »
Н	¯|_	Н	» » »

Таблица 2.19. **Состояния счетчика из К561ИЕ10**

Вход			Режим
C	$\overline{EC}$	R	
_|¯	В	Н	Счетчик работает
Н	¯|_	Н	» »
¯|_	x	Н	Код не меняется
x	_|¯	Н	» » »
_|¯	Н	Н	» » »
В	¯|_	Н	» » »
x	x	В	Асинхронный сброс

В обычном режиме на вход $\overline{EC}$ следует подавать напряжение высокого уровня, поэтому ход счета окажется синхронным с каждым положительным тактовым фронтом. Счетчик работает при напряжении низкого уровня на входе сброса R. Нулевые уровни на выходах Q получатся, если на входе асинхронного сброса R будет присутствовать напряжение высокого уровня. Из табл. 2.19 видно (вторая строка), что напряжение низкого уровня на тактовом входе может быть разрешающим, тогда тактовым станет вход $\overline{EC}$ и счетным станет отрицательный перепад импульса на входе $\overline{EC}$.

Синхронные счетчики можно каскадировать, но двухкаскадная схема станет асинхронной. Для этого выход Q3 первого счетчика следует соединить со входом $\overline{EC}$ последующего, подав на его тактовый вход С напряжение низкого уровня.

При напряжении питания $U_{и.п}$=15 В максимальная тактовая частота достигает 4 МГц, минимальная длительность импульса сброса 80 нс, минимальная длительность импульса разрешения 140 нс (при питании $U_{и.п}$=5 В значения этих параметров примерно в 3 раза хуже: 1,5 МГц, 250 нс, 400 нс).

На рис. 2.43 показана диаграмма сигналов на выходах счетчика Q0—Q5 из микросхемы ИЕ10, где дана фазировка тактовых и разрешающих сигналов по входам С и $\overline{EC}$. Восьмая линия диаграммы (рис.

2.43) показывает выходной сигнал Q3 (дес.) десятичного варианта (микросхема CD4518B данного счетчика).

Микросхема К561ИЕ11 (рис. 2.44) — двоичный, четырехразрядный реверсивный счетчик. Его удобно применять для подсчета приращения данных, причем несколько корпусов ИЕ11 можно объединить в многокаскадные синхронные либо асинхронные счетчики. На основе этих микросхем выполняются синхронные делители частоты. Счетчик имеет четыре выхода Q0 — Q3, входы предварительной записи-установки S0 — S8, а также вход разрешения этой операции SE. Вход и выход переноса $\bar{C}_{вх}$ и $\bar{C}_{вых}$ имеют активные напряжения низкого уровня.

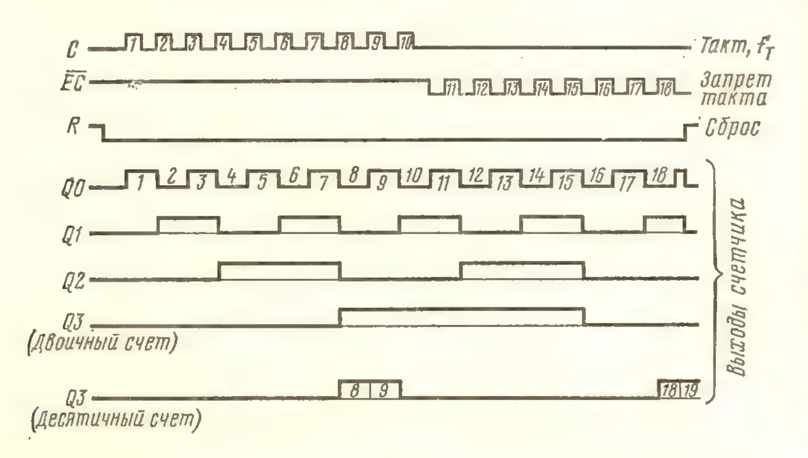


Рис. 2.43. Диаграмма сигналов в одном счетчике К561ИЕ10

Запускающий тактовый перепад C для данного счетчика — положительный. Вход сброса данных R — асинхронный. Данные счетчика сбрасываются в ноль, если на вход R подается напряжение высокого

Таблица 2.20. **Состояние счетчика К561ИЕ11**

Вход					Режим
C	$\bar{C}_{вх}$	U/D	SE	R	
x	В	x	Н	Н	Не считает
_⌐	Н	В	Н	Н	Код больше
_⌐	Н	Н	Н	Н	Код меньше
x	x	x	В	Н	Предварительная установка
x	x	x	x	В	Сброс

Рис. 2.44. Счетчик К561ИЕ11:

а — схема; *б* — цоколевка

уровня. Для переключения направления счета (на увеличение или на уменьшение) служит вход $U/\overline{D}$ (Больше/Меньше). Состояния и переходы счетчика К561ИЕ11 сведены в табл. 2.20. Микросхема считает, если на вход переноса $\overline{C}_{вх}$, а также на входы SE и R, поданы низкие уровни. Код на выходах будет возрастать при каждом положительном перепаде на тактовом входе, когда на входе $U/\overline{D}$ присутствует высокий уровень напряжения. Если этот уровень сделать низким, содержимое счетчика будет уменьшаться при каждом положительном фронте на входе такта С.

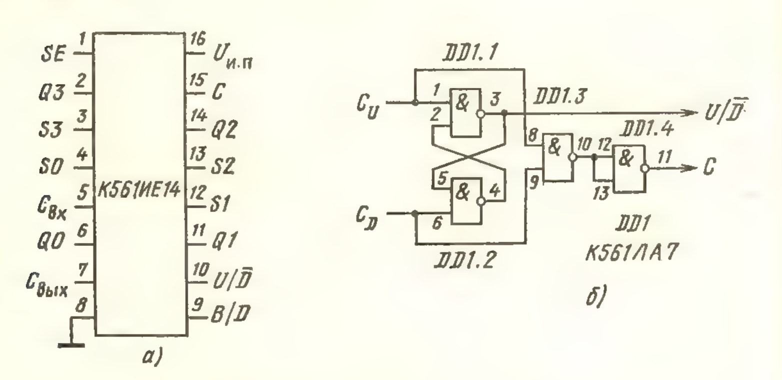


Рис. 2.45. Счетчик К561ИЕ14:

а — цоколевка; *б* — схема организации раздельных входов

Синхронное каскадирование счетчиков ИЕ11 получится, если соединить параллельно тактовые входы и подать сигнал от выхода переноса $\overline{C}_{вых}$ первого счетчика на вход переноса $\overline{C}_{вх}$ последующего (более старшего). Для асинхронного каскадирования требуется соединить $\overline{C}_{вых}$ с тактовым входом С последующей микросхемы.

Чистый, без сбоев тактовый сигнал для последующего счетчика получится, если на входе $U/\overline{D}$ сигнал меняется в момент присутствия напряжения высокого уровня на тактовом входе.

Микросхема К561ИЕ14 (рис. 2.45) — четырехразрядный реверсивный счетчик. Он может работать как двоичный и как десятичный делитель. Внутренняя структура счетчика для увеличения быстродействия снабжена схемой ускоренного переноса.

Счетчик имеет четыре раздельных выхода Q0 — Q3 и выход переноса $C_{вых}$. Вход тактовых импульсов С единый для счета на увеличение и уменьшение. Чтобы организовать раздельные тактовые входы C_U (на увеличение) и C_D (на уменьшение), требуется на дополнительной микросхеме К561ЛА7 ($\overline{И}$) собрать RS-защелку (рис. 2.45, *б*). Если на вход C_D данной схемы поступит сигнал высокого уровня, вход переключения направления счета $U/\overline{D}$ счетчика ИЕ14 получит напряжение низкого уровня и счет будет уменьшаться. На другом выходе С схемы

(рис. 2.45, *б*) формируется единая тактовая сетка, которую следует подать на вывод 15 ИЕ14 микросхемы ИЕ14.

Запрещается счет, т. е. действие тактовых импульсов, с помощью высокого уровня на входе переноса $C_{вх}$ (это же вход «Запрет такта»). С помощью входа разрешения предварительной записи SE (когда на нем присутствует напряжение высокого уровня) можно записать в счетчик начальный код, воспользовавшись входами S0 — S3. Если на эти провода поданы напряжения низких уровней, то соответствующие разряды получают нулевой отсчет. Если на входах $C_{вх}$ и SE присутствуют напряжения низких уровней, счетчик дает приращение (уменьшение) содержимого на 1 при каждом положительном тактовом перепаде.

На выходе переноса $C_{вых}$ нормальное напряжение высокого уровня. Оно переключается к низкому уровню, если в режиме «больше» счет стал максимальным (или минимальным в режиме «меньше»). В это время на входе $C_{вх}$ сигнал разрешающий, т. е. напряжение низкого уровня. Если вывод $C_{вх}$ не используется, его надо подключить к нулю.

Счет будет вестись в двоичном формате, если на входе $B/\overline{D}$ (Бинарный/$\overline{\text{Децимальный}}$) присутствует напряжение высокого уровня. Счет будет десятичным, если на вход $B/\overline{D}$ подано напряжение низкого уровня. Наконец, счетчик увеличивает содержимое, если на вход $U/\overline{D}$ (Больше/$\overline{\text{Меньше}}$) подается напряжение высокого уровня. При напряжении низкого уровня на входе $U/\overline{D}$ счет уменьшается.

При параллельном соединении тактовых входов нескольких счетчиков К561ИЕ14 получим быстрый синхронный счет. В асинхронном режиме многокаскадный счетчик работает медленнее. Максимальная тактовая частота для счетчика К561ИЕ14 2 МГц (при $U_{и.п}=10$ В), время установления режимов после их переключения — более 460 нс, длительность времени импульса предварительной записи по входам S0 — S3 не менее 320 нс (660 нс при напряжении питания 3 В). Сигналы управления для счетчика К561ИЕ14 сведены в табл. 2.21.

Микросхема К561ИЕ16 (рис. 2.46) содержит 14-разрядный асинхронный счетчик (счетчик пульсаций), дающий на своих выходах Q0 — Q13 16 384 двоичных отсчетов (сравните со счетчиком К176ИЕ5, рис. 2.36, *г*). Счетчик имеет входной каскад, формирующий (обостряющий) тактовые импульсы. Схема входной части счетчика (формирователь и первый триггер со схемой мастер-помощник) показаны на рис.

Таблица 2.21. **Сигналы управления счетчиком К561ИЕ16**

Вход управления	Сигнал	Режим
Бинарный/$\overline{\text{Децимальный}}$ ($B/\overline{D}$)	1 (В)	Двоичный счет
	0 (Н)	Десятичный счет
Больше/$\overline{\text{Меньше}}$ ($U/\overline{D}$)	1	Счет на увеличение
	0	Счет на уменьшение
Разрешение установки (SE)	1	Прием от параллельных входов
	0	Нет приема
Вход переноса (запрет тактовых импульсов) ($C_{вх}$)	1	После тактового перепада не считает
	0	Считает

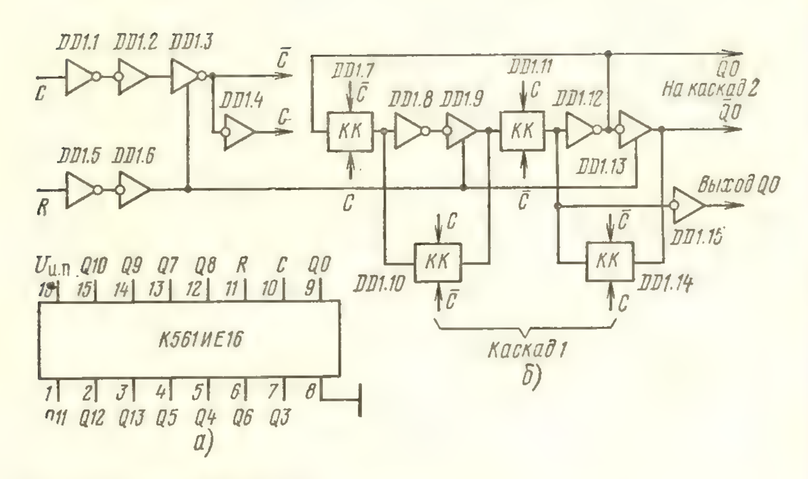


Рис. 2.46. Счетчик К561ИЕ16:

а — цоколевка; *б* — схема одного двухступенчатого триггера из этого счетчика

S0 S1 S2 S3 S4

2 3 7 9 12

SE 10

C 14

D 1

R 15

D T Q S C R2 R1 Q̄

5 4 6 11 13

Q̄0 Q̄1 Q̄2 Q̄3 Q̄4

а)

Uи.п R C Q̄4 S4 Q̄3 SE S3

16 15 14 13 12 11 10 9

К561ИЕ19

1 2 3 4 5 6 7 8

D S0 S1 Q̄1 Q̄0 Q̄2 S2

б)

Рис. 2.47. Счетчик К561ИЕ19:

а — схема; *б* — цоколевка

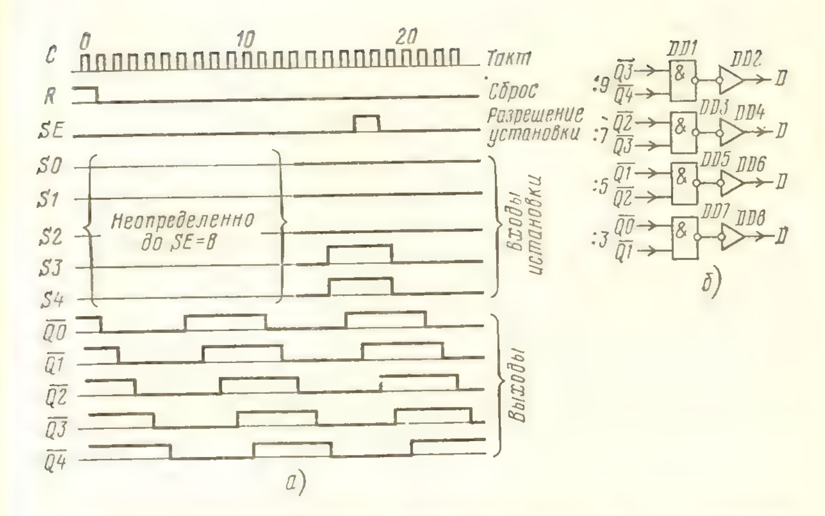


Рис. 2.48. Диаграмма сигналов в счетчике К561ИЕ19 *(а)* и присоединение дополнительных элементов, чтобы получить деление на нечетное число *(б)*

2.46, *б*. Выходной провод Q0 получает сигнал от буферного инвертора.

Счетчик сбрасывает выходные сигналы в нуль при напряжении высокого уровня на входе сброса R. Содержимое счетчика увеличивается согласно каждому отрицательному перепаду тактового импульса. Максимальная тактовая частота достигает 3 МГц, длительность импульса сброса должна превышать 550 нс.

Микросхема К561ИЕ19 (рис. 2.47) — пятиразрядный синхронный счетчик по схеме Джонсона. От каждого триггера счетчика сделан инверсный выход $\overline{Q0}$ — $\overline{Q4}$ (через буферные инверторы). Счетчик имеет пять входов предварительной записи (установки) S0 — S4, тактовый вход C, вход последовательных данных D, а также вход сброса R. Входами S0 — S4 можно воспользоваться, если подать сигнал разрешения установки (высокий уровень) на вход SE.

На рис. 2.48, *а* приведена диаграмма сигналов на выводах счетчика ИЕ19. Показанная фазировка выходных импульсов Q0 — Q4 позволяет строить на базе ИЕ19 каскады деления частоты на число N, где $2<N<10$. Для деления на четное число (N=2, 4, 6, 8, 10) добавочные элементы не нужны. Требуется только присоединить ко входу D выход $\overline{Q5}$ при делении на 10, $\overline{Q}4$ — на 8, $\overline{Q}3$ — на 6, $\overline{Q}2$ — на 4 и $\overline{Q}1$ — на 2. При необходимости деления на нечетное число ко входу надо присоединить через двухвходовый элемент $\overline{И}$ два выходных сигнала, выбрав их согласно рис. 2.48, *б*. Максимальная тактовая частота для счетчика 2 МГц, максимальное время установления выходных сигналов — 300 нс.

2.9. РЕГИСТРЫ КМОП

Среди многофункциональных микросхем среднего уровня интеграции, выполненных на логических элементах КМОП, популярны четырех-, восьми- и двенадцатиразрядные регистры. Номенклатура регистров КМОП разных серий сведена в табл. 2.22. Микросхема ИР2 содержит два четырехразрядных последовательных регистра, ИР9 — четырехразрядный, последовательно-параллельный регистр, ИР6 — универсальный двунаправленный восьмиразрядный шинный регистр с последовательным и параллельным входами. Двенадцатиразрядный регистр ИР13 необходим для построения АЦП по схеме последовательного приближения (сравните с микросхемой К155ИР17). Микросхема ИР10 содержит четыре отдельных регистра.

Таблица 2.22. **Регистры КМОП**

Серия	Обозначения	Номер микросхемы					
		2	6	9	10	12	13
К176 К561	ИР	+ +	 +	 +	+ 	 +	К564
CD4000A CD4000B MM54C	— — —	15 — —	34 — —	35 — —	06 — —	— 108 —	— — 905

Микросхемы К176ИР2 и К561ИР2 (рис. 2.49) содержат по два независимых четырехразрядных регистра сдвига. Каждый регистр имеет

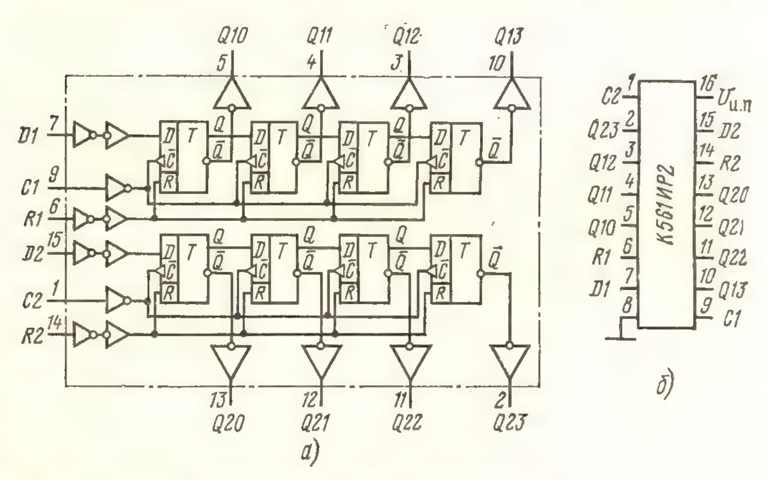


Рис. 2.49. Регистр К561ИР2 *(а)* и его цоколевка *(б)*

четыре выхода Q от каждого триггера. Все триггеры регистра двухступенчатые, D-типа. Данные в регистр вводятся через последовательный вход D. Регистр имеет вход тактовых импульсов C, причем данные принимаются от входа D первого триггера и сдвигаются на один такт вправо после каждого положительного тактового перепада на входе C.

Таблица 2.23. **Состояния регистра из микросхемы К561ИР2**

Вход			Выход	
C	D	R	Q_0	Q_n
_↑‾	Н	Н	Н	Q_{n-1}
_↑‾	В	Н	В	Q_{n-1}
x	x	В	Н	Н

Сброс в нуль данных на выходе Q регистра получится, если на вход асинхронного сброса R подать напряжение высокого логического уровня.

Состояния каждого регистра из состава ИР2 отображены в табл. 2.23. Четыре выхода регистра позволяют преобразовать последователь-

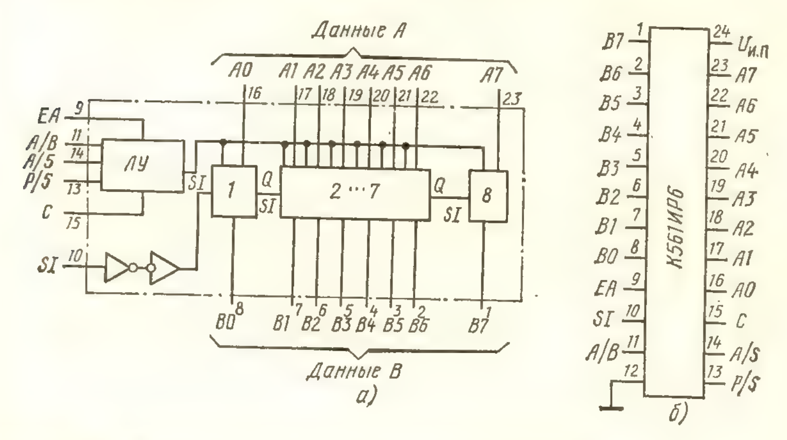


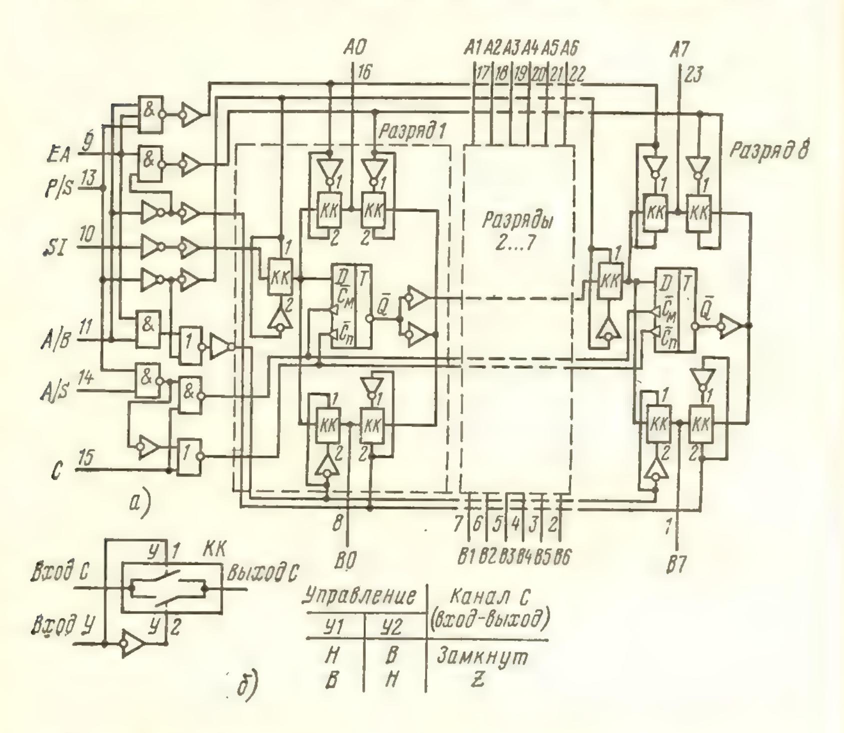
Рис. 2.50. Двунаправленный шинный регистр К561ИР6:

а — схема; *б* — цоколевка

ный код, принимаемый по входу D, в параллельный, на выходах Q0—Q3, отображаемый через четыре такта. Из одного корпуса ИР2 можно сделать 8-разрядный регистр-преобразователь, соединив последовательно оба регистра микросхемы.

Тактовая частота регистров достигает 2,5 МГц, но для устойчивого переключения триггеров на минимальной частоте длительность тактового перепада не должна превышать 15 мкс.

Микросхема К561ИР6 — 8-разрядный, двунаправленный шинный регистр со входами и выходами как параллельными, так и последовательными. Структурная схема и цоколевка регистра К561ИР6 показаны на рис. 2.50. Регистр имеет: последовательный вход данных SI, тактовый вход С, вход ЕА разрешения линиям А, входы переключения асинхронного и синхронного режимов A/S, а также параллельного и последовательного — P/S. Имеется также вход управления А/В, на



Управление		Канал С (вход-выход)
У1	У2	
Н	В	Замкнут
В	Н	Z

Рис. 2.51. Внутренняя схема регистра К561ИР6 *(а)* и схема ключа коммутации *(б)*

который подается сигнал, разрешающий прием данных от 8-разрядных шин А или В. Каждый из восьми разрядов регистра имеет два двунаправленных входа-выхода данных (всего 16). В зависимости от сигнала на входе А/В выбираются для работы с данными 8 линий А или 8 линий В.

Регистр К561ИР6 применяется: для параллельного обмена информацией между двумя 8-разрядными шинами данных А и В; для преобразования последовательных данных в параллельные перед загрузкой их в шины А и В; для накопления и рециркуляции данных; для преобразования параллельных данных, пришедших по каждой шине, в последовательные, выходящие по одному проводу.

Внутри схемы регистра (рис. 2.51, *а*) все триггеры двухступенчатые, D-типа с отдельными входами такта для ступеней «мастер» (вход $\overline{C}_м$) и «помощник» (вход $C_п$). Сложная тактовая последовательность, генерируемая внутри микросхемы, позволяет надежно переносить данные из первого триггера во второй как в синхронном, так и асинхронном режимах. Для того чтобы переключать направления записи данных на входы D-триггеров и съема данных с их выходов $\overline{Q}$ (далее — после инверторов), в схеме регистра используются ключи коммутации. Логика работы такого КК показана на рис. 2.51, *б*.

Если рассмотреть часть схемы (рис. 2.51, *а*) «Разряд 1», можно обнаружить, что один КК коммутирует последовательные данные от входа SI согласно сигналу управления, пришедшему на вход «Параллельно/Последовательно» (P/S). По два КК обслуживают выводы A0 и B0. Нетрудно видеть: если замкнуть левые ключи этих пар, провода A0 и B0 станут входами (правые КК должны быть разомкнуты). Если поменять состояние этих пар КК, провода A0 и B0 станут выходами. Реально решается иная задача: все провода A и B по командам должны стать входами или выходами. Для такого переключения на вход A/B подается напряжение нужного уровня, а фазы переключения левых и правых КК выбраны противоположными.

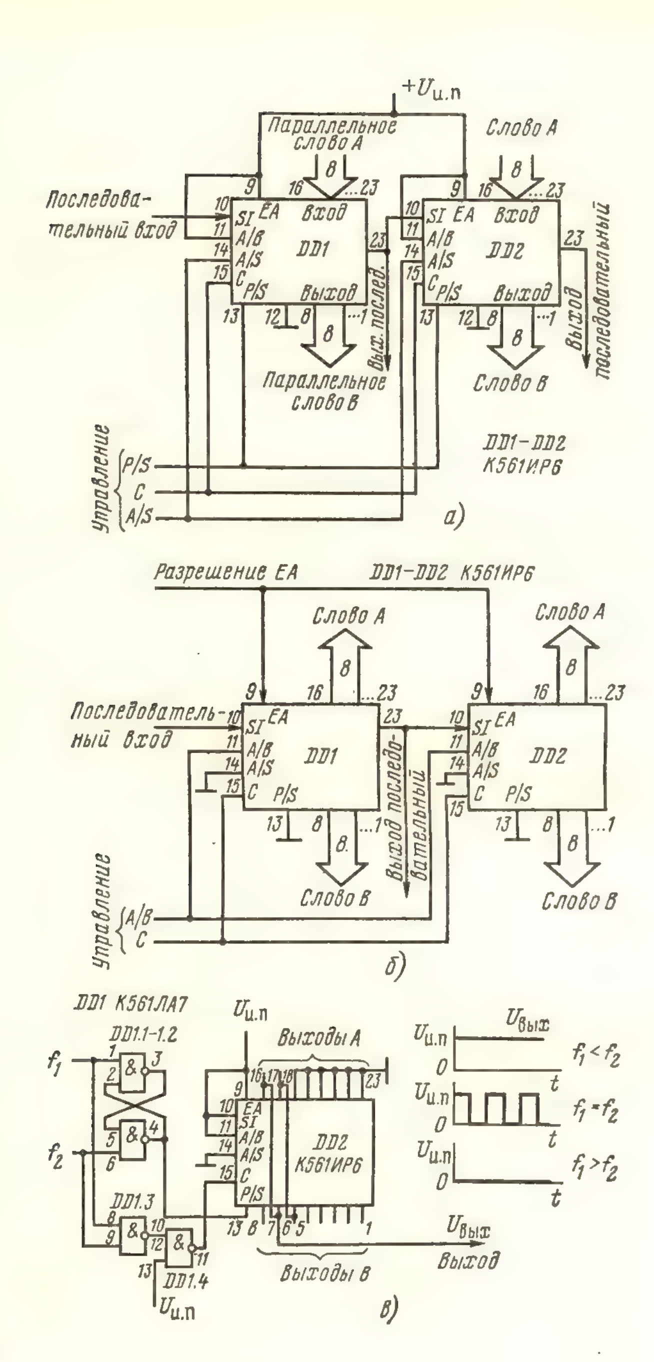
Рассмотрим режим работы регистра ИР6. Параллельная работа регистра разрешается, если на вход P/S подано напряжение высокого уровня. В регистр данные при этом поступают синхронно с положительным тактовым перепадом, если на входе переключения режимов асинхронного и синхронного A/S присутствует напряжение низкого уровня. Если на входе A/S напряжение высокого логического уровня, режим приема становится асинхронным и не зависит от тактовых перепадов.

Вход переключения шин A/B меняет назначение линий A и B. Если на входе A/B — напряжение высокого уровня, линии A становятся входами, линии B — выходами регистра. Подав на вход A/B напряжение низкого уровня, меняем направление потока параллельных данных: они будут приниматься линиями B, а линии A станут выходами. Пользуясь входом EA разрешения линиям A, можно питать данными от одной шины несколько регистров К561ИР6. Линии A будут подключены (разрешены), если на вход EA подано напряжение высокого уровня. Данные в регистре зафиксируются, если сигнал на входе A/B будет высокого, а на входе EA — низкого уровня.

Регистр работает в последовательном режиме, если на вход P/S подано напряжение низкого уровня. Данные через последовательный вход SI будут продвигаться по регистру синхронно с каждым положительным перепадом на тактовом входе. Вход A/S запрещается внутренней схемой, поэтому невозможен асинхронный последовательный режим.

Последовательно записанные в регистр данные отображаются на линиях B (если на входе A/B присутствует напряжение высокого уровня) или на линиях A (на входе A/B — напряжение низкого уровня, а на входе EA — высокого). Все возможные 12 режимов работы регистра ИР6 сведены в табл. 2.24. Тактовая частота для данного регистра может превышать 3 МГц.

Регистр К561ИР6 пригоден для построения многих устройств: регистры сдвига (влево и вправо) с параллельной и последовательной загрузкой, регистр хранения адреса, шинный регистр в системе, генератор псевдошумовых последовательностей, кольцевой или синхронный


+$U_{и.п}$
Параллельное слово A
Слово A
Последовательный вход
SI EA Вход
A/B
A/S
C P/S
DD1
Выход
Вых. послед.
DD2
Выход последовательный
Параллельное слово B
Слово B
Управление
P/S
C
A/S
DD1–DD2 К561ИР6
а)
Разрешение EA
DD1–DD2 К561ИР6
Слово A
Последовательный вход
Выход последовательный
Слово B
Управление
A/B
C
б)
DD1 К561ЛА7
DD1.1–1.2
f_1
f_2
DD1.3
DD1.4
$U_{и.п}$
Выходы A
DD2 К561ИР6
Выходы B
$U_{вых}$
Выход
$f_1 < f_2$
$f_1 = f_2$
$f_1 > f_2$
в)

←

Рис. 2.52. Схемы применения регистра К561ИР6:

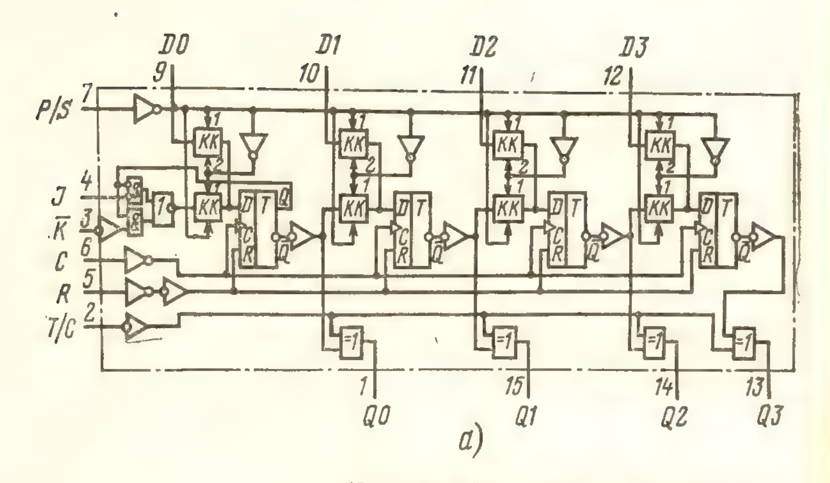
а — 16-разрядный регистр; *б* — другая схема 16-разрядного регистра; *в* — фазовый компаратор

Таблица 2.24. Режим работы регистра К561ИР6

Вход				Режим
EA	P/S	A/B	A/S	
Н	Н	Н	x	Последовательный синхронный ввод данных; данных на параллельных выходах А нет
Н	Н	В	x	Последовательный синхронный ввод данных; данные появляются на выходах В
Н	В	Н	В	Параллельный режим синхронных входов В; данных на выходах А нет
Н	В	Н	Н	Параллельный режим асинхронных входов В; данных на выходах А нет
Н	В	В	В	Параллельные входы данных А отключены; нет параллельных данных на выходах В; данные асинхронно сбрасываются (сразу)
Н	В	В	Н	Параллельные входы данных А отключены; нет данных на выходах В; данные синхронно поразрядно сбрасываются
В	Н	Н	x	Синхронный последовательный ввод данных; есть данные на параллельных выходах А
В	Н	В	x	Синхронный последовательный ввод данных; есть данные на выходах В
В	В	Н	Н	Входы В синхронно параллельно принимают данные; на выходах А есть данные
В	В	Н	В	Входы В асинхронно принимают данные; на выходах А есть параллельные данные
В	В	В	Н	Входы А синхронно параллельно принимают данные; на выходах В — параллельные данные
В	В	В	В	Входы А асинхронно принимают данные; на выходах В — параллельные данные

счетчики. На рис. 2.52 показаны три примера применения регистра К561ИР6. Шестнадцатиразрядный регистр (рис. 2.52, *а*) может работать в режимах: параллельный прием — последовательная выдача, последовательный прием — параллельная выдача и последовательные как прием, так и выдача данных. Переключение этих режимов осуществляется согласно данным табл. 2.24 с помощью сигналов, даваемых по двум входам P/S, A/S.

На рис. 2.52, *б* показан 16-разрядный регистр с последовательным входом и параллельными выходами по шинам А или В. Шины выбираются с помощью входов: А/В и разрешение ЕА, если уровни на них устанавливаются согласно первому и третьему столбцам табл. 2.24.



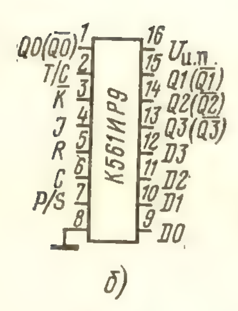
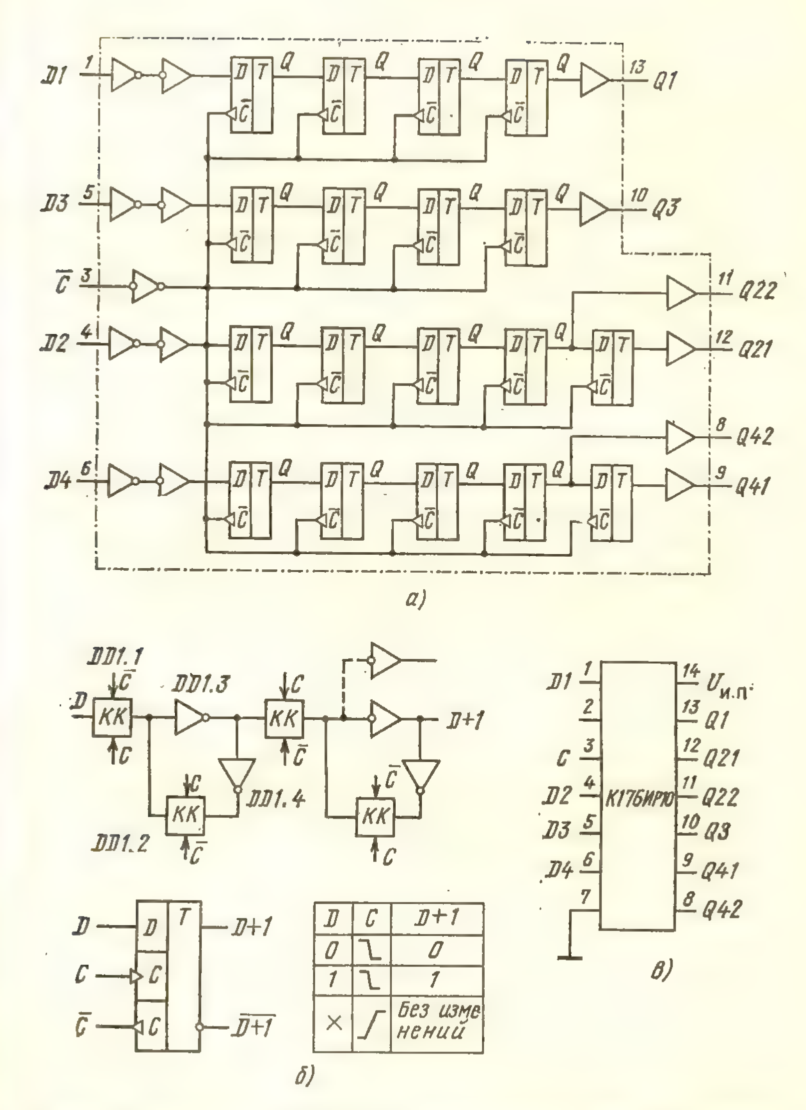


Рис. 2.53. Регистр К561ИР9 *(а)* и его цоколевка *(б)*

На рис. 2.52, *в* показана схема фазового компаратора ФК, построенного с помощью четырех двухвходовых инверторов $\overline{\text{И}}$ и двух первых каскадов регистра К561ИР6. На выходе ФК появится напряжение $U_{\text{и.п}}$, если частота $f_1 < f_2$, и нуль, если $f_1 > f_2$. При равенстве частот $f_1 = f_2$ на выходе присутствует симметричный меандр. Фазовый компаратор такого типа удобен для цифровых устройств с фазовой автоподстройкой (см. описание микросхем К564ГГ1 и CD4046, рис. 2.73, *а*; фазовый компаратор ФК2 соответствует схеме рис. 2.52, *в*).

Микросхема К54ИР9 представляет собой четырехразрядный последовательно-параллельный регистр. Его схема показана на рис. 2.53. Здесь используются ключи коммутации КК, аналогичные ранее изученному (см. рис. 2.51, *б*). Регистр К561ИР9 имеет два последовательных входа J и К. Если их соединить вместе, получим простой D-вход. Собственно регистры построены на D-триггерах. Они соединяются с помощью КК последовательно, если на вход переключения P/S (Параллельно/Последовательно) подано напряжение низкого уровня. Если на входе P/S присутствует напряжение высокого уровня, ключи коммутации размыкают последовательную связь триггеров, но к их D-входам подключаются линии параллельной загрузки регистра D0 — D3. В случаях последовательной и параллельной загрузки информация может продвигаться по регистру согласно с положительным перепадом на тактовом входе C. Вход сброса R у регистра К561ИР9 — асинхронный. Регистр имеет асинхронный вход T/C, логическим сигналом на котором переключается вид выходного кода: на выходах Q0 — Q3 могут быть прямой или дополнительный коды. Для получения прямого кода T на вход T/C следует подать напряжение высокого уровня, при напряжении низкого уровня — код дополнительный C по отношению к хранящемуся в D-триггерах.



D	C	D+1
0	⌝_	0
1	⌝_	1
×	_⌐	Без изменений

Рис. 2.54. Микросхема К176ИР10 с четырьмя регистрами (*а*), схема одного D-триггера (*б*), цоколевка ИР10 (*в*)

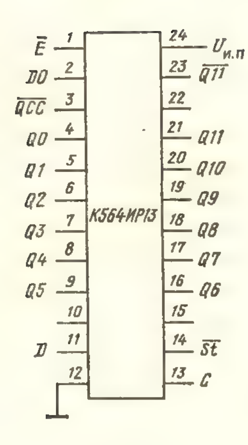


Рис. 2.55. Регистр последовательного приближения К564ИР13

Время установления сигналов по входам J, $\bar{K}$ должно быть менее 250 нс, длительность тактового импульса большей или равной 250 нс, а импульса сброса — 200 нс.

Микросхема К176ИР10 содержит четыре отдельных регистра (рис. 2.54). Два из них — четырехразрядные, два — пятиразрядные, имеющие выход и от четвертого разряда. Для всех регистров шина тактовых импульсов $\bar{C}$ — общая, однако каждый регистр имеет независимый путь данных от входов D1—D4 до выходов Q1—Q4.

Данные продвигаются по регистрам в момент отрицательных перепадов тактовых импульсов. Устанавливая между выводами микросхемы перемычки, можно реализовать регистры с числом разрядов: 4, 5, 8, 9, 10, 12, 13, 14, 16, 17, 18.

На рис. 2.54, *б* показана функциональная схема одного D-триггера из К176ИР10. Здесь, как и в предыдущей схеме К561ИР9, используются двухтактные ключи последовательной коммутации КК; тактовые сетки С и $\bar{C}$ вырабатываются внутренней схемой. Если DD1.2 замкнут, инверторы DD1.3 и DD1.4 образуют кольцо-защелку.

Регистр К176ИР10 обеспечивает сдвиг сигнала с тактовой частотой до 2 МГц. Он удобен как основа регистрового ЗУ.

Микросхема К564ИР13 (рис. 2.55) — двенадцатиразрядный регистр последовательного приближения. Его можно использовать для построения ЦАП и АЦП на цифровой базе как КМОП, так и ТТЛ. Этот регистр может работать так же, как накопительный, либо как регистр, повторяющий одну и ту же (рутинную) управляющую программу. Регистры ИР13 пригодны для наращивания их емкости. Они работают как в непрерывном, так и старт-стопном режимах. В схемах ЦАП резистивные матрицы R — 2R можно (с некоторыми условиями) подключать непосредственно к выходам регистра ИР13 без микросхемы аналоговых ключей.

Регистр (см. рис. 2.55) имеет тактовый вход С, последовательный вход D, куда подаются входные данные, вход разрешения регистру $\bar{E}$. Вход $\bar{E}$ применяется при наращивании числа разрядов. Если оно не требуется, вход $\bar{E}$ присоединяется к нулю. Когда на входе $\bar{E}$ присутствует напряжение высокого уровня (1), на выходе Q11 появляется логическая 1 и преобразование запрещается. Выход Q11 — прямой для старшего значащего разряда (СЗР); имеется и инверсный выход $\overline{СЗР}$, т. е. $\overline{Q}$11. Регистр имеет выходы каждого из 12 разрядов; от Q0 (младший ЗР) до Q11 (СЗР). Вход $\overline{St}$ — стартовый, задерживающий. Он служит для запуска цикла преобразования. Преобразование начнется, если на вход $\overline{St}$ поступит напряжение низкого уровня в момент последнего периода единицы на входе С. При этом на выходе Q11 (СЗР) появляется напряжение низкого уровня, на всех остальных (Q0—Q10) — напряжение высокого уровня. Этот момент соответствует на диаграм-

Таблица 2.25. Состояния регистра К564ИР13

Отрезок времени t_n	Вход				Выход												
	D	$\overline{S}$	$\overline{E}$	DO	Q11	Q10	Q9	Q8	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	$\overline{QCC}$
0	x	H	H	x	x	x	x	x	x	x	x	x	x	x	x	x	x
1	D11	B	H	x	H	B	B	B	B	B	B	B	B	B	B	B	B
2	D10	B	H	D11	D11	H	B	B	B	B	B	B	B	B	B	B	B
3	D9	B	H	D10	D11	D10	H	B	B	B	B	B	B	B	B	B	B
4	D8	B	H	D9	D11	D10	D9	H	B	B	B	B	B	B	B	B	B
5	D7	B	H	D8	D11	D10	D9	D8	H	B	B	B	B	B	B	B	B
6	D6	B	H	D7	D11	D10	D9	D8	D7	H	B	B	B	B	B	B	B
7	D5	B	H	D6	D11	D10	D9	D8	D7	D6	H	B	B	B	B	B	B
8	D4	B	H	D5	D11	D10	D9	D8	D7	D6	D5	H	B	B	B	B	B
9	D3	B	H	D4	D11	D10	D9	D8	D7	D6	D5	D4	H	B	B	B	B
10	D2	B	H	D3	D11	D10	D9	D8	D7	D6	D5	D4	D3	H	B	B	B
11	D1	B	H	D2	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	H	B	B
12	D0	B	H	D1	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	H	B
13	x	B	H	D0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	B1	D0	H
14	x	x	H	x	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	H
·	x	x	B	x	B	Без изменений											

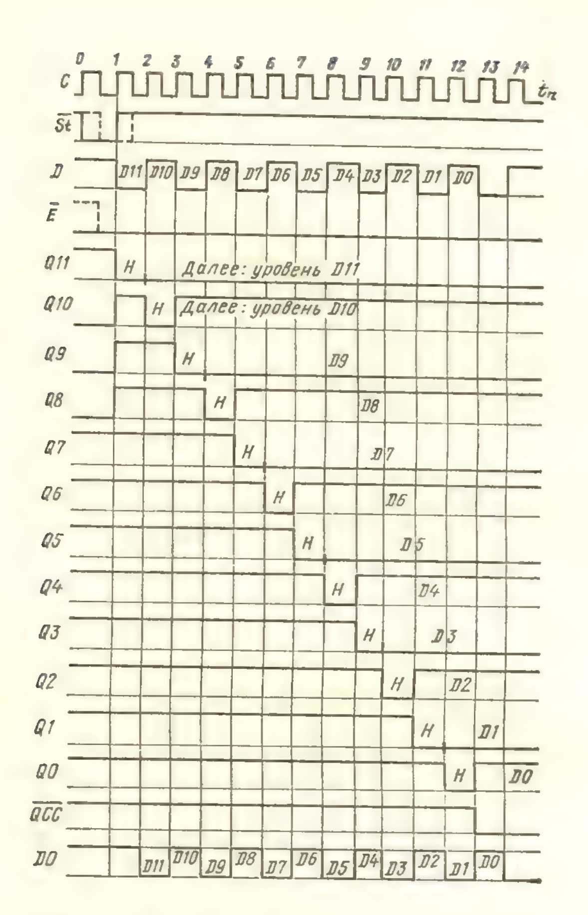


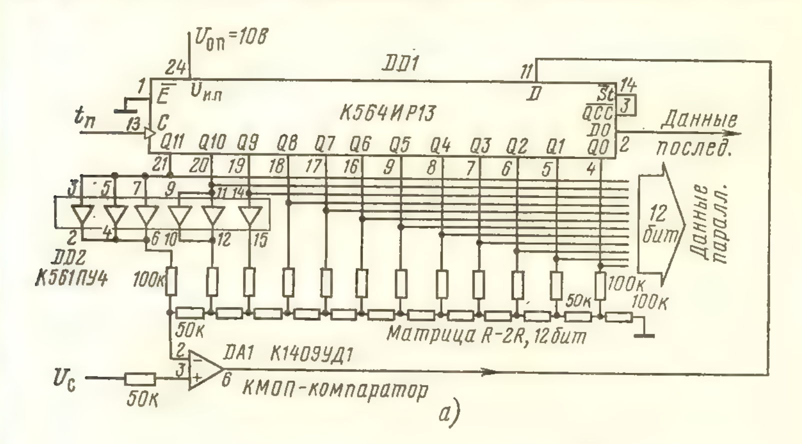
Рис. 2.56. Диаграммы для регистра К564ИР13

ме (см. рис. 2.56) положительному фронту импульса 1 из тактовой последовательности С. Последовательность импульсов, поступающих на вход D (на рис. 2.56 показана последовательность, у которой чередуются высокие и низкие уровни на входе D) синхронно с тактовыми периодами, с задержкой на один период тактового импульса записываются в разряды регистра (от Q11 к Q0). На последовательном выходе данных DO входная последовательность задерживается на один период тактовой последовательности. На выходе $\overline{QCC}$ окончание преобразования отображается отрицательным перепадом (см. рис. 2.56).

Диаграмме (рис. 2.56) соответствует табл. 2.25, где перечислены все состояния за 14 периодов тактовой последовательности импульсов на входе С. Пятнадцатая строка табл. 2.25 показывает, что при напряжении высокого уровня на входе $\overline{E}$ преобразования запрещаются. Для

запуска регистра необходимо, чтобы совпало присутствие напряжений низкого уровня на входах $\overline{\text{E}}$ и $\overline{\text{St}}$. В схемах АЦП на вход D поступает решение от компаратора: оставить или стереть единицу в данном разряде.

При напряжении 5 В время задержки от входа C до выходов Q0 — Q11 и DO, $\overline{\text{QCC}}$ не превышает 350 нс (при питании 10 В — не



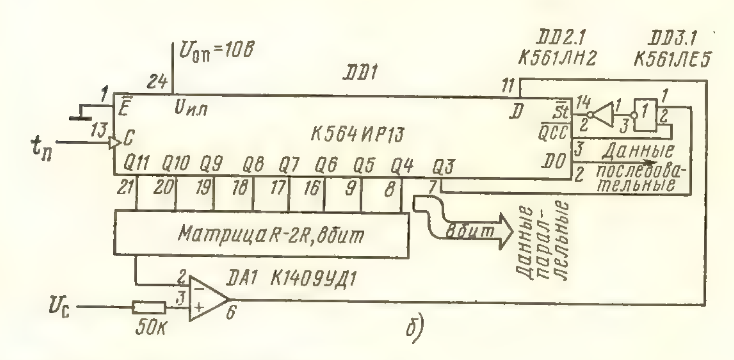


Рис. 2.57. АЦП на базе К564ИР13:

а — 12-разрядный; *б* — 8-разрядный

более 150 нс). Минимальная длительность тактового перепада должна превышать 250 нс для напряжения питания 5 В и 100 нс для 10 В (соответственно, максимальная тактовая частота 2 и 5 МГц). При напряжении питания 15 В регистр ИР13 потребляет статический ток не более 0,3 мА.

В схемах АЦП (рис. 2.57) регистр К564ИР13 может обслуживать микросхему ключа токов, которые замыкаются как при входных напряжениях низкого, так и высокого уровня. Чтобы получить пределы

ошибки АЦП в зоне ±1/2 от значения ступеньки МЗР, на вход компаратора полезно подавать смещение. Если аналоговые ключи внешней микросхемы имеют активное напряжение высокого уровня, входу компаратора надо дать сдвиг вверх на 1/2 ступеньки МЗР. При активном напряжении низкого уровня требуется дать смещение вниз на —1/2 ступеньки МЗР.

Если регистр используется для преобразования двуполярного сигнала, при котором нуль выходного кода приходится посередине напряжения шкалы, компаратору следует дать опорное напряжение смещения на 1/2 напряжения шкалы. Выход $\overline{Q11}$ в двуполярном включении можно использовать как знаковый разряд, поскольку ступенька СЗР соответствует половине напряжения шкалы. Напряжения высокого и низкого уровня на выходе $\overline{Q11}$ будут соответствовать полярности входного сигнала.

Если К564ИР13 включен для непрерывного преобразования, при первой подаче питания схема может не запускаться. В этом случае необходимо на вход старт $\overline{St}$ подать через элемент ИЛИ сигналы от выхода $\overline{QCC}$ и от соответствующего длине слова выхода регистра (см. рис. 2.57, *б*).

На рис. 2.57, *а* показана схема 12-разрядного АЦП, где от выходов регистра непосредственно берутся токи питания для резистивной матрицы R — 2R (здесь R=50 кОм). Регистр работает непрерывно циклически, для этого выход $\overline{QCC}$ соединен со входом $\overline{St}$. Чтобы не допускать ошибок в СЗР, для питания трех старших входов матрицы используются дополнительные усилители стекающего тока (схемы ПУ3, ПУ4): три для разряда Q11, два — для Q10 и один — для Q9. Регистр питается от источника опорного напряжения $U_{оп}$=10 В (это напряжение шкалы).

На рис. 2.57, *б* приведена схема 8-разрядного АЦП, где сигнал окончания преобразования берется от выхода Q3.

2.10. ДЕШИФРАТОРЫ КМОП

Микросхемы КМОП среднего уровня интеграции, содержащие на кристалле дешифраторы ИД1 и ИД5, позволяют преобразовывать четырехразрядные двоичные коды в десятичные, гексадецимальные, восьмеричные коды, а также непосредственно отображать данные на семисегментном индикаторе. На этих микросхемах можно строить многодекадные дешифраторы.

Микросхема К561ИД1 (рис. 2.58) — универсальный дешифратор. Он применяется для преобразования входного четырехразрядного двоично-десятичного кода в десятичный или трехразрядного двоичного в октальный. Дешифратор К561ИД1 имеет десять выходов (при октальном, восьмеричном коде используются восемь выходов), а также четыре входа A — D (для получения октального кода необходимы только три входа A — C). Вход D, если на нем напряжение высокого уровня, используется как запрещающий при октальном преобразовании. Если вход D не используется, на него следует подать ноль напряжения. Все состояния дешифратора ИД1 перечислены в табл. 2.26, где A — вход младшего разряда.

Время задержки распространения от входов до выходов не превышает 290 нс, время установления — менее 150 нс.

На рис. 2.59 показана схема преобразователя четырехразрядного

кода в десятичный или шестнадцатеричный, т. е. гексадецимальный. Для этой схемы дана таблица кодов. В табл. 2.27 в первых четырех колонках D — A последовательно перечислено 16 возрастающих состояний двоичного кода от 0000 до 1111. Последующие две колонки отведены гексадецимальным кодам: двоичному и коду Грея, колонки 7...10 содержат четырехразрядные десятичные коды: код «без трех», код Грея «без трех», код Айкена, код формата 4—2—2—1. В колонке номеров выходов указаны выходные высокие уровни. Выбрав номер выхода N (от 0 до 15), по строке, где зафиксировано, что на этом выходе появи-

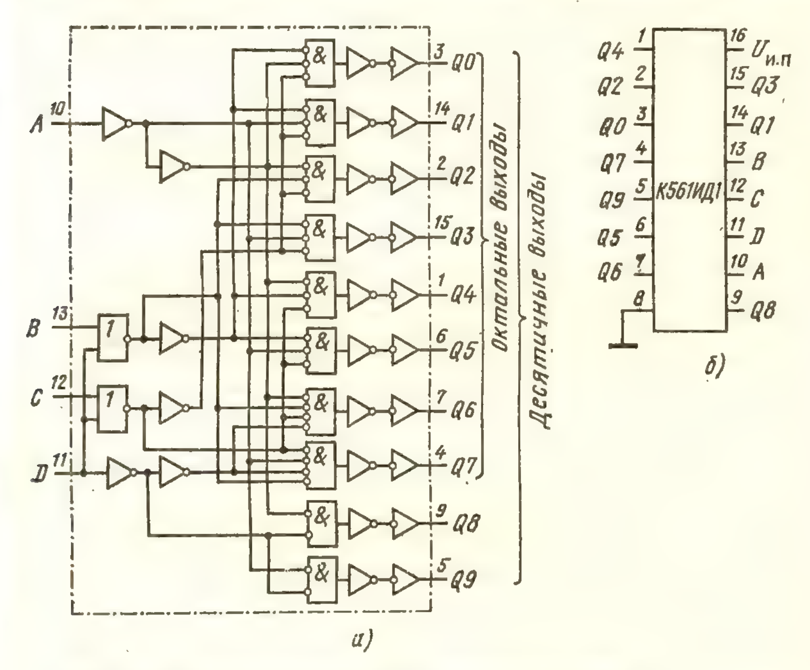


Рис. 2.58. Дешифратор К561ИД1 *(а)* и его цоколевка *(б)*

лось напряжение высокого уровня, можем определить, какая цифра соответствует в данной ситуации каждому из шести вышеперечисленных кодов. В кодах «без трех» не используются три комбинации, где мало младших единиц В (или наоборот, мало младших нулей Н).

Микросхема К564ИД5 — это сложный дешифратор, обеспечивающий экономичную работу жидкокристаллического семисегментного индикатора (ЖКИ). С помощью этого дешифратора можно строить узлы дисплеев общего применения, настольных и настенных часов, промышленных панельных измерителей, мультиметров, автомобильных приборов. Выходные усилители дешифратора позволяют выдавать на индикатор переменное напряжение с амплитудой, в 2 раза превышающей напряжение питания (при этом не требуется включать разделительные

Таблица 2.26. **Состояния дешифратора К561ИД1**

Вход				Выход									
D	C	B	A	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9
Н	Н	Н	Н	В	Н	Н	Н	Н	Н	Н	Н	Н	Н
Н	Н	Н	В	Н	В	Н	Н	Н	Н	Н	Н	Н	Н
Н	Н	В	Н	Н	Н	В	Н	Н	Н	Н	Н	Н	Н
Н	Н	В	В	Н	Н	Н	В	Н	Н	Н	Н	Н	Н
Н	В	Н	Н	Н	Н	Н	Н	В	Н	Н	Н	Н	Н
Н	В	Н	В	Н	Н	Н	Н	Н	В	Н	Н	Н	Н
Н	В	В	Н	Н	Н	Н	Н	Н	Н	В	Н	Н	Н
Н	В	В	В	Н	Н	Н	Н	Н	Н	Н	В	Н	Н
В	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	В	Н
В	Н	Н	В	Н	Н	Н	Н	Н	Н	Н	Н	Н	В
В	Н	В	Н	Н	Н	Н	Н	Н	Н	Н	Н	В	Н
В	Н	В	В	Н	Н	Н	Н	Н	Н	Н	Н	Н	В
В	В	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	В	Н
В	В	Н	В	Н	Н	Н	Н	Н	Н	Н	Н	Н	В
В	В	В	Н	Н	Н	Н	Н	Н	Н	Н	Н	В	Н
В	В	В	В	Н	Н	Н	Н	Н	Н	Н	Н	Н	В

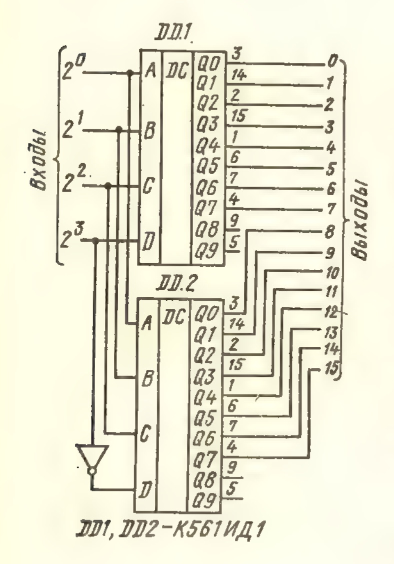


Рис. 2.59. Преобразователь четырехразрядного кода

конденсаторы). Повышенное напряжение необходимо для больших по размеру индикаторов.

На рис. 2.60, *а* показана структурная схема дешифратора. Здесь четырехразрядный входной код ($A=2^0$, $B=2^1$, $C=2^2$, $D=2^3$) подается на триггеры-защелки, фиксирующие его. Если на вход строба (разрешения) E подано напряжение высокого уровня, данные будут передаваться от входов A — D далее, к выходам a — g. Напряжение низкого уровня на входе E защелкивает данные, кроме того, могут оставаться выбранными соответствующие сегменты индикатора.

От входных защелок данные поступают на схему сдвига уровней, у которой есть дополнительный вход переменного напряжения. Схема сдвига уровня позволяет расширить в сторону отрицательной полярности амплитуду переменного сигнала на индикаторе. С этой целью у микросхемы сделан вход отрицательного напряжения $-U_{н.пэ}$. С импульсами увеличенной амплитуды работают дешифраторы и семь усилителей сигналов сегментов (a—g).

Таблица 2.27. **Состояния дешифраторов К561ИД1 в схеме (рис. 2.59)**

Вход				Гексадецимальный код		Децимальный код				Номер выхода															
D	C	B	A	Код двоичный 4 бита	Код Грея 4 бита	Код «без трех»	Код Грея «без трех»	Код Айкена	Код 4—2—2—1	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Н	Н	Н	Н	0	0			0	0	В															
Н	Н	Н	В	1	1			1	1		В														
Н	Н	В	Н	2	3		0	2	2			В													
Н	Н	В	В	3	2	0	3	3					В												
Н	В	Н	Н	4	7	1	4	4						В											
Н	В	Н	В	5	6	2			3						В										
Н	В	В	Н	6	4	3	1		4							В									
Н	В	В	В	7	5	4	2										В								
В	Н	Н	Н	8	15	5												В							
В	Н	Н	В	9	14	6			5										В						
В	Н	В	Н	10	12	7	9		6											В					
В	Н	В	В	11	13	8		5													В				
В	В	Н	Н	12	8	9	5	6														В			
В	В	Н	В	13	9		6	7	7														В		
В	В	В	Н	14	11		8	8	8															В	
В	В	В	В	15	10		7	9	9																В

Соответствие изображений на индикаторе входному коду показано в табл. 2.28. «Зажигание» сегментов осуществляется с помощью входа F, сигнал на котором может перевести выходные сигналы сегментов на высокий или низкий уровни либо подать на них переменные прямоугольные импульсы.

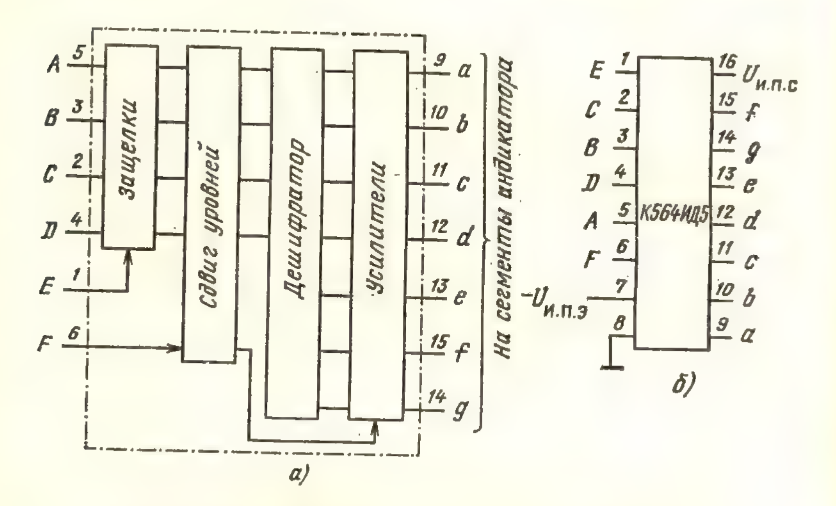


Рис. 2.60. Дешифратор К564ИД5 *(а)* и его цоколевка *(б)*

Таблица 2.28. **Состояния дешифратора К564ИД5**

Вход				Выход							Индикатор
D	C	B	A	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	1	0	1	1	9
1	0	1	0	0	0	0	1	1	1	0	L
1	0	1	1	0	1	1	0	1	1	1	H
1	1	0	0	1	1	0	0	1	1	1	P
1	1	0	1	1	1	1	0	1	1	1	R
1	1	1	0	0	0	0	0	0	0	1	—
1	1	1	1	0	0	0	0	0	0	0	

Если на входе F — напряжение низкого уровня, на выходах выбираемых сегментов появятся напряжения высокого уровня. При напряжении высокого уровня на входе F выходные напряжения низкого уровня появятся на сегментах, которые выбираются с помощью кода на входах A — D. Поскольку выходы a — g инверсные по отношению ко входу F, переменное напряжение, поданное на вход F, окажется на выходах сегментов в противофазе.

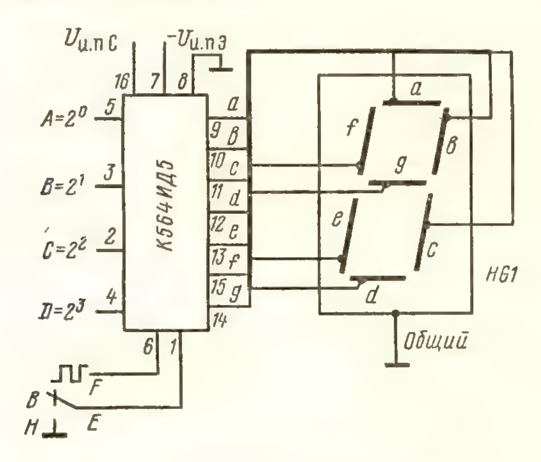


Рис. 2.61. Подключение ЖКИ к дешифратору К564ИД5

На рис. 2.61 показано подключение к дешифратору К564ИД5 семисегментного ЖКИ. Амплитуда переменного напряжения на сегменте будет соответствовать сумме $U_{и.пС}+U_{и.п}$. Входные сигналы A — D могут иметь ТТЛ-уровни. Частота переменного сигнала F выбирается ниже верхнего предела частоты для ЖКИ (например, 30...200 Гц).

2.11. АРИФМЕТИЧЕСКИЕ СХЕМЫ КМОП

Микросхемы средней интеграции (табл. 2.29) применяются для узлов, выполняющих как простые арифметические операции, так и вспомогательные логические (например, проверка на четность). Сумматор ИМ1 может складывать два четырехразрядных двоичных числа. Имеется микросхема для проверки принимаемого кода на четность (СА1) либо для посылки в линию связи служебного разряда контроля четности. С помощью цифрового компаратора ИП2 можно сравнить два четырехразрядных числа.

Универсальные свойства имеет арифметическо-логическое устройство АЛУ ИП3. С помощью кодов управления его можно перевести в режим выполнения одной из 32 функций (16 логических и 16 арифметических, включая вышеупомянутое суммирование; АЛУ имеет также выход компаратора).

Поскольку для увеличения емкости собственно вычислителя (его называют центральное процессорное устройство — ЦПУ) приходится соединять, например, четыре четырехразрядных АЛУ как четыре сум-

Таблица 2.29. **Арифметическо-логические схемы КМОП**

Обозначение, функция	Серии и номера микросхем					
	К176	К561	К564	CD4000A	CD4000B	МС
Дешифраторы:						
ИД1	+	+		28	—	—
ИД5			+	—	56	—
Сумматор ИМ1	+	+	+	08	08	—
Схема проверки четности СА1		+	+	—	—	14531A
Схема сравнения ИП2		+	+	—		14585A
АЛУ ИП3			+	—	181	—
СУП ИП4			+	—	182	—
ОЗУ РУ2	+			61	—	—

матора, то для обеспечения быстрого параллельного суммирования необходима микросхема ИП4, содержащая схему ускоренного переноса СУП.

Принцип действия ОЗУ можно изучить на примере матрицы 256×1 бит РУ2.

Микросхема К176(К561)ИМ1 (рис. 2.62) — это сумматор, содержащий четыре узла поразрядного суммирования (полные сумматоры) и параллельную схему ускоренного переноса (выход $C_{вых}$). Такая структура повышает быстродействие многоразрядных арифметических узлов, состоящих из нескольких сумматоров ИМ1. Сумматор имеет четыре пары входов A0, B0 — A3, B3, на которые подаются два четырехразрядных слова A и B. От предшествующего сумматора на вход $C_{вх}$ можно принимать сигнал переноса. Кроме сигнала ускоренного переноса $C_{вых}$, на выходе сумматора присутствуют четыре разряда суммы S0 — S3.

Состояния сумматора ИМ1 сведены в табл. 2.30. На рис. 2.63 показана схема суммирования двух 16-разрядных слов A0 — A15 и B0 —

Таблица 2.30. **Состояния сумматора К561ИМ1**

Вход			Выход	
A_i	B_i	$C_{iвх}$	$C_{вых}$	S_i
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1

Таблица 2.31. **Состояния схемы проверки четности CD40101B**

Вход		Выход	
Сумма единиц на входах D0—D8	Запрет $\bar{E}$	$Q_{чт}$ (четная)	$Q_{нч}$ (нечетная)
Четная	0	1	0
Нечетная	0	0	1
x	1	0	0

В15. В схеме (рис. 2.64) два сумматора ИМ1 работают как преобразователь двоично-десятичного кода формата 1—2—4—8 в двоичный, семиразрядный.

Время $t_{зд,р,ср}$ сигнала от входов A_i, B_i к выходу S_i, а также от входа $C_{вх}$ до S_i не более 325 нс (питание 10 В). Время установления высокого или низкого уровней сигнала на выходах суммы 550 нс. При напряжении $U_{и.п}$=5 В значения этих временных параметров удваиваются.

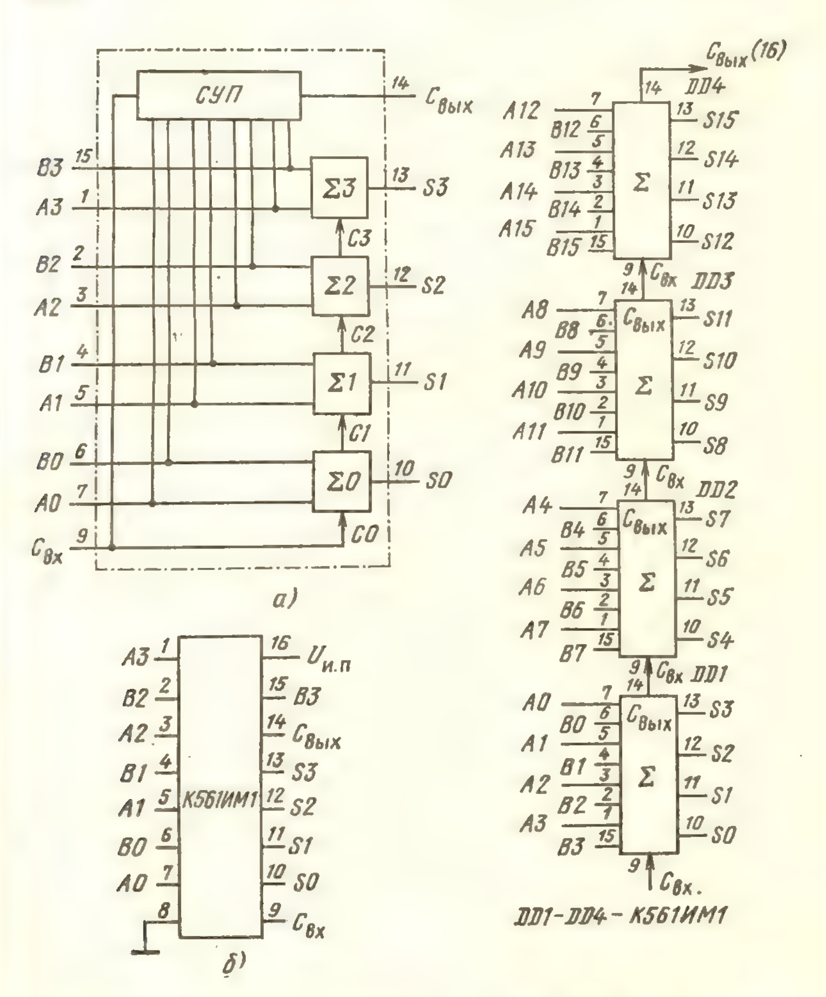


Рис. 2.62. Сумматор К561ИМ1 (*а*) и его цоколевка (*б*)

Рис. 2.63. Схема суммирования двух 16-разрядных слов

Микросхема CD40101B — девятиразрядное устройство проверки на четность (рис. 2.65), принимающее восьмиразрядный код D0 — D7, а по девятому проводу контрольный разряд D8. Схема имеет два выхода: четный $Q_{чт}$ и нечетный $Q_{нч}$. На отдельный вход $\overline{E}$ может подаваться сигнал запрета. При напряжении высокого уровня на входе $\overline{E}$ оба выходных сигнала переходят на низкий уровень. Состояния на входах и выходах схемы проверки на четность сведены в табл. 2.31.

Устройство применяется либо для проверки четности, либо как генератор разряда четности. В первом случае проверяем принятое 8-разрядное слово на четность, сравнивая сумму его единиц с контрольным, девятым разрядом, во втором — передаем в линию контрольный разряд

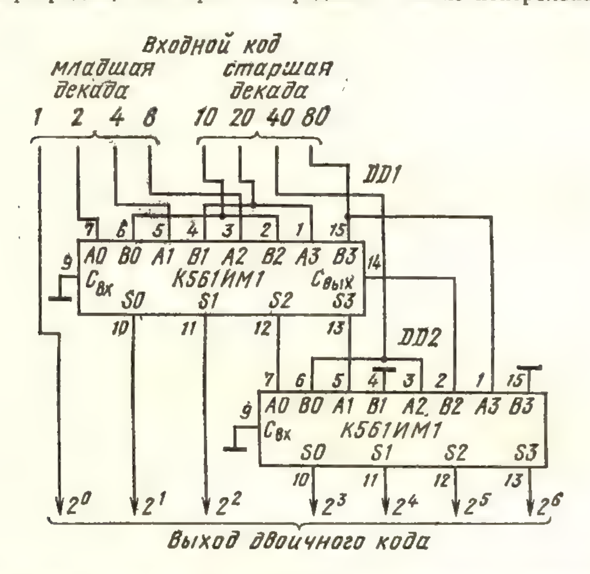


Рис. 2.64. Сумматор К561ИМ1 в схеме преобразования кодов

Таблица 2.32. **Состояния устройства проверки на четность К561СА1**

Состояние входов A_0—A_{12}	Уровень на выходе Q
На всех 13 входах уровень Н	Н
На любом 1 входе уровень В	В
На любых 2 входах уровень В	Н
На любом нечетном числе входов (<13) уровень В	В
На любом четном числе входов уровень Н	Н
На всех 13 входах уровень В	В

четности. Он будет сопровождать слово при передаче, чтобы можно было проверить правильность его приема. Передавая в линию два сигнала $Q_{чт}$ и $Q_{нч}$ и используя на приеме входы $\bar{E}$ и D8, можно вырабатывать сигнал запрета ошибочного слова. Время задержки распространения данных не превышает 125 нс при напряжении питания $U_{и.п}$= =10 В (при $U_{и.п}$=5В — 400 нс).

Микросхема К561СА1 — двенадцатиразрядная схема проверки на четность. В отличие от предыдущей имеет один выход Q и 13 входов

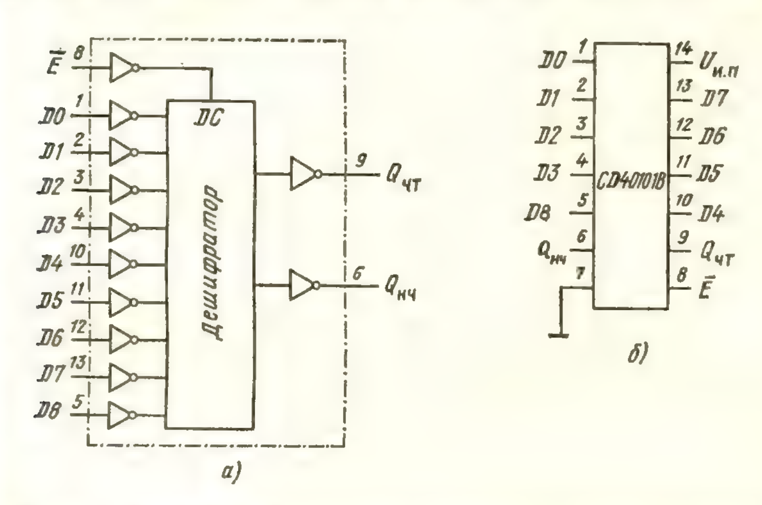


Рис. 2.65. Девятиразрядное устройство проверки на четность CD40101 B *(а)* и его цоколевка *(б)*

(один бит — контрольный). Эта микросхема показана на рис. 2.66. По табл. 2.32 можно определить состояние выхода Q (выходные напряжения высокого или низкого уровня) в зависимости от четности или нечетности суммы напряжений высоких уровней. Если необходимо каскадировать две схемы К561СА1, выход первой микросхемы следует присоединить ко входу А12 второй.

Микросхема К561ИП2 (рис. 2.67) — цифровой компаратор. Она сравнивает два четырехразрядных числа и имеет три выхода $Q_{A<B}$, $Q_{A>B}$ и $Q_{A=B}$, отображающие неравенство или равенство двоичных или двоично-десятичных слов. Восемь входов микросхемы используются для приема входных слов А0 — А3 и В0 — В3. Три входа $A>B$, $A<B$ и $A=B$ используются при наращивании числа разрядов устройства сравнения. Если применяется только один корпус К561ИП2, на входы $A=B$ и $A>B$ следует подать напряжение высокого уровня, а на вход $A<B$ — низкого. Полная структурная схема цифрового компаратора показана на рис. 2.67, *в*. Логические состояния цифрового компаратора К561ИП2 сведены в табл. 2.33.

На рис. 2.68 показана функциональная схема двенадцатиразрядного устройства сравнения двух чисел. Здесь входы данных трех мик-

Таблица 2.33. **Состояния цифрового компаратора К561ИП2**

Вход сравнения				Вход каскадирования			Выход		
A4, B3	A2, B2	A1, B1	A0, B0	A>B	A<B	A=B	$Q_{A>B}$	$Q_{A<B}$	$Q_{A=B}$
$A_3>B_3$	x	x	x	В	Н	В	В	Н	Н
$A_3<B_3$	x	x	x	В	Н	В	Н	В	Н
$A_3=B_3$	$A_2>B_2$	x	x	В	Н	В	В	Н	Н
$A_3=B_3$	$A_2<B_2$	x	x	В	Н	В	Н	В	Н
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	x	В	Н	В	В	Н	Н
$A_3=B_3$	$A_2=B_2$	$A_1<B_1$	x	В	Н	В	Н	В	Н
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	В	Н	В	В	Н	Н
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0<B_0$	В	Н	В	Н	В	Н
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	В	Н	Н	В	Н	Н
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	Н	В	Н	Н	В	Н
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	Н	Н	В	Н	Н	В
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	Н	В	В	Н	В	В
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	В	Н	В	Н	Н	В
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	В	В	В	Н	В	В
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	В	В	Н	Н	В	Н
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	Н	Н	Н	Н	Н	Н

росхем К561ИП2 образуют параллельные шины данных. Входы и выходы микросхемы «равенства — неравенства» соединены последовательно. Время задержки сигнала в первой К561ИП2 не превышает 250 нс, в каждой последующей 200 нс.

Микросхема К564ИП3 (рис. 2.69) — это параллельное четырехразрядное арифметическо-логическое устройство АЛУ. Оно может выполнять либо 16 логических, либо 16 арифметических операций. Эти режимы переключаются логическими сигналами высокого или низкого уровня, подаваемыми на вход М. Если здесь низкий уровень — выполняются арифметические операции, высокий — логические.

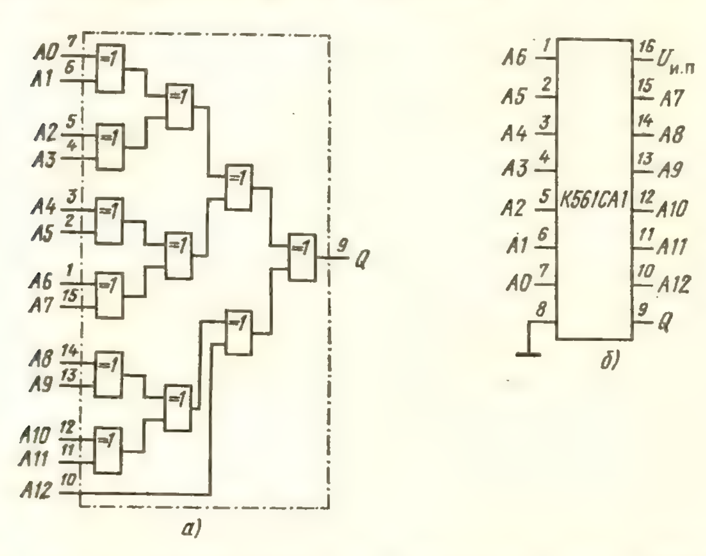


Рис. 2.66. Двенадцатиразрядная схема проверки на четность К561СА1 *(а)* и ее цоколевка *(б)*

Арифметическо-логическое устройство имеет четыре пары входов слов: А0 — А3 и В0 — В3, а также четыре выхода F0 — F3, на которых появляется слово — результат логической или арифметической операции.

Нужную операцию (арифметическую или логическую) выбирают с помощью кода на входах S0 — S3. Арифметическо-логическое устройство может работать с активными напряжениями как высокого, так и низкого уровней. Таким способом можно еще более расширить возможности выбора подходящей логической функции. На рис. 2.69, *б* показано наименование выходов АЛУ при высоких, а на рис. 2.69, *в* — при активных напряжениях низкого уровня.

Полная принципиальная схема АЛУ показана на рис. 2.70. Арифметическо-логическое устройство имеет внутреннюю схему ускоренного переноса СУП с выходами $\overline{G}$ (генерация переноса) и $\overline{P}$ (распространение переноса). Многоразрядные АЛУ собирают из нескольких корпусов К564ИП3 совместно с внешней СУП К564ИП4. Арифметическо-

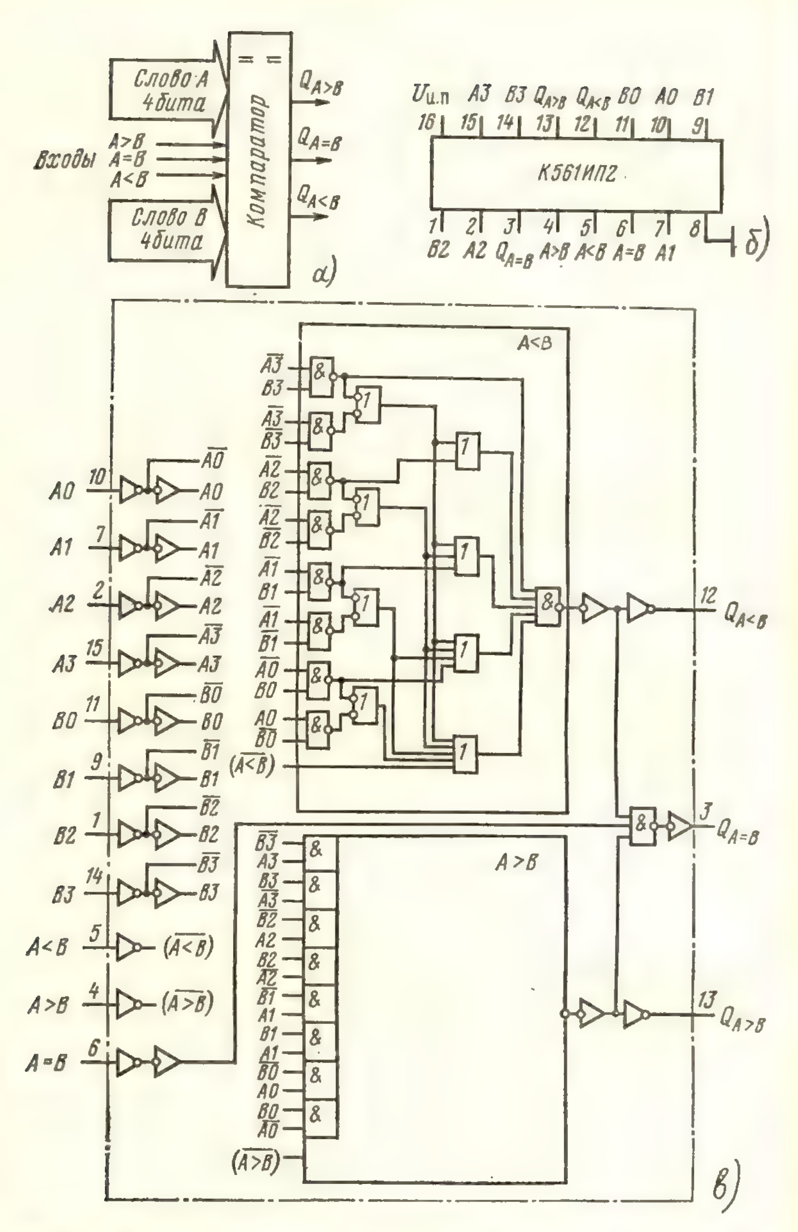


Рис. 2.67. Цифровой компаратор К561ИП2 *(а)*, его цоколевка *(б)* и полная структурная схема *(в)*

логическое устройство имеет вход для приема уровня переноса C_n и выход сигнала переноса C_{n+4} (т. е. после 4-разрядного сумматора). Пульсирующим выходом переноса C_{n+4} можно пользоваться в схемах многоразрядных АЛУ, если скорость работы не лимитируется.

В табл. 2.34 показано использование входа C_n и выхода C_{n+4} для сравнения чисел А и В, если АЛУ работает как вычитатель с применением внешнего дешифратора. Если входные слова А и В равны (К564ИП3 — вычитатель), на выходе компаратора А=В появится напряжение высокого уровня.

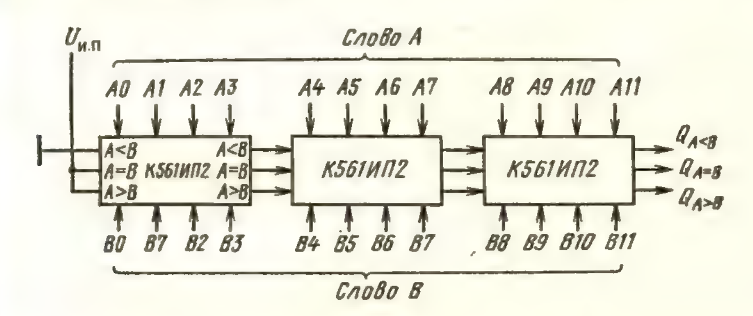


Рис. 2.68. Двенадцатиразрядное устройство сравнения двух слов А и В

Таблица 2.34. **Использование выводов C_n и C_{n+4} микросхемы К564ИП3 для сравнения чисел**

Активный—высокий уровень			Активный—низкий уровень		
Вход C_n	Выход C_{n+4}	Результат	Вход C_n	Выход C_{n+4}	Результат
1	1	$A \leqslant B$	0	0	$A \leqslant B$
0	1	$A < B$	1	0	$A < B$
1	0	$A > B$	0	1	$A > B$
0	0	$A \geqslant B$	1	1	$A \geqslant B$

Время задержки от входов А, В до выходов F в АЛУ К564ИП3 составляет 150 нс ($U_{и.п}=15$ В), при $U_{и.п}=5$ В — 450 нс. Среднее время выполнения операций — 200 нс ($U_{и.п}=10$ В).

Логические и арифметические операции АЛУ перечислены в табл. 2.35, где показано их соответствие коду на входах их выбора S0—S1. Колонок выходных функций — четыре: логические и арифметические операции, соответствующие активным напряжениям как высокого, так и низкого уровня.

Микросхема К564ИП4 (рис. 2.71) — это схема ускоренного переноса, способная обслуживать четыре двоичных сумматора или группы из большего числа сумматоров, поскольку эта микросхема имеет выходы каскадирования. Схема ускоренного переноса К564ИП4 применяется также совместно с четырьмя АЛУ К564ИП3. СУП имеет четыре входа

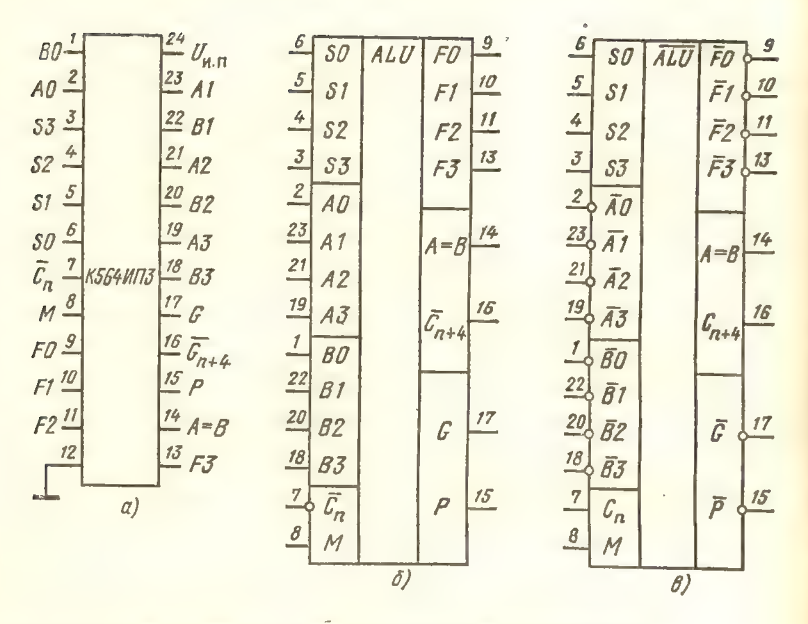


Рис. 2.69. Арифметическо-логическое устройство К564ИП3:

а — цоколевка; *б* — наименование выходов при высоких активных уровнях; *в* — то же для низких

генерации переноса $\bar{G}1 - \bar{G}4$ и четыре входа — распространения переноса $\bar{P}1 - \bar{P}4$ (сюда подаются соответствующие выходные сигналы $\bar{G}$ и $\bar{P}$ от каждого АЛУ). Входы СУП $\bar{G}$ и $\bar{P}$ имеют активные напряжения низкого уровня. Имеется также вход приема пульсирующего переноса C_n (активный уровень — высокий).

Схема ускоренного переноса имеет три выхода переноса C_{n+x}, C_{n+y} и C_{n+z}, а также выходы $\bar{C}_{вых}$ и $\bar{P}_{вых}$ (активные уровни — низкие). Выход $\bar{G}_{вых}$ — групповая генерация переноса, $\bar{P}_{вых}$ — групповое распространение переноса. На выходах СУП выполняются логические уравнения:

$$C_{n+x} = G_0 + P_0 C_n, \tag{2.8}$$

$$C_{n+y} = G_1 + P_1 G_0 + P_1 P_0 C_n, \tag{2.9}$$

$$C_{n+z} = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_n, \tag{2.10}$$

$$\bar{G}_{вых} = \overline{G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0}, \tag{2.11}$$

$$\bar{P}_{вых} = P_3 P_2 P_1 P_0. \tag{2.12}$$

Время прохождения сигнала C_n в СУП для $U_{и.п}=15$ В — 125 нс (400 нс при $U_{и.п}=5$ В), время задержки от входов P, G до аналогичных выходов 90 нс (300 нс при $U_{и.п}=5$ В). Время переходного процесса 40 нс (100 нс при $U_{и.п}=5$ В).

Рис. 2.70. Полная схема АЛУ К564ИП3

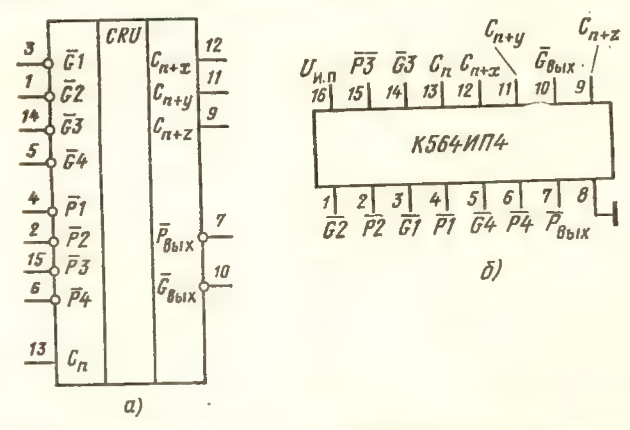


Рис. 2.71. Схема ускоренного переноса К564ИП4 (*а*) и ее цоколевка (*б*)

Таблица 2.35. **Функции АЛУ К564ИП3**

Вход выбора функции				Активные — низкие уровни		Активные — высокие уровни	
S3	S2	S1	S0	Логические функции (M=B)	Арифметические функции (M=H), C_n=H	Логические функции (M=B)	Арифметические функции (M=H), $\overline{C}_n$=B
H	H	H	H	$\overline{A}$	$A-1$	$\overline{A}$	A
H	H	H	B	$\overline{AB}$	$AB-1$	$\overline{A+B}$	$A+B$
H	H	B	H	$\overline{A}+B$	$A\overline{B}-1$	$\overline{A}B$	$A+\overline{B}$
H	H	B	B	1	-1	0	-1
H	B	H	H	$\overline{A+B}$	$A+(A+\overline{B})$	$A\overline{B}$	$A+\overline{AB}$
H	B	H	B	$\overline{B}$	$AB+(A+\overline{B})$	$\overline{B}$	$(A+B)+A\overline{B}$
H	B	B	H	$\overline{A\oplus B}$	$A-B-1$	$A\oplus B$	$A-B-1$
H	B	B	B	$A+\overline{B}$	$A+\overline{B}$	$A\overline{B}$	$A\overline{B}-1$
B	H	H	H	$\overline{A}B$	$A+(A+B)$	$\overline{A}+B$	$A+AB$
B	H	H	B	$A\oplus B$	$A+B$	$\overline{A\oplus B}$	$A+B$
B	H	B	H	B	$A\overline{B}+(A+B)$	B	$(A+\overline{B})+AB$
B	H	B	B	$A+B$	$A+B$	AB	$AB-1$
B	B	H	H	0	$A+A$	1	$A+A$
B	B	H	B	$A\overline{B}$	$AB+A$	$A+\overline{B}$	$A+B)+A$
B	B	B	H	AB	$A\overline{B}+A$	$A+B$	$(A+\overline{B})+A$
B	B	B	B	A	A	A	$A-1$

Микросхема К176РУ2 — статическое ОЗУ, имеющее организацию: 256 слов по 1 биту, т. е. 256 ячеек хранения данных. Структурная схема этого ОЗУ показана на рис. 2.72. В центре ОЗУ располагается матрица из 256 защелок-триггеров (показана схема одного триггера). Триггеры образуют 16 колонок и 16 рядов. Соответственно имеется 16 вертикальных и 16 горизонтальных линий управления, которые выходят из дешифраторов адреса колонок Y и адреса строки X соответственно. Оперативное запоминающее устройство имеет восемь входов адреса. Первые четыре разряда A0 — A3 выбирают адрес линии, старшие четыре — A4 — A7 адрес колонки, где расположены ячейки хранения каждого одноразрядного слова.

Группа логических элементов, образующих входы CS (доступ к памяти) и $\overline{R}$/W (Чтение/Запись), вырабатывает внутренние сигналы K2, $\overline{K2}$ (для разрешения записи) и K1, $\overline{K1}$ (для разрешения или запрета чтения содержимого памяти).

Выводы 13 и 14 (выходы Q и $\overline{Q}$) обслуживают инверторы, имеющие состояние разомкнуто Z. Бит хранения данных вносится в память по выбранному адресу A0 — A7 через вход D. Как адрес ячейки записи,

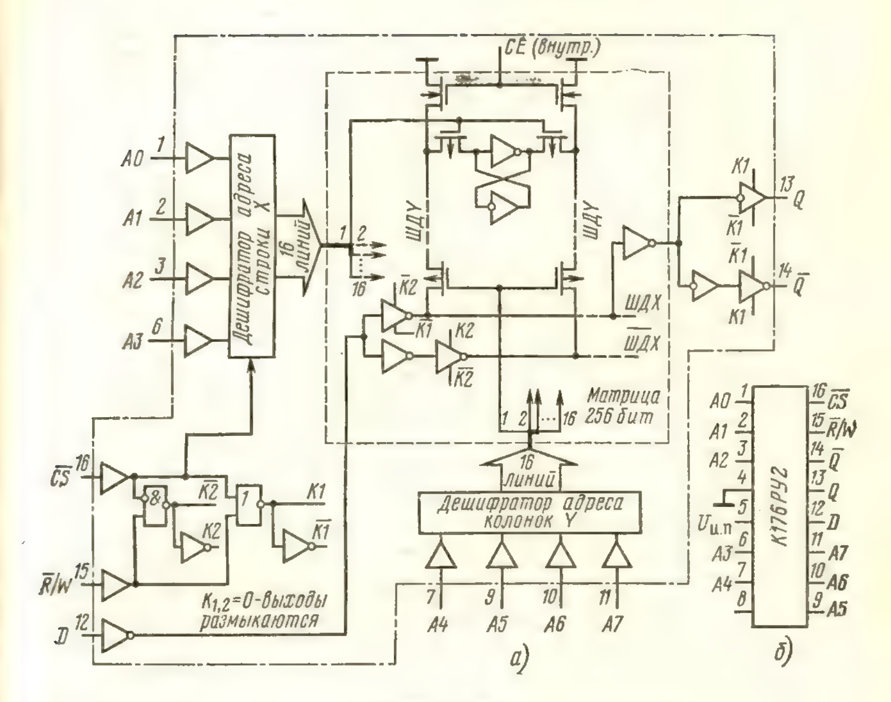


Рис. 2.72. Оперативное запоминающее устройство К176РУ2:

а — схема; *б* — цоколевка

так и адрес ячейки считывания выбираются в произвольном порядке. Для чтения и записи на вход $\overline{CS}$ следует подать напряжение низкого уровня. Напряжением высокого уровня на входе $\overline{CS}$ эти операции запрещаются, а выходы переходят в Z-состояние. В моменты высокого уровня на входе $\overline{CS}$ можно менять адреса ячеек (независимо от уровня на входе $R/\overline{W}$). Вход $\overline{CS}$ в схемах, где объединяется много корпусов РУ2, служит сигналом выбора отдельного корпуса.

Таблица 2.36. **Режим работы ОЗУ К176РУ2**

Режим работы	Код адреса	Вход			Выход
		$\overline{CS}$	$\overline{R}/W$	D	
Запись 0	Фиксируется	Н	В	Н	Z
Запись 1	»	Н	В	В	Z
Чтение	»	Н	Н	x	1/0
Чтение и запись	»	Н	Н/В	x	1/0 или Z
Перемена адреса	Меняется	В	x	x	Z

Выходы Q и $\overline{Q}$ станут активными (чтение), если на обоих входах $\overline{CS}$ и $\overline{R}/W$ уровни низкие. Если на входе $\overline{R}/W$ сменить уровень на высокий, можно записать бит информации. Сигналы управления и выходные состояния сведены в табл. 2.36.

Оперативное запоминающее устройство РУ2 потребляет статическую мощность 10 нВт; время выборки из памяти составляет 380 нс. На вход D надо подавать напряжения высоких и низких уровней КМОП. Выходы ОЗУ могут обслуживать входы микросхем ТТЛ.

Данное ОЗУ удобно для систем с шинной структурой (имеется Z-состояние выходов, входы записи D и выходы Q, $\overline{Q}$ — раздельные).

2.12. МИКРОСХЕМЫ ФАП И МУЛЬТИВИБРАТОРЫ

В дополнение к чисто цифровым среди КМОП имеются аналого-цифровые: устройство с фазовой автоподстройкой (ФАП) и ждущие мультивибраторы. Такие микросхемы позволяют упростить решение ря-

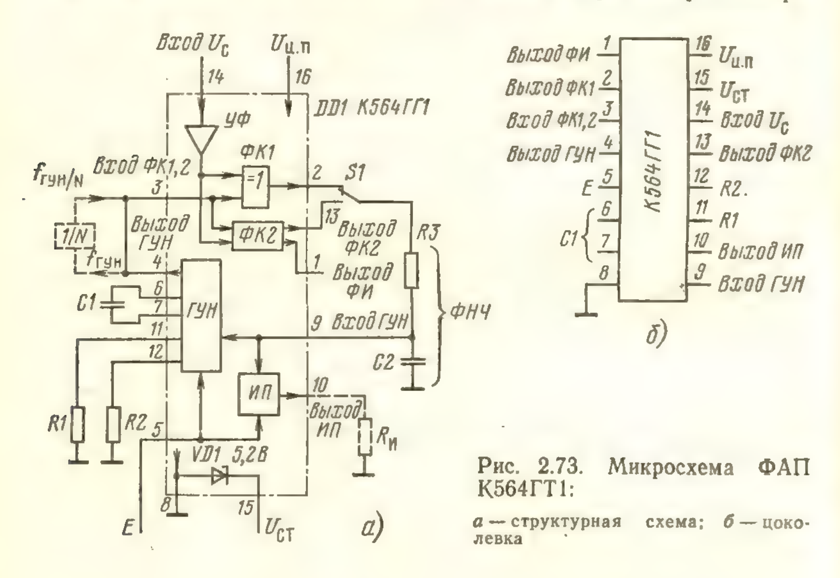


Рис. 2.73. Микросхема ФАП К564ГТ1:

а — структурная схема; *б* — цоколевка

да задач: затягивание импульсов, синтез частот, кратных опорной, синхронизация логического устройства под приходящий сигнал, генерация опорных сеток, преобразование напряжение — частота.

В данном параграфе рассмотрим микросхему ФАП К564ГГ1 и мультивибратор К564АГ1 (CD4098; ждущий, двухканальный с перезапуском).

Микромощная цифровая микросхема ФАП К564ГГ1 эффективно применяется в ЧМ-детекторах (демодуляторах) и ЧМ-модуляторах, в умножителях и синтезаторах частот, синхронизаторах потоков данных, декодерах поднесущих, в связных схемах «модулятор-демодуля-

тор» (сокращенно они называются модем), а также используется как генератор и формирователь сигналов.

Микросхема К564ГГ1 (рис. 2.73) содержит следующие внутренние узлы: генератор, управляемый напряжением (ГУН), два фазовых компаратора (ФК1 — исключающее ИЛИ или ФК2 — триггерная схема), формирователь-усилитель УФ входного сигнала, выходной истоковый повторитель ИП. Для удобства применения на кристалле микросхемы изготовлен источник опорного напряжения — стабилитрон с напряжением 5,2 В. Рассмотрим действие отдельных частей микросхемы ФАП К564ГГ1. На рис. 2.73, *а* показана полная схема так называемой петли ФАП.

Узел ГУН — основа ФАП. Она обеспечивает линейность преобразования напряжение — частота лучше 1 %. Для установки свободной частоты ГУН и диапазона девиации этой частоты требуется три внешних элемента: конденсатор С1 и резисторы R1, R2 (см. рис. 2.75 *а*). Элементы R1 и С1 фиксируют свободную частоту генерации, с помощью R2 этой частоте можно дать постоянный сдвиг.

Частота выходных импульсов ГУН (на выходе 4) называется свободной, если на входе управления частотой ГУН (на выводе 9) напряжение отсутствует.

В петле ФАП на вход ГУН (вывод 9) подается напряжение ошибки В устройстве (рис. 2.73, *а*) оно снимается с внешнего фильтра низкой частоты (R3, С2), где сглаживается импульсный сигнал, генерируемый одним из фазовых компараторов ФК1 или ФК2. Выбрать выход компаратора позволяет переключатель S1. Управляющий сигнал ГУН имеется и на выводе 10 — исток повторителя. Для правильной работы повторителя требуется подключать внешний резистор нагрузки $R_и >$ >10 кОм. Если этот выход не нужен, вывод 10 надо оставить отомкнутым.

Петля ФАП в схеме (рис. 2.73, *а*) состоит из трех узлов: ГУН, ФК1 (или ФК2) и фильтра низкой частоты (ФНЧ). Фильтр НЧ образуют резистор R3 и конденсатор С2. Как известно, особо опасна для работы системы ФАП вторая гармоника частоты ГУН. Поскольку входное сопротивление ГУН велико (до 10^{12} Ом), номинальная емкость конденсатора С2 в результате может быть небольшой. Входной цифровой сигнал U_c вводится в петлю ФАП от входа 14 через усилитель УФ и поступает на сигнальные входы обоих компараторов ФК1 и ФК2. На вторые входы компараторов подается выходной меандр свободной частоты от выхода ГУН. На выходе ФК в начальный момент должно присутствовать напряжение ошибки, соответствующее разности частот сигнала U_c и свободной ГУН. Отфильтрованное (сглаженное) напряжение с конденсатора С2 поступает на вход ГУН (вывод 9) в такой фазе, чтобы частота ГУН стала приближаться к частоте сигнала U_c.

Некоторое время, таким образом, будет идти переходной процесс автоподстройки частоты. В конце этого процесса установится режим автоподстройки фазы, поскольку частоты будут равны. Затем петля АП с большой точностью уравняет фазы сигнала и выходного напряжения ГУН. Полезными выходными сигналами петли ФАП могут быть как напряжение с выхода ФНЧ (выход повторителя, вывод 10), так и выходная частота $f_{ГУН}$ (вывод 4). Напряжение $U_{ФНЧ}$ используется при демодулировании входного ЧМ-сигнала (получается ЧМ-детектор), а частота $f_{ГУН}$ — результат работы синтезатора частоты.

Для синтеза частот, кратных входной частоте сигнала U_c, выход ГУН (вывод 4) присоединяется ко входам ФК (вывод 3) через внешний

цифровой делитель частоты в N раз. Тогда выходная частота ГУН будет в N раз выше, чем основная. Для схем синтеза частот необходимы счетчики с предварительной записью, а также реверсивные и программируемые; можно использовать счетчики К176ИЕ4, К561ИЕ9 и К561ИЕ10.

У схемы ГУН имеется вход разрешения E. Напряжение низкого уровня на этом входе разрешает работу схеме ГУН и истоковому повторителю. Если требуется уменьшить мощность потребления в режиме ожидания, на вход разрешения E следует подать напряжение высокого

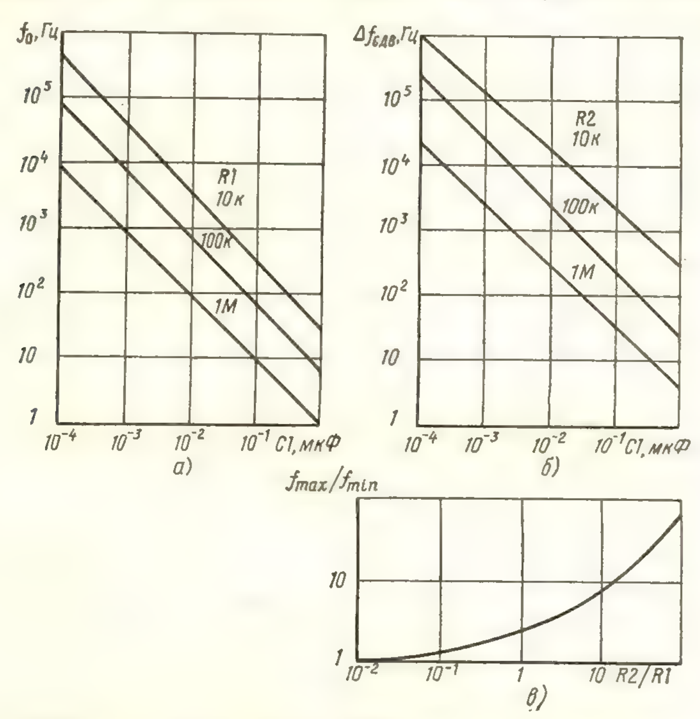


Рис. 2.74. Частотные характеристики ФАП:

а — зависимость центральной частоты f_0 от R1 и C1; *б* — то же для частоты сдвига $\Delta f_{СДВ}$; *в* — зависимость пределов частот от отношения R2/R1

уровня. Номиналы внешних элементов следует выбирать в пределах: R1, R2$\geqslant$10 кОм, $R_н$<1 МОм, C1>100 пФ (при $U_{и.п}$=5 В) и C1>50 пФ (при $U_{и.п}$>10 Вт).

Центральную частоту ГУН f_0 (свободная частота ФАП, работающей с компаратором ФК1) можно выбрать по рис. 2.74, *а*. Выбранную частоту f_0 следует сместить (сдвинуть) на величину $\Delta f_{сдв}$, если вывод 12 микросхемы и нулевой провод соединить через резистор R2. Значение частоты сдвига $\Delta f_{сдв}$ можно определить по рис. 2.84, *б*. Необходимо

учесть, что от экземпляра к экземпляру микросхем выбранные значения f_0 и $\Delta f_{сдв}$ могут меняться даже на 20 %.

На рис. 2.74, *в* показана зависимость максимальной f_{max} и минимальной f_{min} частот от отношения номиналов R2/R1. Здесь f_{max} определяется, когда $U_{вхГУН} = U_{и.п}$, а f_{min}, если $U_{вхГУН} = 0$. Значение частоты f_{max} составляет 1,5 МГц ($U_{и.п}=15$ В); при $U_{и.п}=5$ В $f_{max}=$ $=0,5$ МГц.

Фазовые компараторы ФК1 и ФК2 имеют общие входы (вывод 3, см. рис. 2.73, *б*). На внешний вывод 3 следует подавать сигнал только логики КМОП (уровень логического нуля ниже $0,3\,U_{и.п}$, логической единицы — выше $0,7\,U_{и.п}$). Сигналы с меньшей амплитудой можно по-

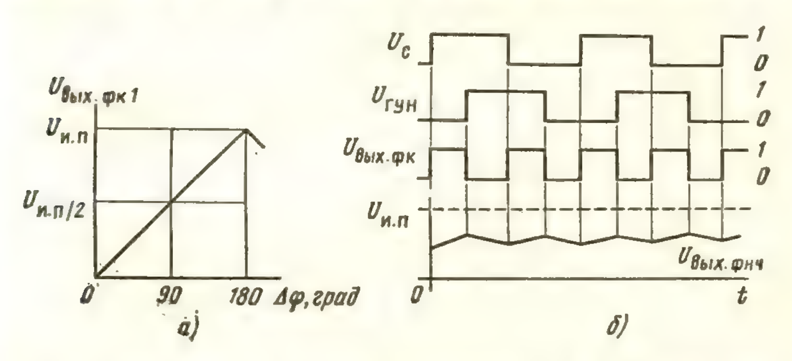


Рис. 2.75. Характеристика фазового компаратора ФК1 (*а*) и диаграммы сигналов в схеме ФАП на центральной частоте f_0 (*б*)

давать через емкость и дополнительный усилительный каскад. ФК1 — простой каскад исключающее ИЛИ. Для хорошей его работы и увеличения диапазона захвата ФАП требуется строго симметричный входной меандр U_c. Схема ФК1 такова, что без входного сигнала (или помехи) на ее выходе имеется потенциал $U_{и.п}/2$, под действием которого ГУН должен генерировать на центральной частоте диапазона f_0. С этим компаратором ФК1 полоса захвата петли ФАП остается в заданных пределах при сильных помехах. ФК1 лучше обеспечивает слежение ФАП на частотах, близких к гармоникам центральной частоты ГУН f_0. Особенность применения ФК1 в том, что фазовый угол между сигналом и выходом компаратора $U_{выхФК}$ меняется от 0 до 180° (см. рис. 2.75, *а*). На центральной частоте ГУН этот угол равен 90° (четверть периода). На рис. 2.75, *б* показан пример диаграммы работы узлов ФАП, когда между напряжением сигнала U_c и напряжением ГУН $U_{ГУН}$ существует равенство частот f_0 и угол сдвига соответствует 1/4 периода. В такой момент выходное напряжение ФК1 представляет собой меандр с удвоенной частотой ГУН (третья линия на диаграмме). Постоянная составляющая такого меандра $U_{и.п}/2$, однако даже после хорошего ФНЧ выходное напряжение $U_{выхФНЧ}$ имеет некоторую составляющую второй гармоники частоты ГУН (четвертый график диаграммы) Эта помеха в петле ФАП наиболее трудно устранимая. Полоса захвата ФАП с использованием ФК1 определяется полосой ФНЧ.

Схема ФК2 представляет собой четырехтриггерное ЗУ с логикой управления. Чтобы ФК2 и ФК1 работали на общий выход, схема ФК2 имеет третье состояние Z. ФК2 запускается положительными перепадами входных импульсов, поэтому скважность приходящих прямоугольных импульсов сигнала U_c не имеет значения. На рис. 2.76 показано пять осциллограмм для петли ФАП, работающей с ФК2.

Если частота входного сигнала больше (или меньше), чем частота ГУН, выходной каскад ФК2 находится в разомкнутом Z-состоянии. Когда частоты равны, но сигнал отстает по фазе от напряжения ГУН, выходное напряжение ФК2 будет находиться на низком уровне. Если

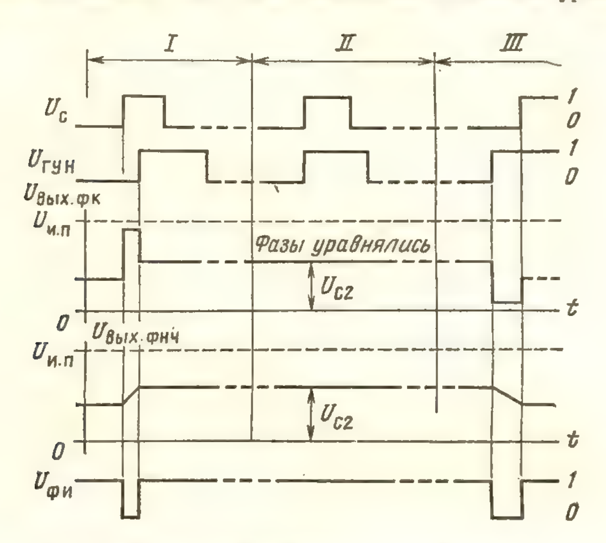


Рис. 2.76. Диаграммы сигналов в петле ФАП

отстает по фазе напряжение ГУН от напряжения сигнала U_c, на выходе ФК2 появится напряжение высокого уровня. Высокий (или низкий) уровень на выходе ФК2 будет удерживаться до тех пор, пока существует разность фаз. На выходе ФНЧ (конденсатор С2 на рис. 2.73, *а*) напряжение U_{c2} скачком изменяться не может, поэтому уравнивание фазы $U_{выхГУН}$ с фазой сигнала U_c потребует некоторого времени.

После уравнивания фаз оба р- и n-канальные выходные транзисторы ФК2 размыкаются, выход переходит в Z-состояние, следовательно, на конденсаторе С2 будет храниться потенциал, соответствующий равенству фаз. Соответственно управляющему напряжению U_{c2} будет зафиксирована частота ГУН. ФК2 имеет специальный выход фазовых импульсов ФИ. По уровню напряжения $U_{фи}$ можно видеть, находится ли ФАП в режиме слежения (высокий уровень) или подстройки (низкий уровень).

Таким образом, при работе ФК2 разность фаз между U_c и $U_{ГУН}$ в режиме слежения петли равна нулю. В эти моменты ФК2 потребляет минимум тока, поскольку его выходной каскад разомкнут. Полосы

слежения и захвата ФАП с ФК2 одинаковы и не определяются свойствами ФНЧ.

Если сигнала U_c нет, ГУН настраивается на самую низкую частоту своего диапазона под воздействием минимального напряжения $U_{выхФК}$.

На диаграмме (рис. 2.76) отмечены три периода. Считаем, что частоты U_c и $U_{ГУН}$ равны. На этапе I фаза U_c опережает фазу $U_{ГУН}$. После переходного процесса подстройки (ему по времени соответствует отрицательный импульс $U_{фи}$) фазы уравниваются, так как напряжение U_{c2} повышается. Это напряжение сохраняется на протяжении этапа II, когда удерживается равенство фаз.

На этапе III соотношение входных фаз сигнальный U_c и опорной $U_{ГУН}$ последовательностей импульсов обратное, поэтому для уравнивания их напряжение U_{c2} должно несколько уменьшиться.

Особенности применения в петле ФАП фазовых компараторов ФК1 и ФК2 указаны в табл. 2.37. Рисунок 2.77 поясняет соответствующие графы табл. 2.37.

Таблица 2.37. **Особенности применения фазовых компараторов ФК1 и ФК2 микросхемы К564ГГ1**

Характеристики петли ФАП	Фазовый компаратор	Особенности применения ФК1 и ФК2
Выбор частоты ГУН и полосы захвата $2f_з$	ФК1, ФК2	Полоса захвата $2f_з$ выбирается без сдвига (рис. 2.77, *а*) или со сдвигом (рис. 2.77, *б*)
Частоты ГУН без сигнала U_c	ФК1	$f_{ГУН} \to f_0$
	ФК2	$f_{ГУН} \to f_{min}$
Диапазон $2f_з$	ФК1, ФК2	$2f_з = f_{max} - f_{min}$
Диапазон слежения $2f_{сл}$	ФК2	$f_{сл} = f_з$
Фазовый угол между U_c и $U_{ГУН}$	ФК1	При $f_0 = f_{ГУН}$ $\Delta\varphi = 90°$
		при $f_{min} = f_{ГУН}$ $\Delta\varphi = 0°$
		при $f_{max} = f_{ГУН}$ $\Delta\varphi = 180°$
	ФК2	В полосе $2f_з$ $\Delta\varphi = 0°$
Слежение на гармонике f_0	ФК1	Обеспечивает
	ФК2	Нет
Степень подавления входных помех	ФК1	Большая
	ФК2	Малая

Микросхема К564АГ1 содержит два ждущих мультивибратора (ЖМВБР) с входами перезапуском и предварительной установки (сброса). Автогенератор строится из двух ЖМВБР по кольцевой схеме. Принципиальная схема одного мультивибратора приведена на рис. 2.78, *а*. Взаимосвязь двух мультивибраторов в микросхеме К564АГ1 и подключение времязадающих элементов показаны на рис. 2.78, *б*.

Каждый мультивибратор имеет два выхода Q и $\bar{Q}$. Мультивибратор можно запускать любым перепадом положительного импульса. Вход

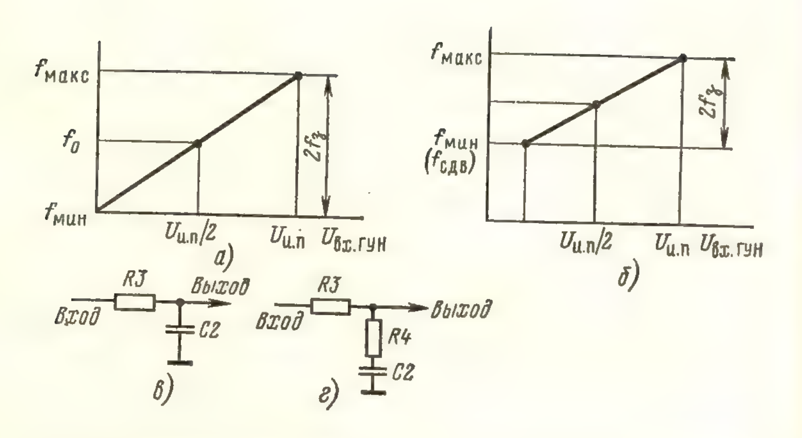


Рис. 2.77. Графики к табл. 2.37:

а — установка центральной частоты f_0 без сдвига; *б* — то же с частотой сдвига $f_{СДВ}$; *в*—*г* — фильтрующие звенья

+TR принимает нарастающий перепад его, а вход —TR — спадающий. Неиспользуемые входы при этом следует присоединять: —TR к $U_{и.п}$, а +TR — к земле. Вход сброса R используется для укорачивания выходного импульса либо для предотвращения появления выходного им-

Таблица 2.38. **Режимы мультивибраторов микросхемы К564АГ1**

Запускающий перепад	Функция схемы	Напряжение $U_{и.п}$ подается на выводы		Заземляющие выводы	
		МВБР1	МВБР2	МВБР1	МВБР2
Положительный	С перезапуском	3,5	11,3		
	Без перезапуска	3	13		
Отрицательный	С перезапуском	3	13	4	12
	Без перезапуска	3	13		
—	Неиспользуемая часть	5	11	3,4	12,13

Запускающий перепад	Функция схемы	Входной импульс подается на выводы		Дополнительные перемычки	
		МВБР1	МВБР2	МВБР1	МВБР2
Положительный	С перезапуском	4	12		
	Без перезапуска	4	12	5—7	11—9
Отрицательный	С перезапуском	5	11		
	Без перезапуска	5	11	4—6	12—10
—	Неиспользуемая часть				

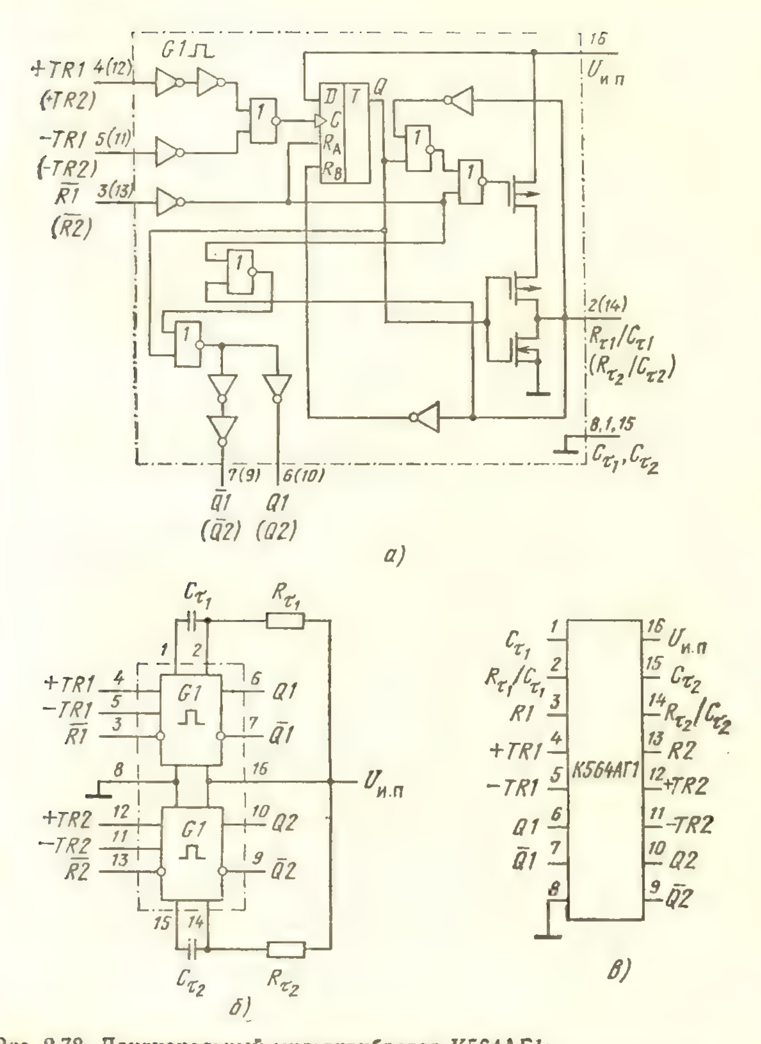
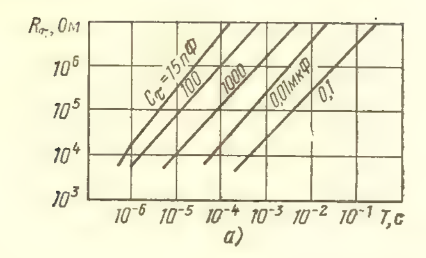


Рис. 2.78. Двухканальный мультивибратор К564АГ1:

а — схема одного мультивибратора; *б* — включение двух мультивибраторов; *в* — цоколевка

пульса, когда включается напряжение питания. Если вход R не нужен, его присоединяют к $U_{и.п}$, однако у неиспользуемого мультивибратора вывод следует заземлить.

Для предотвращения перезапуска (если для запуска используется нарастающий фронт) вывод $\overline{Q}$ надо присоединить ко входу —TR. Со-



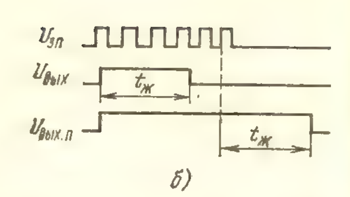


Рис. 2.79. Диаграмма для определения номиналов R_τ и C_τ (*а*), процесс перезапуска схемы К564АГ1 (*б*)

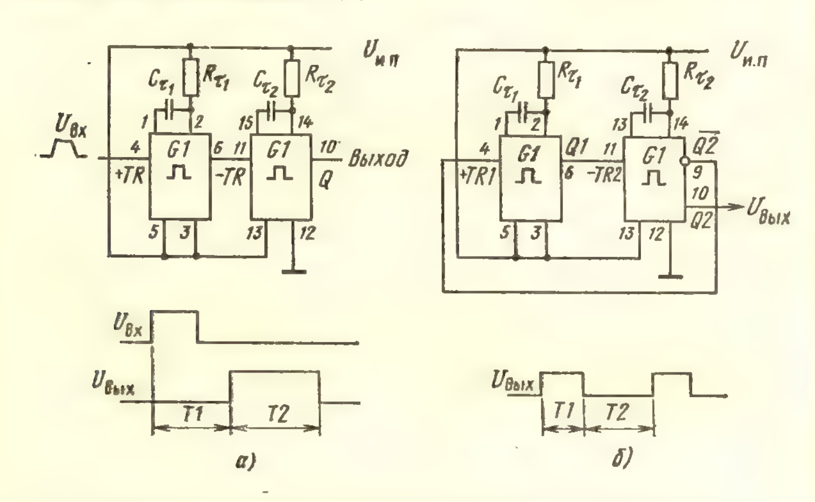


Рис. 2.80. Применение мультивибраторов микросхемы К564АГ1:

а — схема генерации задержанного импульса; *б* — схема кольцевого автогенератора

ответственно Q следует соединить с +TR, если запускающий фронт — отрицательный. Период импульса можно подсчитать приближенно: $t_ж = (1/2)\ R_\tau C_\tau$ для $C_\tau > 0,01$ мкФ. Более точно (но без учета разброса параметров экземпляров, вариаций, температуры и напряжения) значения R_τ и C_τ можно определить по диаграмме (рис. 2.79, *а*).

Согласно данным табл. 2.38 для первого или второго мультивибраторов (МВБР1 и МВБР2) можно составить схемы применения с простым запуском и с перезапуском как положительным, так и отрицательным перепадами.

Если выбрана схема мультивибратора с однократным запуском, время $t_ж$ отсчитывается от первого входного импульса $U_{зп}$ (напряжение $U_{вых}$ на рис. 2.79, *б*). Период $t_ж$ для перезапускаемого мультивибрато-

ра отсчитывается от последнего входного импульса (см. график $U_{вых\ в}$ на рис. 2.79, *б*).

На рис. 2.80 показаны две схемы применения К564АГ1 (CD4098B). Устройство (рис. 2.80, *а*) — генератор задержанного импульса. На рис. 2.80, *б* показан кольцевой автогенератор. В обеих схемах длительность периодов T1 и T2 устанавливается независимо элементами $C_{\tau 1}$, $R_{\tau 1}$ и $C_{\tau 2}$, $R_{\tau 2}$.

2.13. ПРИБОР ДЛЯ ИСПЫТАНИЙ МИКРОСХЕМ

На рис. 2.81 дана принципиальная схема прибора, с помощью которого можно испытывать работоспособность практически всех перечисленных в справочнике микросхем ТТЛ и КМОП, как новых, так и бывших в употреблении. Кроме того, данный прибор можно использовать для сверки иногда противоречивых описаний работы микросхем (цоколевки, таблицы состояний) с их реальными возможностями. Эскиз конструкции панели прибора показан на рис. 2.82.

Схема прибора состоит из четырех частей. Прежде всего на панели прибора следует расположить три контактных гребенки XS 29, XS 30 и XS 31 типа РС24-Н (или аналогичных). Расстояние между гребенками (рис. 2.81) составляет 10 и 17,5 мм. Микросхемы с четырнадцатью выводами устанавливаются в зону, обозначенную линией А, шестнадцатиконтактные — Б, двадцатичетырехконтактные — В.

Узел контактных гребенок надо снабдить 24 гибкими контактными проводами (например, марки МГТФ). Каждый провод должен заканчиваться контактным штырем XP1—XP24. Длину проводов следует выбрать такой, чтобы любой штырь из группы XP1—XP24 мог быть вставлен в гнездо от XS1 до XS24.

Вторая часть прибора — наборно-индикаторная. С помощью 14 тумблеров S1...S14 можно набрать любую комбинацию статистических управляющих и входных сигналов для микросхем ТТЛ и КМОП, рассматриваемых в справочнике. Тумблера рекомендуется расположить в линию и перед испытанием микросхемы каждого нового типа отмаркировать их, закрепив бумажную полоску — трафарет с названием входов. Гнезда XS1—XS14 должны быть совместимы с каждым штырем XP1—XP24 (это же относится к гнездам XS15—XS24 и XS29, XS30). Комплект штырей и гнезд можно изготовить, например, из подходящего разъема (вилка — розетка). В качестве индикатора используется линейка светодиодов VD1—VD10. К их гнездам XS15...XS24 присоединяются выходные провода испытуемой микросхемы. Светодиоды горят, когда на соответствующем выходе микросхемы появляется высокий логический уровень. Третья часть испытательного прибора — это генератор тактовых импульсов, следующих с частотой 1 Гц. Такая низкая частота обеспечивает достаточное время (1 с) для наблюдения за сменой выходных состояний испытуемой микросхемы. В данном генераторе использованы две микросхемы. Мультивибратор собран на микросхеме триггера Шмитта DD1. Триггер Шмитта формирует перепады напряжения, обеспечивающие устойчивое переключение состояний микросхем по тактовым входам при инфранизкой частоте следования. Если переключатель S15 замкнут, микросхема DD1 получает от внешнего источника напряжение питания 5В непосредственно от зажима питания XS27.

При испытаниях микросхем ТТЛ штырь тактового входа (из группы

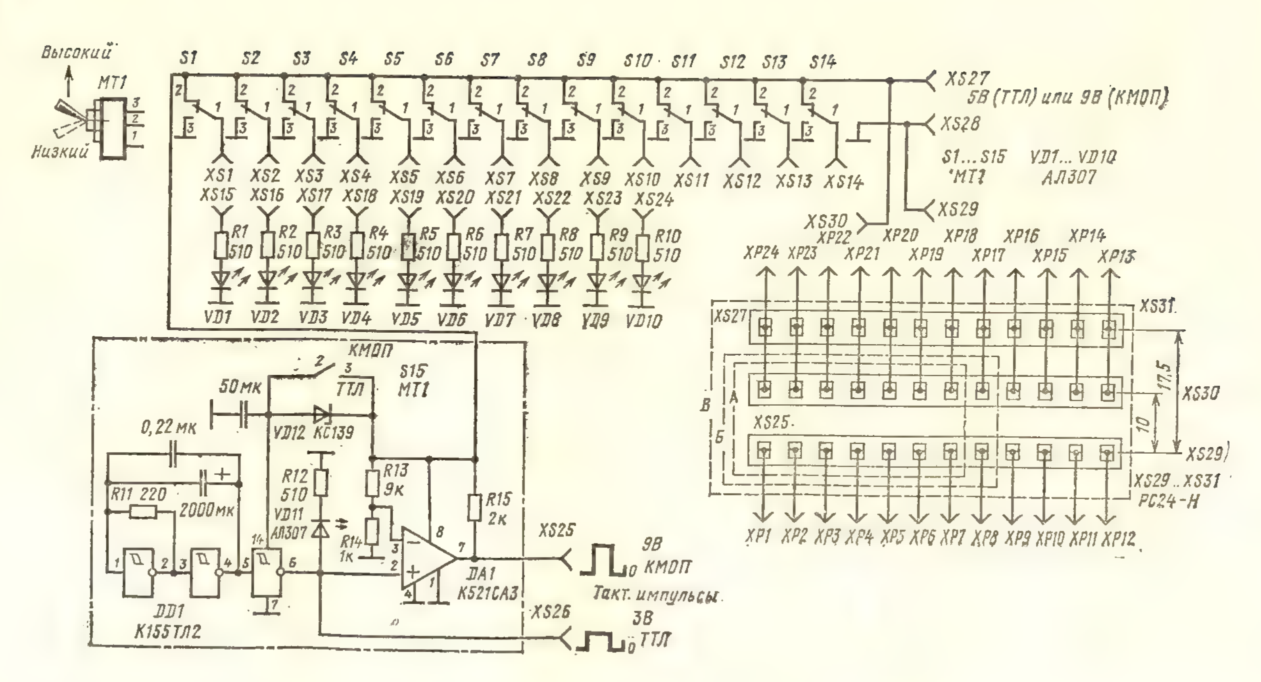


Рис. 2.81. Принципиальная схема прибора для испытания микросхем ТТЛ и КМОП

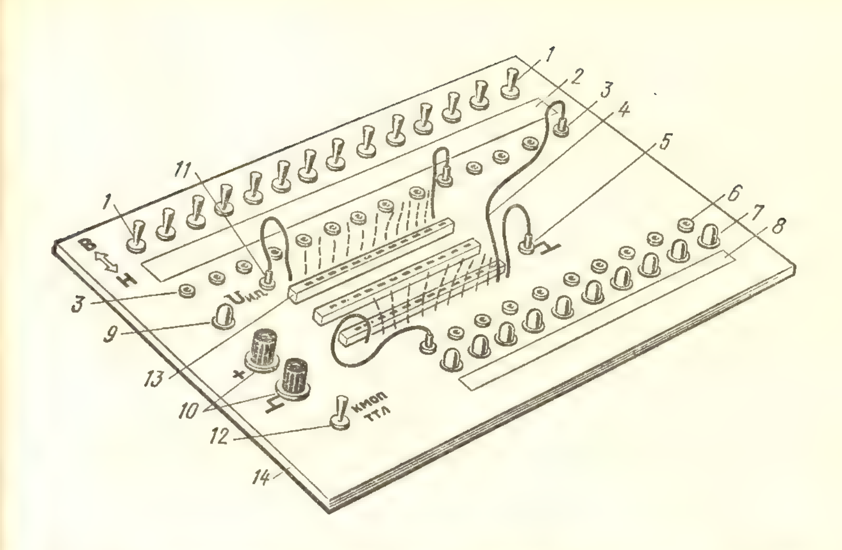


Рис. 2.82. Эскиз панели прибора для испытания микросхем: 1 — тумблеры S1—S14, 2 — место для маркировки входов; 3 — ряд гнезд входных сигналов XS1—XS14; 4 — контактный провод со штырем (всего 24 провода XP1 — XP24); 5 — гнездо «Земля» XS29; 6 — гнезда выходных сигналов XS15—XS24; 7 — ряд светодиодов VD1—VD10; 8 — место для маркировки выходов; 9 — светодиод («мигалка» VD11); 10 — зажимы питания XS27 и XS28; 11 — гнездо XS30 для питания микросхемы; 12 — переключатель S15; 13 — контактные колодки микросхем XS29—XS31; 14 — панель прибора

XP1—XP23) соединяется с гнездом XS26 (выход тактовых импульсов ТТЛ). Когда тактовый генератор работает, смену высоких и низких выходных уровней напряжения можно наблюдать по светодиоду VD11 (мигает с частотой 1 Гц).

Выходные импульсы для тактовых цепей микросхем КМОП формируются с помощью компаратора DA1 К521СА3. Тактовые входы микросхем КМОП следует присоединять к гнезду XS25. Перед испытанием микросхем КМОП тумблер S15 следует разомкнуть, чтобы на DD1 попало напряжение питания, сниженное до 5 В. На зажим XS27 от внешнего источника подаем напряжение питания 9В.

При испытаниях микросхем с открытыми коллекторами (или стоками) в схеме прибора требуется небольшая модернизация: следует добавить нагрузочные резисторы.

Кроме того, следует помнить, что встречаются микросхемы, которым не рекомендуется подавать «длинные» тактовые импульсы (например К176ИР10).

3. ЦИФРОВЫЕ МИКРОСХЕМЫ ЭСЛ

3.1. СХЕМОТЕХНИКА ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Цифровые микросхемы эмиттерно-связанной логики (ЭСЛ) имеют наибольшее быстродействие, достигшее в настоящее время субнаносекундного диапазона. Особенность ЭСЛ в том, что схема логического элемента строится на основе интегрального дифференциального усилителя (ДУ), транзисторы которого могут переключать ток и при этом никогда не попадают в режим насыщения.

На рис. 3.1, *а* показана основа логического элемента DD1 — переключатель тока I_0. Если входным сигналом $\Delta U_{вх}$ открыть транзистор VT1, через него потечет весь ток I_0, вытекающий из общей точки связанных эмиттеров Э. На коллекторе транзистора VT1 окажется напряжение низкого уровня. В этот момент транзистор VT2 тока не имеет, он вынужденно находится в состоянии отсечки. На его коллекторе присутствует напряжение высокого уровня.

Наличие генератора стабильного тока (ГСТ) принципиально: с его помощью строго фиксируются выходные логические уровни.

В отличие от аналоговых применений дифференциального усилителя, когда стремятся использовать разность напряжений $\Delta U_{вых}$ между коллекторами, цифровая микросхема, переключающая ток I_0, снабжа-

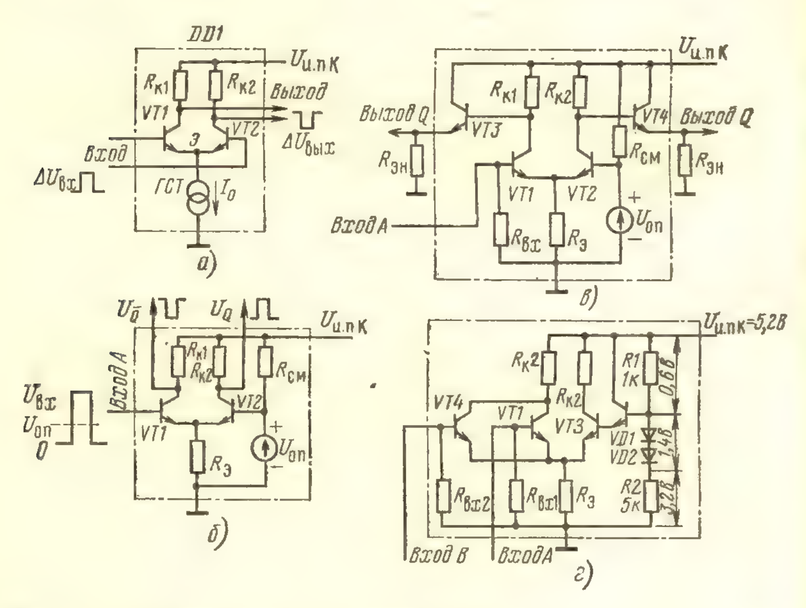


Рис. 3.1. Исходные схемы для элемента ЭСЛ:

а — дифференциальный каскад — переключатель тока; *б* — переключатель тока с опорным входом; *в* — то же с выходными эмиттерными повторителями; *г* — двухвходовый элемент

ется двумя инверсными выходами логических уровней Q и $\overline{Q}$, где выделяются напряжения высокого U_Q и низкого $U_{\overline{Q}}$ уровней.

На рис. 3.1, *б* показан простейший одновходовой элемент ЭСЛ. Новым в развитии элемента DD1 (рис. 3.1, *а*) здесь является источник опорного напряжения $U_{оп}$. Это напряжение фиксирует порог срабатывания переключателя тока. Тем самым дифференциальный усилитель превращается в логический элемент. У него теперь два состояния выходов, которые переключаются лишь при условиях: $U_{вх} > U_{оп}$ или $U_{вх} < U_{оп}$. Однако при проектировании ЭСЛ ставилась задача: получить сверхскоростную логику. В схеме (рис. 3.1, *б*) этого достичь нельзя, так как выходное сопротивление выходов Q и $\overline{Q}$ велико, оно приближается к номиналу $R_к$. Для снижения выходного сопротивления к коллекторным выходам подключаются эмиттерные повторители-транзисторы VT3 и VT4, работающие в линейном режиме (рис. 3.1, *в*). Теперь выходное сопротивление эмиттерного выхода принципиально уменьшается:

$$R^{эп}_{вых Q, \overline{Q}} = R_к/(B+1), \tag{3.1}$$

где $(B+1)$ — коэффициент усиления транзистора — эмиттерного повторителя по току. Эмиттерные выходы чаще делаются «открытыми», чтобы можно было их соединять в элементы «монтажное ИЛИ». Кроме того, внутренние нагрузочные резисторы рассеивают большую мощность, чем сильно ухудшают тепловой баланс корпуса ЭСЛ. Во многих случаях не обязательно отбирать от повторителей VT3—VT4 максимальный ток. Сопротивление внешнего нагрузочного резистора $R_{эн}$ можно выбрать самостоятельно в широких пределах, например от 300 Ом до 30 кОм.

На рис. 3.1, *г* показан следующий шаг развития схемотехники ЭСЛ: для получения нескольких логических входов следует использовать один пороговый транзистор (в схеме он составной: VT3—VT2) и несколько параллельно соединенных входных транзисторов. В данном случае логическую функцию входов A и B реализуют транзисторы VT4 и VT1. В современных ЭСЛ логические входы снабжаются внутренними резисторами утечки $R_{вх} \approx 50$ кОм. Такой резистор, во-первых, позволяет оставлять неиспользуемые логические входы свободными, неприсоединенными; во-вторых, эти резисторы служат предыдущим элементам ЭСЛ нагрузками для их выходных эмиттерных повторителей. В правой части схемы (рис. 3.1, *г*) показан простейший источник порогового напряжения $U_{оп}$ (резисторы R1, R2 и диоды VD1, VD2), который вырабатывает опорное напряжение 4,6 В. Он снабжен эмиттерным повторителем VT3 для увеличения нагрузочной способности.

Отметим дальнейшую принципиальную особенность микросхем ЭСЛ: они питаются отрицательным напряжением $-U_{и.пЭ}$ (т. е. напряжение подается от эмиттеров), причем коллекторные цепи заземляются. Этим способом повышается помехоустойчивость ЭСЛ. Ток потребления $I_{пот}$ вытекает из микросхемы в источник.

На рис. 3.2, *а* показана передача сигнала $U_с$ от эмиттерного повторителя VT3 из элемента-источника DD1 (ЛЭИ) на базовый вход транзистора VT1 в логическом элементе-приемнике DD2 (ЛЭП). Видно, что большой ток потребления $I_{пот}$, протекающий по относительно тонкому проводнику коллекторного питания $U_{и.пК}$, имеющему определенное по-

гонное сопротивление $R_п$, даст напряжение помехи $\Delta U_п$, которое в сумме с сигналом $U_с$ поступит на вход A2 элемента DD2.

Из этого обстоятельства следуют два вывода: во-первых, коллекторная шина питания делается большого сечения и заземляется (дается нуль потенциала, см. рис. 3.2, *б*); во-вторых, разъединяются кол-

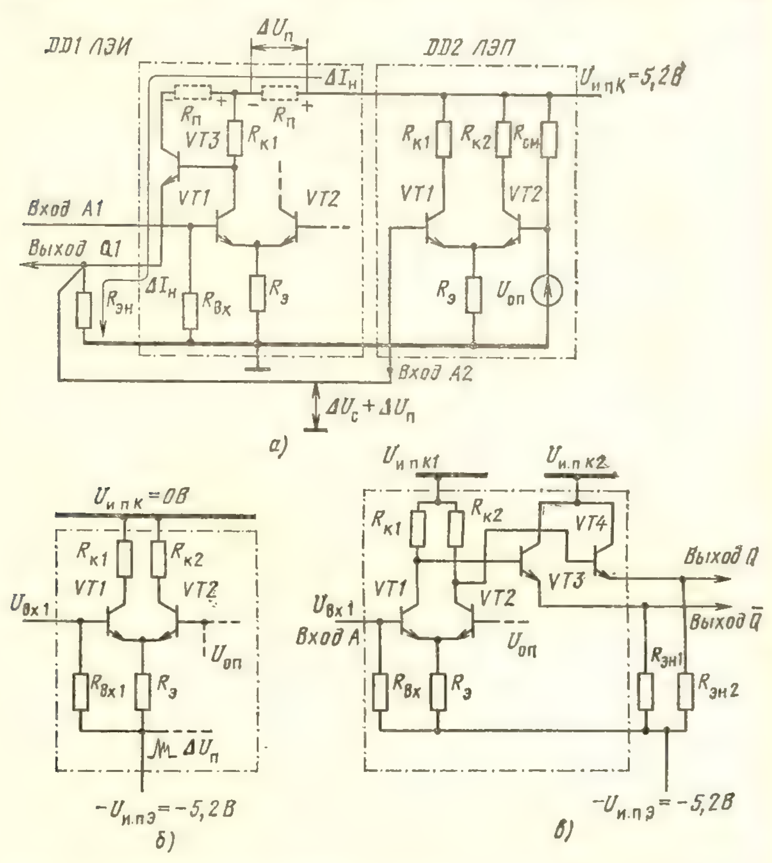


Рис. 3.2. Способы подачи питания на ЭСЛ:

а — с заземленными эмиттерами; *б* — с нулевой коллекторной шиной; *в* — с раздельными коллекторными выводами

лекторные цепи переключателя тока и эмиттерных повторителей (рис. 3.2, *в*). Корпус ЭСЛ имеет, таким образом, два вывода коллекторного питания $U_{и.пк1}$ и $U_{и.пк2}$ и один вывод эмиттерного — $U_{и.п}$ = —5,2 В.

К помехам, возникающим в шине эмиттерного питания — $U_{и.пЭ}$, переключатель тока — дифференциальный усилитель — менее чувствителен, так как в эмиттерной цепи присутствует генератор стабильного то-

ка, который фиксирует ток I_0, не позволяет ему изменяться, если меняется напряжение источника эмиттерного питания — $U_{и.пэ}$ (что равноценно помехе).

Чем выше качество схемы ГСТ, тем значительнее ДУ ослабляет эмиттерный синфазный сигнал помехи. Желательно, чтобы ток ГСТ не

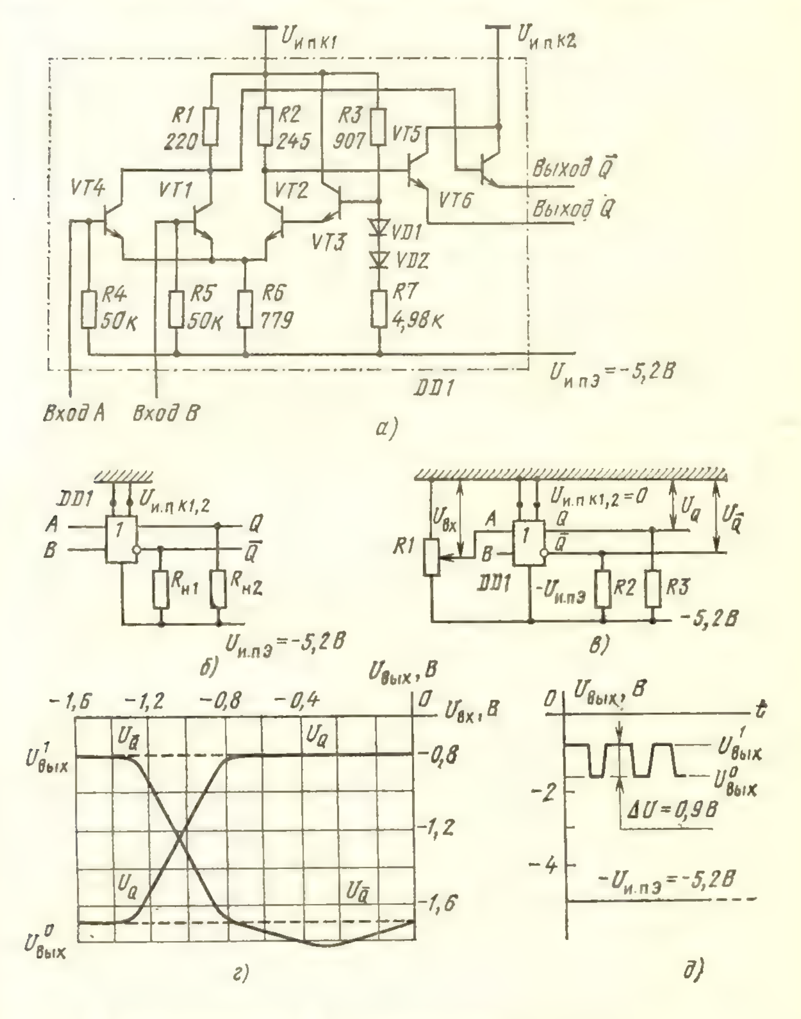


Рис. 3.3. Логический элемент ЭСЛ серии К500:

а — принципиальная схема; *б* — включение; *в* — схема для снятия переключательных характеристик; *г* — переключательные характеристики для выходов Q и $\overline{Q}$; *д* — временна́я диаграмма

зависел как от пульсаций по шине — $U_{н.пЭ}$, так и от изменений температуры.

Учитывая вышеизложенную последовательность схемотехнического развития, нетрудно проанализировать полную схему элемента ЭСЛ серии К500 (рис. 3.3, *а*). На рис. 3.3, *б* показано включение этого элемента, причем внешние резисторы нагрузки $R_н$ следует присоединять, если данный элемент работает как оконечный. Таким образом, все логические уровни ЭСЛ имеют место в отрицательной области потенциалов («под землей»). Такие логические уровни непосредственно не совместимы со схемами ТТЛ и КМОП, что считается большим недостатком ЭСЛ. Оба коллекторных вывода $U_{и.пК1}$ и $U_{ип.К2}$ присоединяются к нулевой шине (или поверхности) печатной платы.

На рис. 3.3, *в* показана схема, позволяющая снять зависимости выходных напряжений U_Q и $U_{\bar{Q}}$ от изменения входного напряжения $U_{вх}$, которое будем изменять с помощью потенциометра R1. Полученная зависимость представлена на рис. 3.3, *г*. Видно, что амплитуда выходных

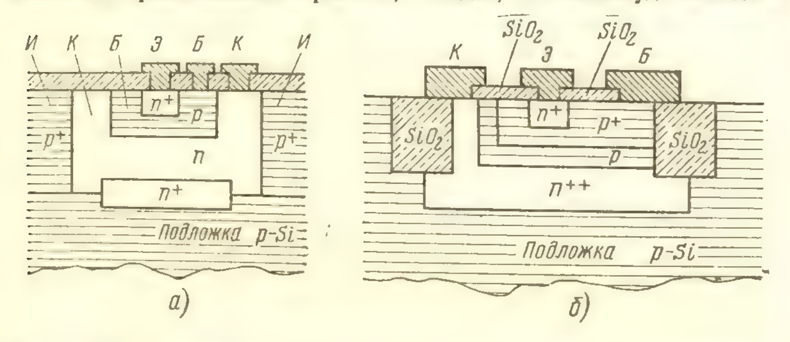


Рис. 3.4. Поперечные сечения интегральных транзисторов:

а — для микросхем серии MECL10k; *б* — для микросхем серии MECL100k

импульсов микросхем ЭСЛ (см. также осциллограмму, рис. 3.3, *д*) примерно равна 0,9 В. Выходные импульсы симметричны относительно потенциала —1,2 В. Каждый логический элемент из микросхемы серии К500 потребляет статическую мощность $P_{пот}=25$ мВт, имеет время задержки распространения $t_{зд.р.ср}=2$ нс, что дает в итоге энергию, потребляемую на переключение $Э_{пот}=50$ пДж.

Согласно данным рис. 1.2 и 1.9 микросхемы ТТЛ серии КР1531 имеют такое же время $t_{зд.р.ср}=2$ нс, но потребляют на один элемент всего 4 мВт ($Э_{пот}=8$ пДж). Конкуренция со стороны ТТЛШ (AS, FAST и ALS) заставила в очередной раз модернизировать массовые серии ЭСЛ. Как и в случае ТТЛШ, потребовался новый технологический процесс.

На рис. 3.4, *а* показано поперечное сечение биполярного транзистора с p-n-изоляцией, на котором строились в 70-х годах как аналоговые микросхемы, так и цифровые ЭСЛ. Такие транзисторы имели частоту единичного усиления $f_т=1,5$ ГГц и обеспечивали для ЭСЛ время задержки $t_{зд.р}=2$ нс. Плотность упаковки получалась: 10 элементов на кв. мм. Следует отметить, что первые серии ЭСЛ появились еще в се-

редине 60-х годов. В связи с чрезмерно удельной рассеиваемой мощностью этих наносекундных микросхем, многие их варианты тогда имели массивную гибридную конструкцию.

В последующее двадцатилетие широкое распространение как прототипы получили последовательно сменявшие друг друга серии полупроводниковых ЭСЛ фирмы Motorola (например, MECL 100, MECL 1000, MECL 10000, MECL 2500). В ходе развития не только улучшались параметры $t_{зд,р,ср}$, $P_{пот}$ и $Э_{пот}$, но и совершенствовалась схемотехника как собственно элемента, так и функциональных узлов, входящих в серии. Логический элемент серии MECL 10000 (иногда ее обозначают MECL 10K) соответствует схеме рис. 3.3, *а*.

Серия MECL 100000 (или, кратко: MECL 100K) превосходит по быстродействию микросхемы перспективных серий ТТЛШ. На рис. 3.4, *б* показан эскиз сечения биполярного транзистора, разработанного для этих субнаносекундных микросхем ЭСЛ. Здесь p-n-изоляция заменена диэлектрической SiO_2, поэтому транзисторы имеют $f_т \approx 4{,}5$ ГГц, что обеспечивает время $t_{зд,р,ср} = 0{,}75$ нс. За счет существенно меньшей площади интегрального транзистора плотность упаковки повышается до 20 элементов на квадратный миллиметр поверхности, хотя число транзисторов в элементе ЭСЛ стало почти в два раза больше. На таких транзисторах строятся БИС ЭСЛ и матрицы памяти.

Логический элемент серии MECL 100K имеет диодную цепь термокомпенсации логических уровней, а также усовершенствованный источник опорных напряжений, делающий логические уровни независимыми от больших колебаний питающих напряжений, а также помех по цепи питания. На рис. 3.5, *а* показана функциональная схема элемента серии MECL 100K, которая содержит три части: переключатель тока ПТ и эмиттерный повторитель ЭП, а также источник опорного напряжения ИОН. Полная принципиальная схема этого элемента приведена на рис. 3.5, *б*. Эмиттерный повторитель VT4 можно нагрузить на резистор сопротивлением 50 Ом, подключив его вывод к потенциалу — 2 В. Предельный ток нагрузки ЭП может достигать 55 мА. Отметим, что все измерения для ЭСЛ следует проводить при установившемся температурном режиме, причем плату с микросхемами следует обдувать (скорость потока 2,5 м/с). Номинальное напряжение питания для серии MECL 100K несколько уменьшено ($-U_{и.пэ} = -4{,}5$ В), однако логические уровни непосредственно совместимы с предыдущей логикой (см. рис. 3,5, *в*). Благодаря ИОН логические уровни не изменяются, если напряжение питания будет находиться в пределах $-4{,}2$ В $\leqslant -U_{и.пэ} \leqslant -5{,}7$ В. Статическая потребляемая мощность для субнаносекундного элемента $P_{пот} = 40$ мВт, при этом на переключение потребляется энергия $Э_{пот} = 0{,}75 \times 40 = 30$ пДж. Аналогичные параметры имеют отечественные микросхемы ЭСЛ серии К1500.

На рис. 3.6 показана диаграмма пределов переключательных характеристик ЭСЛ серий К500 и К1500. В табл. 3.1 даны цифровые значения соответствующих координат входных и выходных напряжений. На диаграмме, построенной для каждой серии, типовые характеристики расположены внутри заштрихованного контура. Следует учесть, что данные столбца для микросхем серии К1500 не зависят от температуры и питающих напряжений. Для микросхем серии К500 приведены значения при 25 °С. При температуре —30 °С все напряжения возрастают на 5...10 %, а при температуре +85 °С снижаются на такую же величину.

Скорость переключения микросхем ЭСЛ удобно проверять при дву-

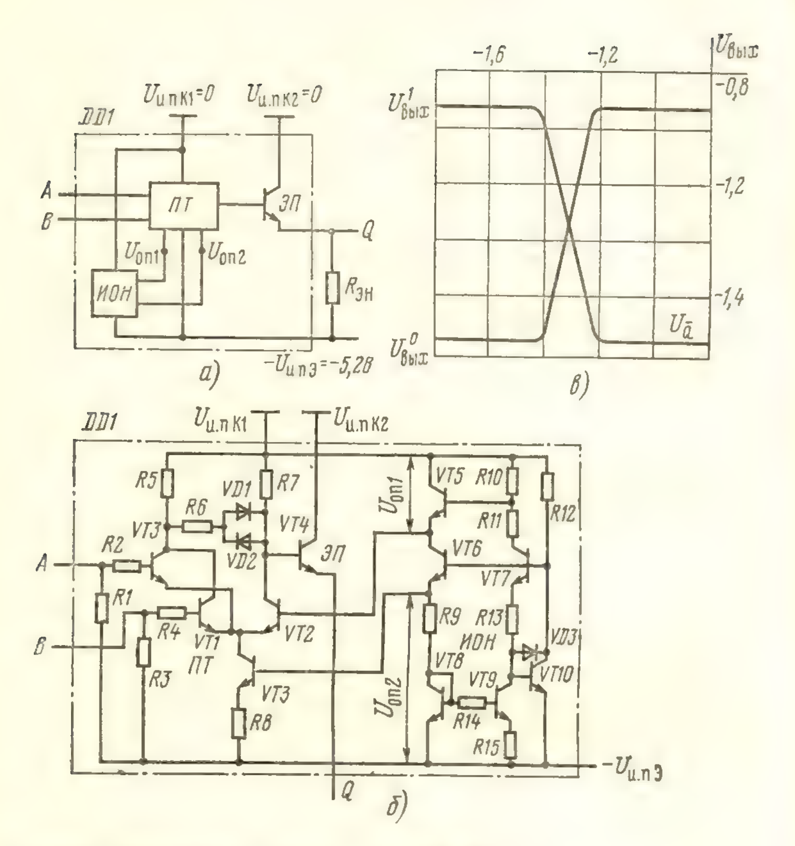
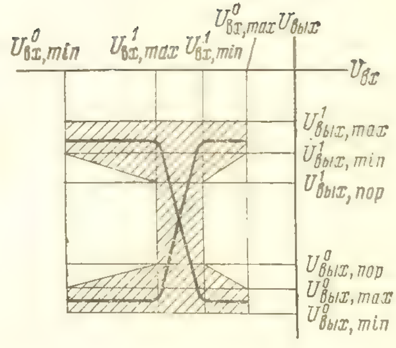


Рис. 3.5. Схемотехника субнаносекундной ЭСЛ:

а — структурная схема логического элемента; *б* — схема переключателя тока ПТ, эмиттерного повторителя ЭП и источника опорного напряжения ИОН; *в* — переключательные характеристики по выходам Q и $\overline{Q}$

полярном напряжении питания (аналогично схеме включения операционного усилителя). При таком включении элемента ЭСЛ (см. рис. 3.7, *а*) источник входных импульсов можно заземлить (сравните также выбранные напряжения питания 2 и —3,2 В с потенциалами, указанными на рис. 3.1, *г*). На рис. 3.7, *б* обозначены уровни входного и выходных импульсов, по которым следует отсчитывать время задержки распространения при включении и отключении элемента, если входной импульс имеет заданную длительность фронта $t^{0,1}$ и среза $t^{1,0}$. При замерах необходимо использовать кабели и нагрузки с сопротивлением 50 Ом. Несогласованные проводники не должны быть длиннее, чем 2 мм. К выходу схемы (рис. 3.7, *а*) требуется подключать вход согласованной линии передачи.

Рис. 3.6. Диаграмма пределов переключательных характеристик элементов серии К1500



При эксплуатации микросхем ЭСЛ необходимо учитывать дополнительно три временных параметра: t_s — время «выдержки», t_h — время хранения и t_r — время сброса.

На рис. 3.8, *а* штриховыми линиями показано, что, если на входе D данные появятся позже, чем истечет время t_s, а затем поступит импульс разрешения E, либо тактовый сигнал C, на выходе появится ошибочное напряжение низкого уровня.

Аналогично (см. рис. 3.8, *б*) информацию на входе D можно сменить после установления сигнала E (или C) только по истечении времени хранения t_h. В противном случае (штриховые линии) на выходе бу-

Таблица 3.1. **Входные и выходные уровни для элементов ЭСЛ**

Обозначение уровня напряжения (см. рис. 3.6)	Серия	
	К500	К1500
Входной, высокий, максимальный $U^1_{вх, max}$, мВ	—810	—880
Входной, высокий, минимальный $U^1_{вх, min}$, мВ	—1105	—1165
Входной, низкий, максимальный $U^0_{вх, max}$, мВ	—1475	—1475
Входной, низкий, минимальный $U^0_{вх, min}$, мВ	—1850	—1810
Выходной, высокий, максимальный $U^1_{вых, max}$, мВ	—810	—880
Выходной, высокий, минимальный $U^1_{вых, min}$, мВ	—960	—1025
Выходной, высокий, пороговый $U^1_{вых, пор}$, мВ	—980	—1035
Выходной, низкий, пороговый $U^0_{вых, пор}$, мВ	—1630	—1610
Выходной, низкий, максимальный $U^0_{вых, max}$, мВ	—1650	—1620
Выходной, низкий, минимальный $U^0_{вых, min}$, мВ	—1850	—1810

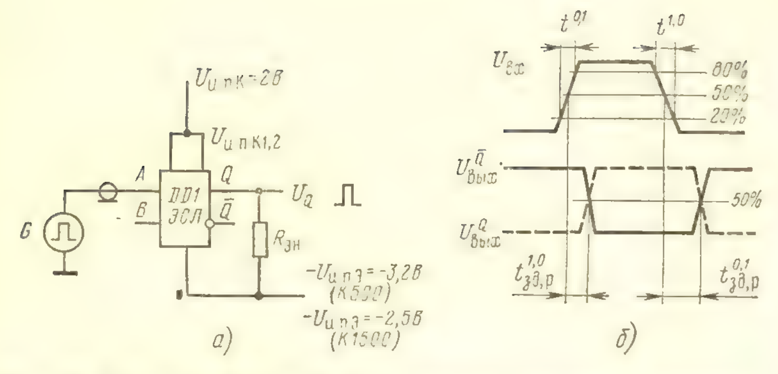


Рис. 3.7. Схема для измерения *(а)* параметров выходных импульсов *(б)*

дет отработан ложный импульс напряжения высокого уровня (а не статический низкий уровень).

На рис. 3.8, *в* показано, что в устройствах, имеющих вход сброса R, перед подачей управляющих сигналов E (или C) должен даваться защитный интервал времени t_r. Здесь же показаны задержки импульсных перепадов на выходе.

Многовходовые логические элементы ЭСЛ могут реализовать либо функцию ИЛИ ($\overline{ИЛИ}$), либо И($\bar{И}$). На рис. 3.9, *а* показана схема управления переключателем тока ЭСЛ по двум входам A и B. На рис. 3.9, *б* показан положительный входной скачок $U_{вх\ A,B}$, который можно подать на вход A или B, а также отклики на него по выходам Q и $\bar{Q}$, т. е. скачки потенциалов U_Q и $U_{\bar{Q}}$. Высоким уровнем (В) здесь названо нулевое напряжение, низким (Н) — отрицательное выходное ($0—I_0R_к$). Последовательно переключая напряжения уровней Н и В на входах

Таблица 3.2. Электрические уровни на входах и выходах схемы (рис. 3.9, *а*)

Вход		Выход			
A	B	U_Q		$U_{\bar{Q}}$	
Н	Н	$-I_0R_к$	Н	0	В
Н	В	0	В	$-I_0R_к$	Н
В	Н	0	В	$-I_0R_к$	Н
В	В	0	В	$-I_0R_к$	Н

Таблица 3.3. Логические функции двухвходового элемента ЭСЛ (рис. 3.9, *а*)

Логика	Вход		Выход	
	A	B	Q	$\bar{Q}$
Напряжение высокого уровня — единица, логика ИЛИ	0	0	0	1
	0	1	1	0
	1	0	1	0
	1	1	1	0
Напряжение низкого уровня — единица, логика И	1	1	1	0
	1	0	0	1
	0	1	0	1
	0	0	0	1

Вход D
Вход E
Выход
Правильно
Ошибка
t_s
а)

Вход R
Вход E
Выход
t_r
$t^{0,1}_{зд}$
$t^{1,0}_{зд}$
$t^{0,1}_{зд,р}$
в)

Вход D
Вход E
Выход
t_h
Ошибка
Правильно
б)

t_h
Правильно
Ошибка
г)

Рис. 3.8. Особые временные параметры ЭСЛ:
а — время выдержки t_s; *б* — время хранения t_h; *в* — время сброса t_r

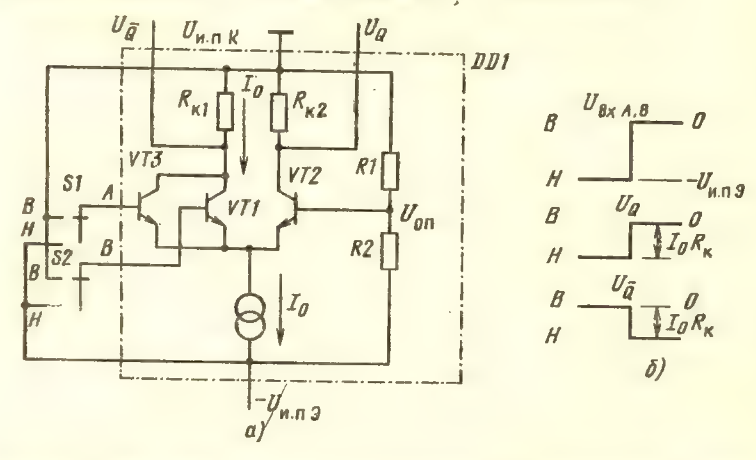


Рис. 3.9. Схема управления элементом ЭСЛ (*а*) и амплитуды сигналов (*б*) в этой схеме

А и В с помощью переключателей S1 и S2, можем составить таблицу выходных потенциалов (см. табл. 3.2).

Если назвать напряжение низкого уровня Н логическим 0, а высокого В — логической 1, получим таблицу состояний ИЛИ (сравните данные табл. 3.3 и рис. 1.15, *в*). Назвав напряжение низкого уровня Н логической 1, получим таблицу состояний И (вторая часть табл. 3.3).

Таким образом, один и тот же элемент ЭСЛ может работать как ИЛИ (на втором выходе — $\overline{\text{ИЛИ}}$), либо как элемент $\overline{\text{И}}$ (И). Наличие выходов Q и $\overline{Q}$ упрощает реализацию аппаратурных задач и исключает излишние задержки сигналов в дополнительных инверторах.

3.2. КОМБИНАТОРНЫЕ МИКРОСХЕМЫ СЕРИИ К500

На рис. 3.10 показаны условные обозначения микросхем ЭСЛ ИЛИ/$\overline{\text{ИЛИ}}$ серии К500. Схема присоединения источников питания к корпусам этих микросхем дана на рис. 3.10, *а*.

Микросхема К500ЛМ101 (рис. 3.10, *б*) содержит четыре двухвходовых элемента ИЛИ, каждый из которых имеет один открытый вход. Вторые входы ключей объединены (вывод 12 корпуса). Сюда можно подавать сигнал разрешения входам EI.

Микросхема К500ЛМ102 (рис. 3.10, *в*) аналогична предыдущей, но все ее восемь входов свободны.

Микросхемы К500ЛМ105 (рис. 3.10, *г*) и К500ЛМ109 (рис. 3.10, *д*) выполняют функцию ИЛИ/$\overline{\text{ИЛИ}}$, но различаются по числу входов.

Микросхема К500ЛЕ106 (рис. 3.31, *е*) имеет только инверсные выходы, поэтому ее три элемента реализуют функцию $\overline{\text{ИЛИ}}$.

Микросхема К500ЛЕ123 — это тройной элемент $\overline{\text{ИЛИ}}$, который имеет аналогичную цоколевку и функциональную схему, но отличается мощными магистральными выходными каскадами.

На рис. 3.10, *ж—з* показаны микросхемы, каждая из которых может передавать логические сигналы на шесть линий, поскольку в них содержатся по два элемента с тремя выходами.

Микросхема К500ЛЕ111 (рис. 3.10, *ж*) имеет инверсные выходы.

Микросхема К500ЛЛ110 (рис. 3.10, *з*) позволяет транслировать по линиям передачи неинвертированные сигналы. Тройные выходы каждого из элементов позволяют распределять тактовые импульсы с их наименьшим расхождением по времени.

Кроме того, многоканальные выходы пригодны для включения по схеме «монтажное ИЛИ», что позволяет экономить корпуса микросхем при проектировании цифровых устройств. Микросхемы (рис. 3.10, *ж—з*) имеют три вывода коллекторного питания, каждый из которых можно использовать независимо.

Микросхема К500ЛП107 (рис. 3.11) содержит три двухвходовых ключа, выполняющих функцию исключающее ИЛИ. Если применить положительную логику, то на выходах Q и $\overline{Q}$ (см. рис. 3.11, а) реализуются логические уравнения:

$$Q = (A\overline{B}) + (\overline{A}B), \quad \overline{Q} = (\overline{A}\,\overline{B}) + (AB). \tag{3.2}$$

При отрицательной логике обозначение выходов Q и $\overline{Q}$ меняется на противоположное (рис. 3.11, *б*), хотя логические уравнения сохраняются.

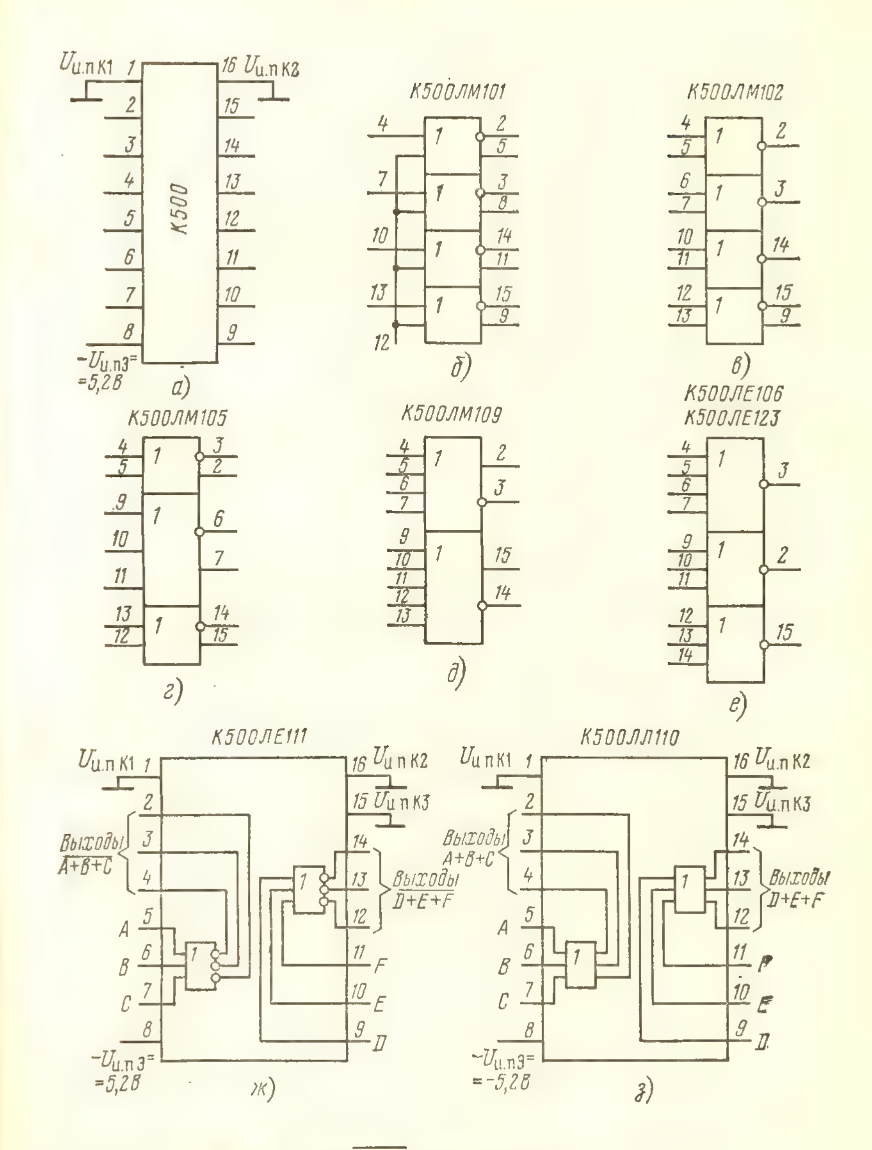


Рис. 3.10. Микросхемы ИЛИ/$\overline{\text{ИЛИ}}$ серии К500:

а — схемы подключения источников питания; *б* — ЛМ101; *в* — ЛМ102; *г* — ЛМ105; *д* — ЛМ109; *е* — ЛЕ106, ЛЕ123; *ж* — ЛЕ111: *з* — ЛЛ110

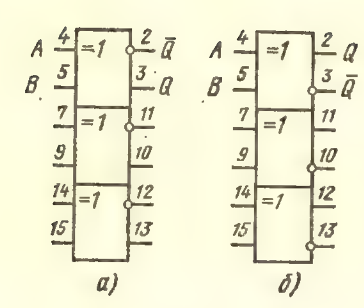


Рис. 3.11. Микросхемы исключающее ИЛИ серии К500:

а — обозначение выводов ЛП107 при положительной логике; *б* — то же при отрицательной логике

На рис. 3.12 показаны микросхемы ИЛИ/И общего назначения, необходимые при проектировании сверхскоростных мультиплексорных схем распределения данных.

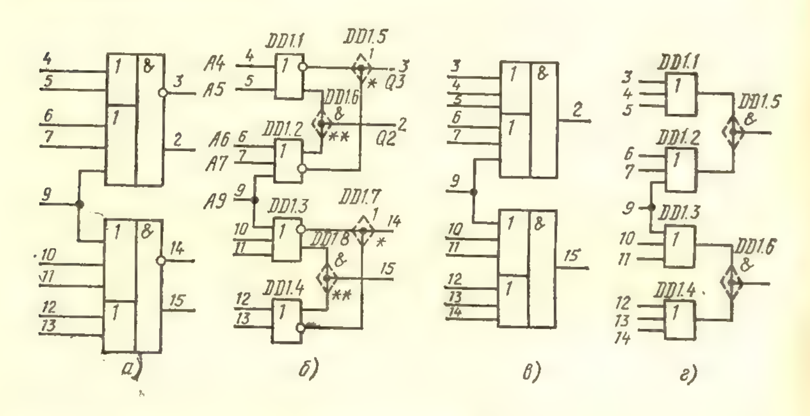


Рис. 3.12. Микросхемы ИЛИ/И серии К500:

а, *б* — обозначение и функциональная схема для ЛК117; *в*, *г* — то же для ЛК118

Микросхема К500ЛК117 (рис. 3.12, *а*) при положительной логике выполняет логическое уравнение

$$Q_2 = (A_4 + A_5)(A_6 + A_7 + A_9) = \overline{Q}_3, \qquad (3.3)$$

а при отрицательной

$$Q_2 = (A_4 A_5) + (A_6 A_7 A_9) = \overline{Q}_3. \qquad (3.4)$$

На рис. 3.12, *б* показана развернутая функциональная схема К500ЛК117, где обозначены элементы «монтажное И и ИЛИ», DD1.5—DD1.8, соответствующие данным уравнениям.

Микросхема К500ЛС118 (рис. 3.12, *в*) не имеет инверсных выходов и выполняет при положительной логике в точках DD1.1—DD1.4 операцию ИЛИ (рис. 3.12, *г*). Окончательно на выходах DD1.5 и DD1.6 по-

лучим функцию И от выходных сигналов. Если логика отрицательная, в точках DD1.1—DD1.4 выполняется функция И, на выходах DD1.5, DD1.6—ИЛИ.

Для межсоединений микросхем ЭСЛ используются двухпроводные линии передачи сигналов, которые должны обслуживать специальные микросхемы: передатчики и приемники.

Микросхемы К500ЛП115 и К500ЛП116 (рис. 3.13) — дифференциальные приемники сигналов, поступающих с цифровой линии связи. Микросхема ЛП115 (рис. 3.13, *а*) имеет четыре приемных канала с дифференциальными входами, но одиночными выходами. Принципиальная схема ее четырех дифференциальных усилителей и источника опорного напряжения $U_{оп}$ показана на рис. 3.13, *б*. Выход стабильного опорного напряжения (вывод 9) позволяет построить триггер Шмитта либо превратить канал дифференциального приемника в простой инвертор ЭСЛ (см. рис. 3.1, *б*).

Для увеличения устойчивости к синфазным помехам, которые в «длинных линиях» могут быть велики, каждый дифференциальный

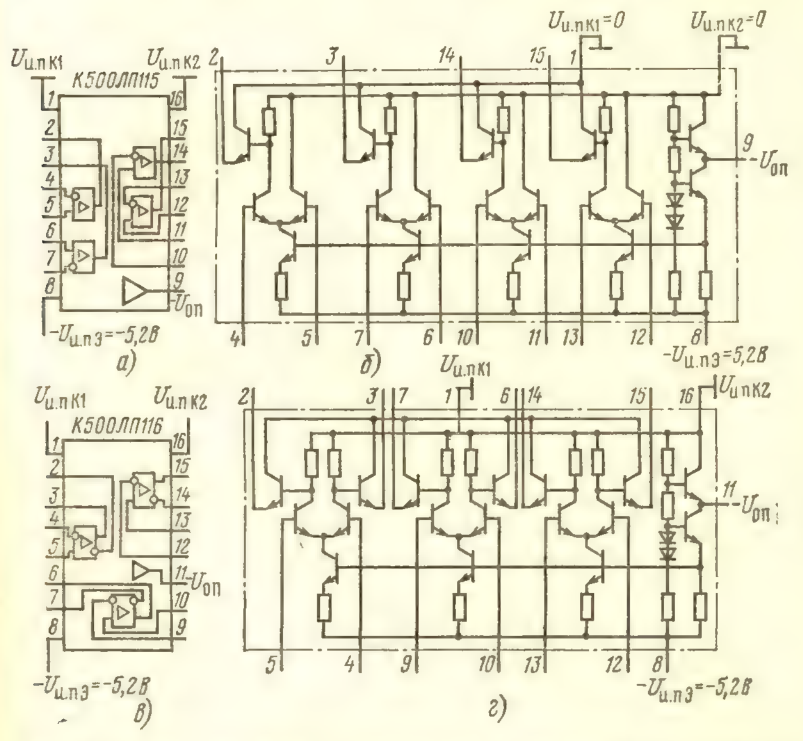


Рис. 3.13. Микросхемы дифференциальных приемников сигналов ЭСЛ с двухпроводных линий серии К500:

а — обозначения для ЛП115; *б* — принципиальная схема ЛП115; *в*, *г* — то же для ЛП116

каскад имеет активный генератор стабильного тока ГСТ. Если используются не все четыре каскада, один из входов свободного каскада следует присоединить к выводу 9, чтобы предотвратить возможность самовозбуждения через общую цепь ГСТ. Микросхема К500ЛП116 (рис. 3.13, *в*) отличается от ЛП115 комплементарными логическими выходами каждого канала, поскольку на принципиальной схеме ее (рис. 3.13, *г*) изображены четыре канала полных ДУ с двумя выходными эмиттерными повторителями. Комплементарные выходы используются для передачи сигнала в линию связи, состоящую из витой пары проводов.

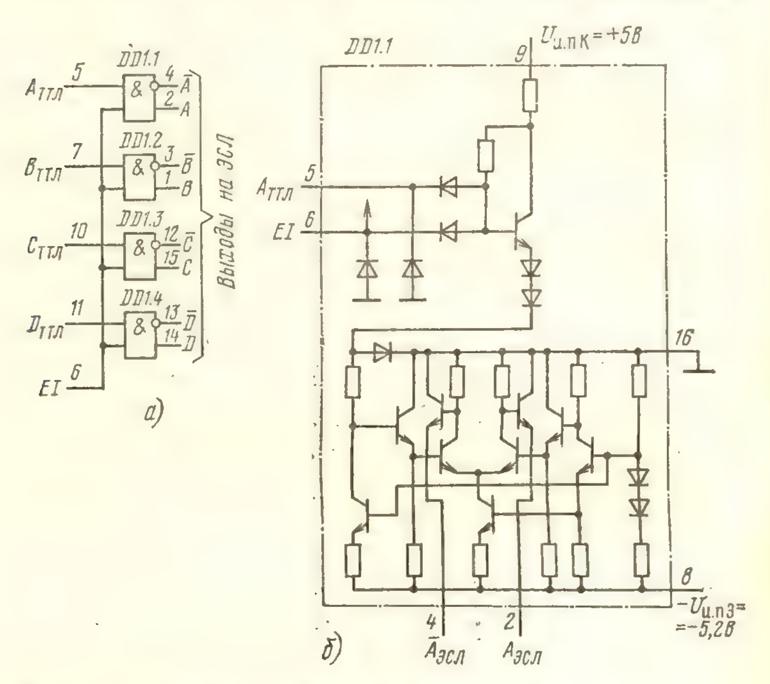


Рис. 3.14. Транслятор (преобразователь) уровней от ТТЛ к ЭСЛ К500ПУ124:

а — обозначение; *б* — схема одного канала

Рассмотрим две микросхемы, служащие для взаимного преобразования логических уровней ЭСЛ и ТТЛ.

Микросхема К500ПУ124 (рис. 3.14, *а*) — это четырехканальный преобразователь цифровых сигналов ТТЛ (напряжение низкого уровня $U^0_{вых} = 0{,}3$ В, высокого $U_{вых} = 3{,}5$ В) в логические уровни ЭСЛ (см. рис. 3.3, *д*). Один канал этой микросхемы показан на рис. 3.14, *б*. На микросхему ПУ124 следует подать два питающих напряжения: $U_{и.пК} = 5$ В (ТТЛ) и $-U_{и.пЭ} = -5{,}2$ В (ЭСЛ). Отметим, что вход EI (вывод 6) — разрешающий. Если на вход EI подать напряжение низкого уровня от

ТТЛ, то на всех прямых выходах ЭСЛ (выводы 2, 1, 15, 14) появится напряжение низкого уровня ЭСЛ, а на инверсных выходах (выводы 4, 3, 12, 13) — высокое (см. рис. 3.6).

Время $t_{зд,р,ср}$ для данного преобразователя уровня составляет 5 нс, что позволяет принимать сигналы от микросхем ТТЛШ.

Если К500ПУ124 передает сигналы в линию, состоящую из витой пары проводов, на ее приемном конце подключают приемники К500ЛП115 или К500ЛП116.

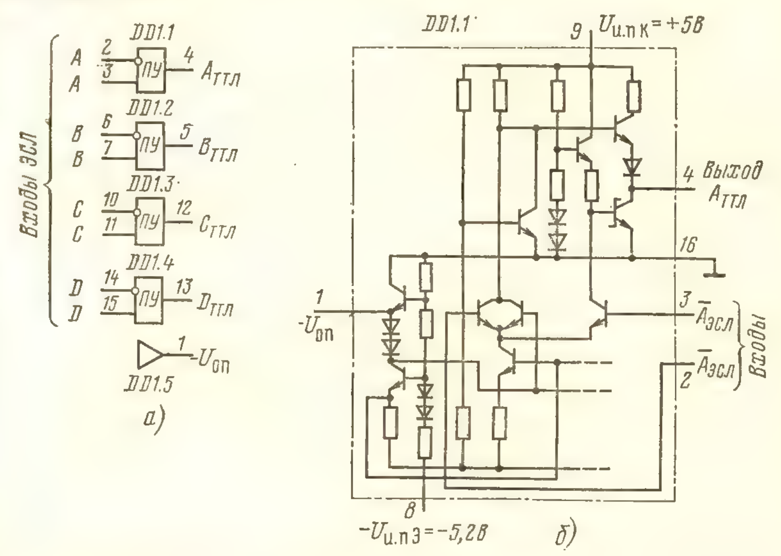


Рис. 3.15. Транслятор (преобразователь) уровней от ЭСЛ к ТТЛ К500ПУ125:

а — обозначение; *б* — схема одного канала

Микросхема К500ПУ125 (рис. 3.15, *а*) — четырехканальная, предназначенная для обратного преобразования сигналов ЭСЛ (от выходов Q и $\bar{Q}$) в сигнал ТТЛ (выход одиночный). Каждый канал (рис. 3.15, *б*) имеет обычный двухтактный выход элемента ТТЛ с транзисторами Шотки.

Вывод 1 опорного напряжения $U_{оп}$ позволяет строить триггер Шмитта. К этому выводу можно подключить входы свободных каналов других микросхем. Микросхему ПУ125 можно применить как дифференциальный приемник сигналов с линии. Другими словами, на микросхемах ПУ124 и ПУ125 можно сделать канал передачи цифровых сигналов: уровни ТТЛ переведем в уровни ЭСЛ, которые и будут переданы в линию, а на приемном конце уровни ТТЛ восстановим. Такой канал передачи скоростной цифровой информации содержит меньше помех и поэтому более устойчив, чем канал только на микросхемах ТТЛ.

Если входы ПУ125 оставлены свободными, неприсоединенными, на

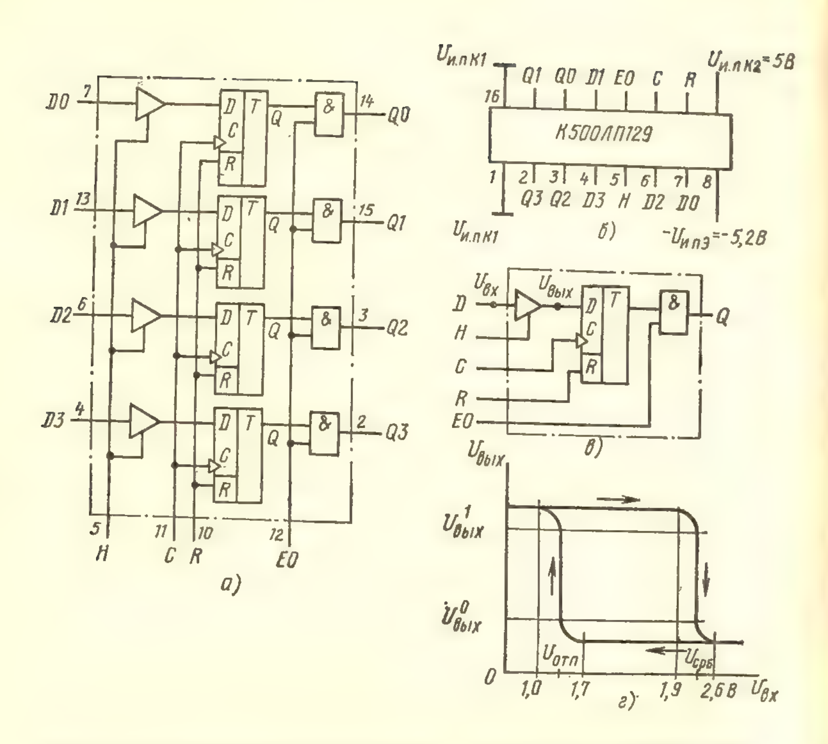


Рис 3.16. Четырехканальный приемник сигналов ТТЛ К500ЛП129:

а — структурная схема; *б* — цоколевка; *в* — схема одного канала; *г* — гистерезисная переключательная характеристика

выходе ТТЛ появится напряжение низкого уровня. Типовое время задержки распространения для ПУ125 5 нс.

Микросхема К500ЛП129 (рис. 3.16) — четырехканальный приемник сигналов ТТЛ, передаваемых по шинам ЭВМ. На схеме расположения выводов (рис. 3.16, *б*) указаны три вывода питающих напряжений: $U_{ипК1}=0$, $U_{и.пК2}=5$ В, $-U_{и.пЭ}=-5{,}2$ В (рис. 3.16, *б*). По входам данных D принимаются уровни ТТЛ. Остальным входам управления требуются сигналы ЭСЛ. Выходные сигналы также ЭСЛ. На рис. 3.16, *в* показана схема одного канала преобразования уровня ТТЛ.

Таблица 3.4. **Состояния в схеме К500ЛП129**

Вход				Выход Q_{n+1}
D_n	C	E0	R	
x	x	H	x	H
x	B	x	B	H
H	H	B	x	H
x	B	B	H	Q_n
B	H	B	x	B

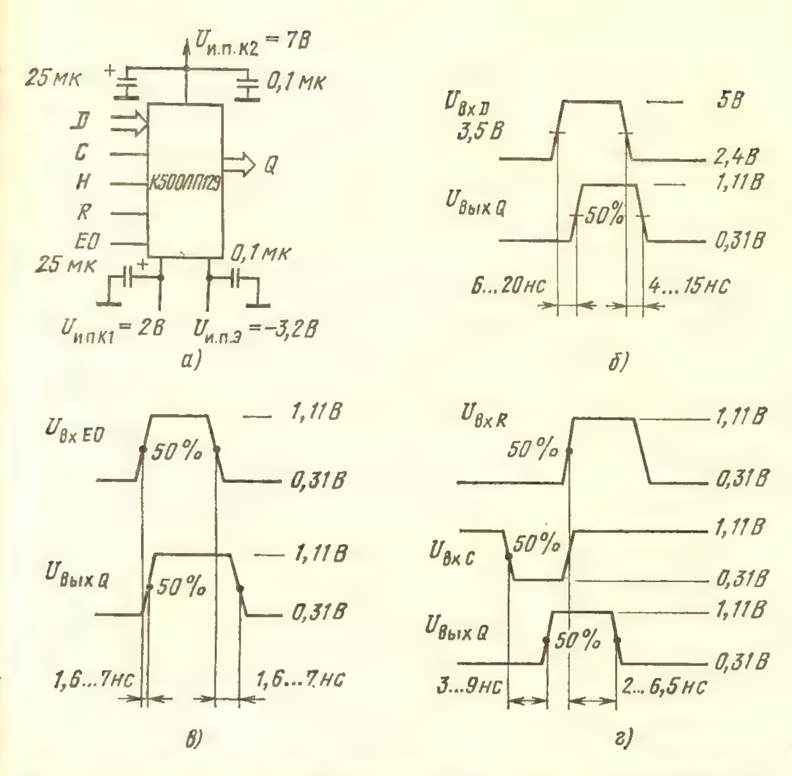


Рис. 3.17. Схема испытания импульсных параметров К500ЛП129 (*а*); диаграммы: входных и выходных импульсов (*б*), импульсов на входе разрешения и выходе (*в*) и положения импульса сброса R (*г*)

Канал транслирует логический уровень, поступивший на вход D, если на тактовом входе C присутствует низкий уровень (см. табл. 3.4). Входные данные будут защелкнуты по положительному перепаду на входе C. Вход R служит для сброса. Если на вывод разрешения по входу E0 подать напряжение высокого уровня, выход данным разрешается (см. в табл. 3.4 строки третью, четвертую и пятую). Вход E0 необходим для строгой синхронизации данных, считываемых из защелки. Вход H позволяет изменять гистерезис управляющей характеристики по входу D. Характерные пороговые точки входного напряжения петли гистерезиса указаны на рис. 3.16, *г*. Чтобы включить входной гистерезис, вывод H следует заземлить. Если гистерезис не требуется, этот вывод присоединяется к проводу — $U_{и.пЭ}$.

Испытывать импульсные параметры К500ЛП129 удобно в схеме (рис. 3.17, *а*). На рис. 3.17, *б* показано взаимное расположение входного (ТТЛ) и выходного (ЭСЛ) импульсов. На входы C и R следует подать напряжения низкого уровня, на вход E0 — высокого. На рис. 3.17, *в*

показана аналогичная диаграмма для сигналов на входе E0 и выходе Q (на входах C и R присутствуют напряжения низкого уровня, на входе D — высокого). На рис. 3.17, *г* дано положение импульса сброса R (на входах D и E0 — напряжения высокого уровня). По выводу $U_{и.пК2}$ ток потребления $I_{пот}$ составляет 8 мА, по выводу $-U_{и.пЭ}$ стекает ток $I_{пот}=172$ мА.

3.3. ТРИГГЕРЫ, СЧЕТЧИКИ И РЕГИСТРЫ СЕРИИ К500

Среди микросхем серии К500 имеется ряд многоканальных схем, содержащих D-триггеры с RS-входами. На рис. 3.18, *а* показано функциональное обозначение двухканального D-триггера К500ТМ130. Оба триг-

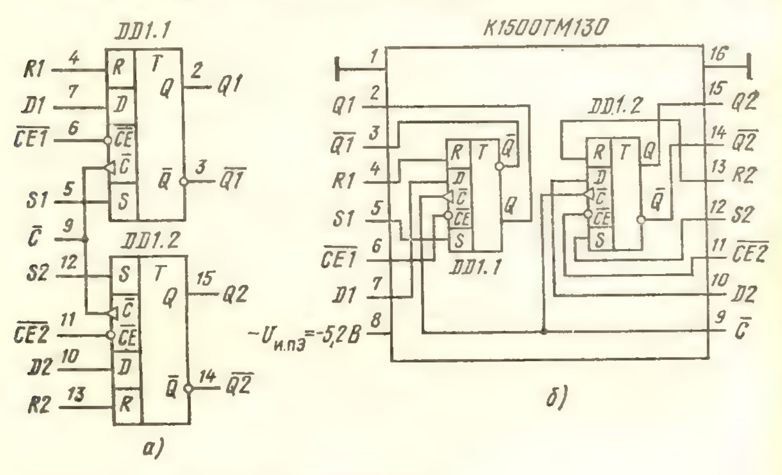


Рис. 3.18. Триггерная схема К500ТМ130:

а — обозначения; *б* — структура

гера связаны общим тактовым входом $\bar{C}$ (вывод 9, рис. 3.18, *б*). Назначение выводов триггера из К500ТМ130: $\overline{CE}$ — вход разрешения для тактовых импульсов на оба триггера вместе или раздельно (разрешает напряжение низкого уровня); $\bar{C}$ — общий вход тактовых импульсов (переключает положительный перепад напряжения); D-вход записи данных (действует, если на входе $\bar{C}$ — напряжение низкого уровня); R и S — входы сброса и установки (действуют, только если на входах $\bar{C}$ и $\overline{CE}$ раздельно или поочередно присутствует напряжение высокого уровня).

Каждый триггер-защелку DD1.1 и DD1.2 можно использовать отдельно, если подать на вход 9 напряжение низкого уровня, а использовать в качестве тактовых входы $\overline{CE1}$ (вывод 6) или $\overline{CE2}$ (вывод 11).

Напротив, если требуется общий тактовый вход C (вывод 9), следует подать на выводы 6 и 11 напряжение низкого уровня. Изменения

уровней на D-входах отображаются на выходах, если на тактовом входе присутствует напряжение низкого уровня. Выходы защелкивают данные с приходом положительного перепада тактового импульса. Если на тактовом входе уровень сигнала высокий, изменяющаяся на входах данных информация не влияет на выходные уровни.

При проектировании токоведущих дорожек печатной платы необходимо исключить взаимосвязь входов R, S с тактовыми $\overline{C}$, $\overline{CE}$ и информационными D. В табл. 3.5 показаны логические состояния выходов Q_{n+1} триггера ТМ130 после прихода тактового перепада в момент t_{n+1}, которые получаются при различных комбинациях сигналов на входах.

Таблица 3.5. **Состояния триггера К500ТМ130**

D	$\overline{C}$	$\overline{CE}$	Q_{n+1}
Н	Н	Н	Н
В	Н	Н	В
x	Н	В	Q_n
x	В	Н	Q_n
x	В	В	Q_n

Таблица 3.6. **Состояния триггера К500ТМ131**

Режим	Вход				Выход
	R	S	C	D	Q_{n+1}
RS-защелка	Н	Н	—	—	Q_n
	Н	В	—	—	В
	В	Н	—	—	Н
	В	В	—	—	Неопределенность
Тактовый вход	—	—	Н	x	Q_n
	—	—	В	Н	Н
	—	—	В	В	В

Микросхема К500ТМ131 (рис. 3.19) содержит два D-триггера, отличающихся двухступенчатой структурой «мастер-помощник». Каждый триггер имеет собственные асинхронные входы сброса R и установки S, а также вход разрешения тактового импульса $\overline{CE}$. Если на общем тактовом входе $\overline{C}$ присутствует напряжение низкого уровня, на каждый из входов $\overline{CE}1$ и $\overline{CE}2$ можно подавать тактовые импульсы. С другой стороны, присутствие на входах $\overline{CE}1$ и $\overline{CE}2$ напряжения низкого уровня разрешает прохождение на оба триггера общей тактовой сетки $\overline{C}$.

Выходные состояния каждого триггера меняются после прихода положительного перепада тактового импульса. По-другому, на тактовых входах должно выполняться следующее условие переключения:

$$C = \overline{CE} + C^{0,1}, \tag{3.5}$$

где C — сигнал тактового переброса; $\overline{CE}$ — сигнал разрешения переброса (активное — напряжение низкого уровня); $C^{0,1}$ — перепад тактового импульса (от напряжения низкого уровня к высокому). При C=В сигналы D=Н или D=В проходят на выход в момент t_{n+1}, т. е. Q_{n+1}=D. При других сочетаниях $\overline{CE}$ и $C^{0,1}$ состояния выходов триггеров «мастер-помощник» не могут изменяться. В табл. 3.6 отображены состояния каждого триггера, управляемого по входам RS (после прихода тактового импульса t_{n+1}), а также по входам D и C. Видно, что состояние

выхода триггера не меняется, если на входе C присутствует напряжение низкого уровня, а на входе D — любые данные.

Микросхема К500ТМ133 (рис. 3.20) содержит четыре триггера-защелки. Каждый триггер DD1.3—DD1.6 имеет свободный D-вход. Выходы этих ячеек попарно проходят через элементы $\overline{\text{ИЛИ}}$. Их выходы $\overline{Q}1$—

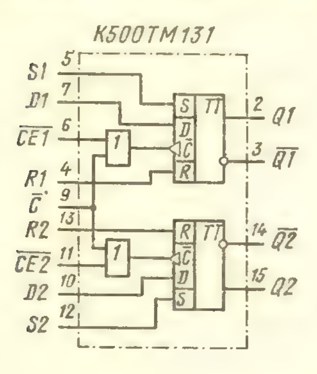


Рис. 3.19. Триггерная схема К500ТМ131:

а — обозначение; *б* — структура

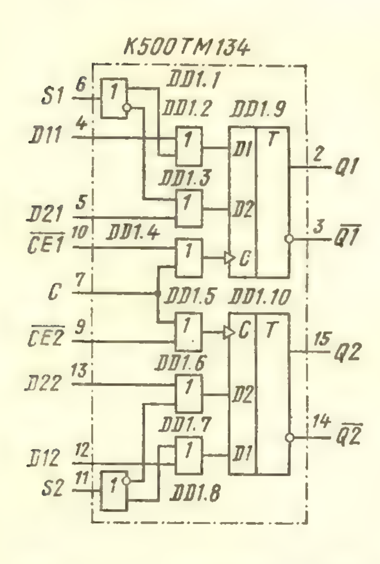


Рис. 3.21. Триггерная схема К500ТМ134:

а — обозначение; *б* — структура

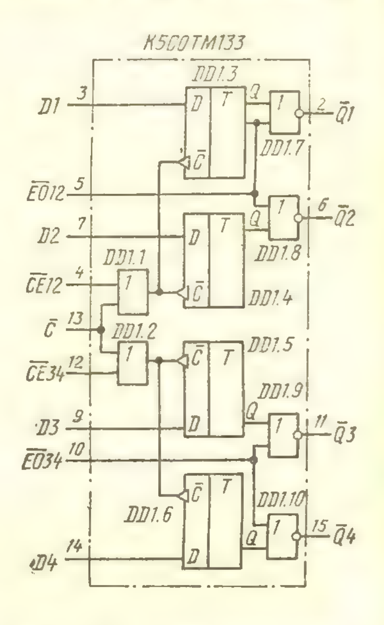


Рис. 3.20. Триггерная схема К500ТМ133:

а — обозначение; *б* — структура

Таблица 3.7. **Состояния триггера К500ТМ134**

C	S1 (S2)	D11 (D12)	D21 (D22)	Q_{n+1}
Н	Н	Н	x	Н
Н	Н	В	x	В
Н	В	x	Н	Н
Н	В	x	В	В
В	x	x	x	Q_n

$\overline{Q}4$ имеют открытые эмиттеры и позволяют поэтому пользоваться далее схемотехническим приемом «монтажное ИЛИ» либо непосредственно могут присоединяться к шине данных цифровой системы. Как и в триггерах ТМ131, выходные состояния $\overline{Q}1$—$\overline{Q}4$ повторяют сигналы на входах D1—D4, если на входах $\overline{CE}12$ и $\overline{CE}34$ присутствуют напряжения высокого уровня. Информация в ячейках защелкивается по отрицательному перепаду тактового импульса $\overline{C}$.

Входы управления $\overline{E0}12$ и $\overline{E0}34$ разрешают прохождение выходных сигналов $\overline{Q}1$, $\overline{Q}2$ и $\overline{Q}3$, $\overline{Q}4$ в шины данных. Прохождение на пары защелок DD1.3, DD1.4 и DD1.5, DD1.6 общей тактовой последовательности $\overline{C}$ разрешается с помощью входов управления $\overline{CE}12$ и $\overline{CE}34$ (выводы 4 и 12).

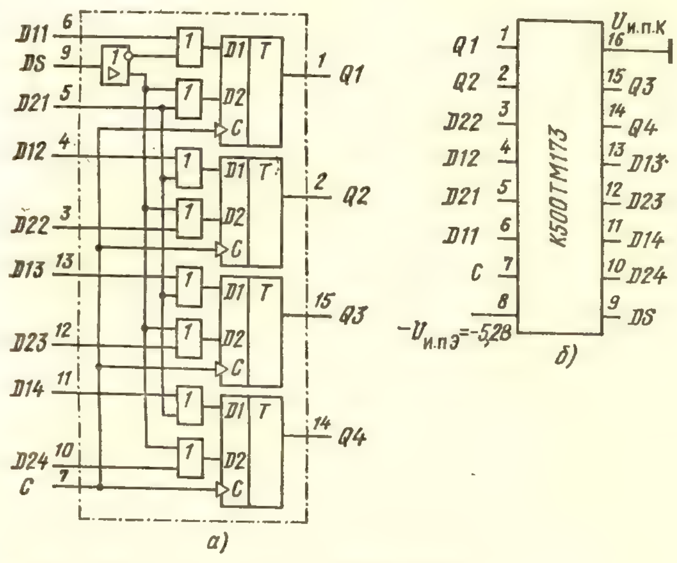


Рис. 3.22. Триггерная схема К500ТМ173:

а — структура; *б* — цоколевка

Микросхема К500ТМ134 (рис. 3.21) содержит два D-триггера с развитой логикой управления. Состояния одного D-триггера при различных сигналах управления приведены в табл. 3.7. Выводы триггеров имеют следующее назначение. При высоком уровне на входе выбора данных S1 разрешается прием данных по входу D21 триггера DD1.9. Если на входе S1 — низкий уровень, разрешен выбор данных по входу D11 этого триггера. Аналогично напряжение высокого уровня на входе S2 разрешает прием по входу D22 второго триггера, низкого — по его входу D12.

Низкими уровнями, подаваемыми на входы $\overline{CE}1$ и $\overline{CE}2$, разрешается прохождение тактовой последовательности C (выход 7). Если на

Таблица 3.8. **Состояния мультиплексора К500ТМ173**

Вход		Выход D_{n+1}
DS	C	
В	Н	D1
Н	Н	D2
x	В	Q_n

общем тактовом входе С — напряжение низкого уровня, каждый триггер может перебрасываться самостоятельно, тогда входы $\overline{CE1}$ и $\overline{CE2}$ используются как тактовые. Переключение происходит по положительному перепаду импульса С. При напряжении высокого уровня на выбранном входе СЕ смена данных на других входах не отражается на выходных сигналах Q1 и Q2. Уравнение для сигнала С соответствует микросхеме ТМ131 [см. формулу (3.5)].

Микросхема К500ТМ173 (рис. 3.22) содержит четыре D-триггера с общим тактовым входом. Эту микросхему удобно использовать как четырехканальный мультиплексор со входами, защелкивающими данные. В каждом канале таких входов два: $D1_n$ и $D2_n$.

Четверки входов нечетных D11...D14 и четных D21—D24 выбираются сигналом, поданным на вход выбора данных DS. Если на вход С пришел положительный тактовый перепад, триггер защелкивает данные (1 или 0), принятые по выбранному входу.

Ток потребления этой микросхемы составляет 66 мА, время $t_{зд.р.ср}$ от входа D до выхода Q не более 3,5 нс, время тактового перепада должно находиться в пределах 1,5...4,5 нс. Состояния каждого триггера-мультиплексора из К500ТМ173 сведены в табл. 3.8.

Микросхемы К500ИЕ136 и К500ИЕ137 (рис. 3.23) — однотипные счетчики, отличающиеся выходными кодами: ИЕ136 считает в гексадецимальном коде, а ИЕ137 — в десятичном. Оба эти счетчика имеют универсальное назначение и могут при тактовых частотах свыше 100 МГц считать как на увеличение, так и на уменьшение выходных данных (реверс). Полная принципиальная схема микросхемы ИЕ136 показана на рис. 3.23, *а*, микросхемы ИЕ137 — на рис. 3.23, *б*. Их цоколевки одинаковы (см. рис. 3.23, *в*).

Четыре режима работы этих счетчиков программируются по двум входам S1, S2 (см. табл. 3.9). Режим предварительной установки позволяет загрузить данные, присутствующие на входах D0—D3 (см. также первую и восьмую строки табл. 3.10). Счетчики меняют выходные состояния по положительному перепаду на тактовом входе С. В другие моменты (С=Н, см. пятую строку табл. 3.10) можно менять данные на входах D. После завершения счета на выходе окончания счета $\overline{TC}$ устанавливается напряжение низкого уровня. Аналогично работает и счет-

Таблица 3.9. **Выбор режимов счетчиков К500ИЕ136 и ИЕ137**

Вход		Режим
S1	S2	
Н	Н	Предварительная установка (загрузка)
Н	В	Счет на увеличение
В	Н	Счет на уменьшение
В	В	Хранение; остановка счета

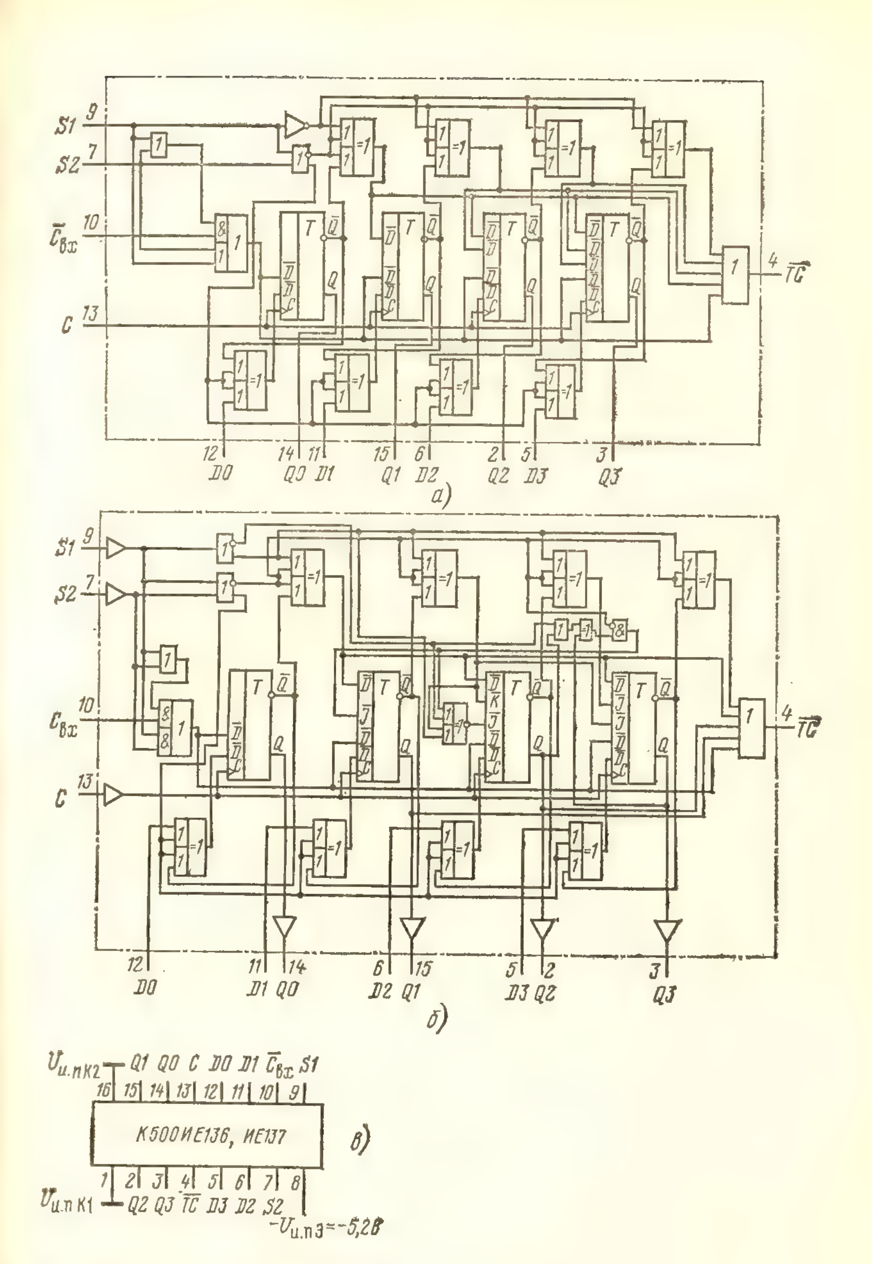


Рис. 3.23. Счетчики серии К500:

а — ИЕ136; *б* — ИЕ137; *в* — их цоколевка

Таблица 3.10. **Состояния счетчика К500ИЕ136**

Вход								Выход				
S1	S2	D0	D1	D2	D3	$\overline{C}_{вх}$	C	Q0	Q1	Q2	Q3	$\overline{TC}$
Н	Н	Н	Н	В	В	x	В	Н	Н	В	В	Н
Н	В	x	x	x	x	Н	В	В	Н	В	В	В
Н	В	x	x	x	x	Н	В	Н	В	В	В	В
Н	В	x	x	x	x	Н	В	В	В	В	В	Н
Н	В	x	x	x	x	В	Н	В	В	В	В	В
Н	В	x	x	x	x	В	В	В	В	В	В	В
В	В	x	x	x	x	x	В	В	В	В	В	В
Н	Н	В	В	Н	Н	x	В	В	В	Н	Н	Н
В	Н	x	x	x	x	Н	В	Н	В	Н	Н	В
В	Н	x	x	x	x	Н	В	В	Н	Н	Н	В
В	Н	x	x	x	x	Н	В	Н	Н	Н	Н	Н
В	Н	x	x	x	x	Н	В	В	В	В	В	В

чик К500ИЕ137 (см. табл. 3.11). Реверс счета получается при смене уровней напряжения на входах S1 и S2 (см. табл. 3.9) на противоположные.

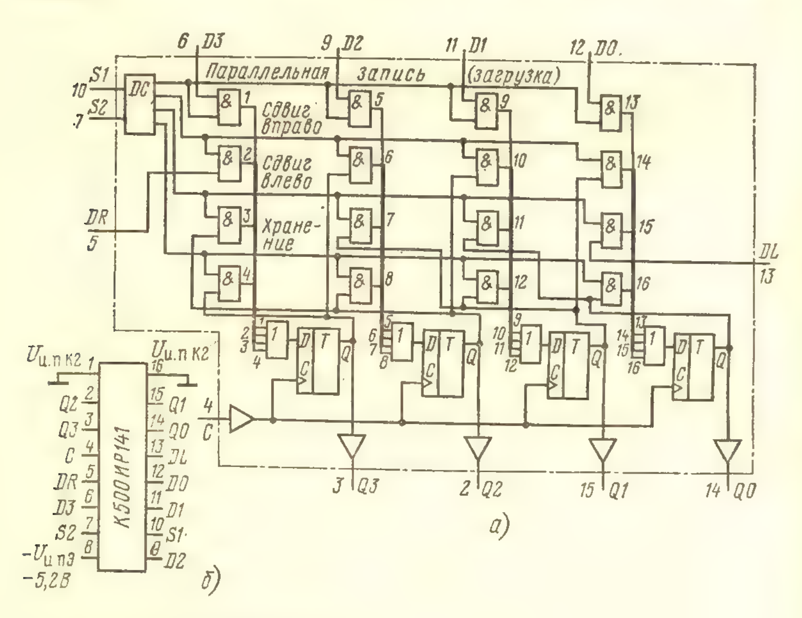


Рис. 3.24. Регистр К500ИР141:

а — схема; *б* — цоколевка

Таблица 3.11. **Состояния счетчика К500ИЕ137**

Вход								Выход				
S1	S2	D0	D1	D2	D3	$\overline{C}_{вх}$	C	Q0	Q1	Q2	Q3	$\overline{TC}$
Н	Н	В	В	В	Н	x	В	В	В	В	Н	В
Н	В	x	x	x	x	Н	В	Н	Н	Н	В	В
Н	В	x	x	x	x	Н	В	В	Н	Н	В	Н
Н	В	x	x	x	x	Н	В	Н	Н	Н	Н	В
Н	В	x	x	x	x	Н	В	В	Н	Н	Н	В
Н	В	x	x	x	x	В	В	В	Н	Н	Н	В
Н	В	x	x	x	x	В	В	В	Н	Н	Н	В
В	В	x	x	x	x	x	В	В	Н	Н	Н	В
Н	Н	В	В	Н	Н	x	В	В	В	Н	Н	В
В	Н	x	x	x	x	Н	В	Н	В	Н	Н	В
В	Н	x	x	x	x	Н	В	В	Н	Н	Н	В
В	Н	x	x	x	x	Н	В	Н	Н	Н	Н	В

При напряжениях высокого уровня на входах S1, S2 счет останавливается. Максимальная тактовая частота при счете как на увеличение, так и на уменьшение составляет 125 МГц. Счетчики потребляют ток питания по 165 мА на корпус вкаждом варианте. Наибольшее время задержки имеет цепь от входа С до выхода $\overline{TC}$ ($t_{зд,р,ср}$=10,9 нс). Наибольшее время «выдержки» t_s=7,5 нс требуется между сигналами на входах выбора S и тактовым С.

Микросхема К500ИР141 (рис. 3.24) — это регистр, который может работать в четырех режимах: остановка сдвига (хранение), сдвиг вправо, сдвиг влево, параллельный прием. Команда для выбора одного из режимов подается на входы выбора S1 и S2 согласно табл. 3.12. Сдвиг вправо и влево информации в триггерах получается после прихода положительного фронта тактового импульса t_{n+1} на тактовый вход С (вывод 4). В табл. 3.12 данные Q_n соответствуют предшествующему моменту t_n. Регистр загружается параллельно по входам D0—D3, а по входам DL и DR последовательно для сдвига влево и вправо соответственно. Выходы Q0—Q3 имеют нагрузочную способность 50 Ом. Если используется только один из выходов для последовательного вывода данных в нагрузку, остальные выходы следует оставить разомкнутыми.

Таблица 3.12. **Состояния регистра ИР141**

Вход выбора		Режим работы	Выход			
S1	S2		$Q0_{(n+1)}$	$Q1_{(n+1)}$	$Q2_{(n+1)}$	$Q3_{(n+1)}$
Н	Н	Параллельный прием	D0	D1	D2	D3
Н	В	Сдвиг вправо	DR	$Q0_{(n)}$	$Q1_{(n)}$	$Q2_{(n)}$
В	Н	Сдвиг влево	$Q1_{(n)}$	$Q2_{(n)}$	$Q3_{(n)}$	DL
В	В	Остановка сдвига	$Q0_{(n)}$	$Q1_{(n)}$	$Q2_{(n)}$	$Q3_{(n)}$

3.4. ЭЛЕМЕНТЫ ВЫЧИСЛИТЕЛЬНЫХ УСТРОЙСТВ ИЗ СЕРИИ К500

Рассмотрим микросхемы: мультиплексора, дешифраторов, шифратора, проверки на четность, ускоренного переноса, сумматора-вычитателя, АЛУ и ПЗУ. Такие микросхемы позволяют строить быстродействующие узлы ЭВМ.

Микросхема К500ИД164 (рис. 3.25) — мультиплексор, который работает как восьмиканальный селектор данных, присутствующих на его

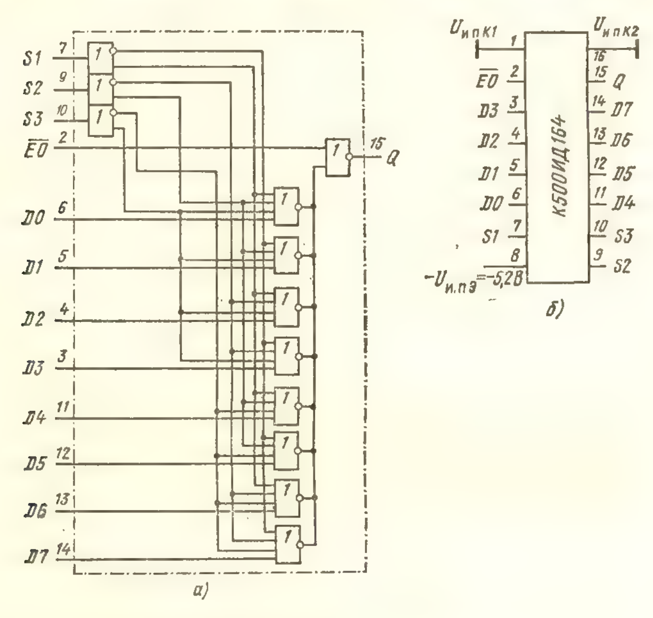


Рис. 3.25. Мультиплексор К500ИД164:

а — принципиальная схема; *б* — цоколевка

входах D0—D7. Эти данные поочередно могут появляться на выходе Q согласно коду выбора входной линии, поданному на адресные входы S1, S2 и S3 (см. табл. 3.13). Девятое состояние — напряжение низкого уровня — появится на выходе Q при запрете мультиплексирования, когда на вывод разрешения по выходу $\overline{EO}$ подан высокий уровень. С помощью выводов $\overline{EO}$ можно увеличивать число каналов мультиплексора, соединяя вместе несколько мультиплексоров. Нужную группу каналов включаем в цепь коммутации, подав на вход $\overline{EO}$ соответствующей микросхемы низкий уровень.

Микросхемы К500ИД161 и ИД162 (рис. 3.26) — однотипные дешифраторы. Они принимают по входам D0—D2 трехразрядное двоичное слово и выдают сигнал по одному из восьми выходов Q0—Q7. Номер

выхода, где есть сигнал, соответствует десятичному эквиваленту входного кода. Дешифратор ИД161 имеет значащие выходные напряжения низкого уровня (инверсные выходы), у дешифратора ИД162 — значащие выходные напряжения высокого уровня (выходы без инверсии). Состояния входов и выходов этих дешифраторов сведены в табл. 3.14 и 3.15 соответственно. Входы приема трехразрядного слова имеют положительную логику. Каждый дешифратор имеет два входа разрешения $\overline{EI0}$ и $\overline{EI1}$. Дешифрация разрешается при напряжениях низкого уровня на этих входах. Подав на один из входов напряжение высокого уровня, запрещаем работу дешифратора, тогда на всех выходах ИД161 появятся напряжения высокого уровня, на выходах ИД162 — низкого.

Таблица 3.13. Состояния мультиплексора К500ИД164

Вход управления				Код на выходе Q
$\overline{EO}$	S3	S2	S1	
Н	Н	Н	Н	D0
Н	Н	Н	В	D1
Н	Н	В	Н	D2
Н	Н	В	В	D3
Н	В	Н	Н	D4
Н	В	Н	В	D5
Н	В	В	Н	D6
В	В	В	В	D7
Н	x	x	x	Н

Микросхема К500ИВ165 (рис. 3.27) — шифратор, который переводит сигнал, поданный по входу с десятичным номером D0—D7, в двоичный трехразрядный эквивалент этого номера, появляющийся на выходах Q0—Q2. Выходные уровни накапливаются в D-триггерах-защелках, поэтому шифратор может работать синхронно. Все состояния для этого шифратора сведены в табл 3.16. Если на тактовом входе C присутствует низкий уровень, на выходах Q отображается состояние входов D. Эти защелки защелкиваются в момент положительного перепада тактового импульса C. Данный шифратор приоритетный: в код переводится старший высокий уровень, поступивший на один из входов D0—D7. Высокие уровни, присутствующие на младших по номеру входах, при этом на результат не повлияют.

Таблица 3.14. Состояния дешифратора К500ИД161

Вход					Выход							
$\overline{EI1}$	$\overline{EI0}$	D2	D1	D0	$\overline{Q0}$	$\overline{Q1}$	$\overline{Q2}$	$\overline{Q3}$	$\overline{Q4}$	$\overline{Q5}$	$\overline{Q6}$	$\overline{Q7}$
Н	Н	Н	Н	Н	Н	В	В	В	В	В	В	В
Н	Н	Н	Н	В	В	Н	В	В	В	В	В	В
Н	Н	Н	В	Н	В	В	Н	В	В	В	В	В
Н	Н	Н	В	В	В	В	В	Н	В	В	В	В
Н	Н	В	Н	Н	В	В	В	В	Н	В	В	В
Н	Н	В	Н	В	В	В	В	В	В	Н	В	В
Н	Н	В	В	Н	В	В	В	В	В	В	Н	В
Н	Н	В	В	В	В	В	В	В	В	В	В	Н
В	x	x	x	x	В	В	В	В	В	В	В	В
x	В	x	x	x	В	В	В	В	В	В	В	В

На выходе Q3 имеется напряжение высокого уровня, если на од-

Таблица 3.15. **Состояния дешифратора К500ИД162**

Вход					Выход							
$\overline{EI1}$	$\overline{EI0}$	D2	D1	D0	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
Н	Н	Н	Н	Н	В	Н	Н	Н	Н	Н	Н	Н
Н	Н	Н	Н	В	Н	В	Н	Н	Н	Н	Н	Н
Н	Н	Н	В	Н	Н	Н	В	Н	Н	Н	Н	Н
Н	Н	Н	В	В	Н	Н	Н	В	Н	Н	Н	Н
Н	Н	В	Н	Н	Н	Н	Н	Н	В	Н	Н	Н
Н	Н	В	Н	В	Н	Н	Н	Н	Н	В	Н	Н
Н	Н	В	В	Н	Н	Н	Н	Н	Н	Н	В	Н
Н	Н	В	В	В	Н	Н	Н	Н	Н	Н	Н	В
В	x	x	x	x	Н	Н	Н	Н	Н	Н	Н	Н
x	В	x	x	x	Н	Н	Н	Н	Н	Н	Н	Н

Таблица 3.16. **Состояния шифратора К500ИВ165**

Вход								Выход			
D0	D1	D2	D3	D4	D5	D6	D7	Q3	Q2	Q1	Q0
В	x	x	x	x	x	x	x	В	Н	Н	Н
Н	В	x	x	x	x	x	x	В	Н	Н	В
Н	Н	В	x	x	x	x	x	В	Н	В	Н
Н	Н	Н	В	x	x	x	x	В	Н	В	В
Н	Н	Н	Н	В	x	x	x	В	В	Н	Н
Н	Н	Н	Н	Н	В	x	x	В	В	Н	В
Н	Н	Н	Н	Н	Н	В	x	В	В	В	Н
Н	Н	Н	Н	Н	Н	Н	В	В	В	В	В
Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н	Н

Таблица 3.17. **Состояния схемы проверки на четность К500ИВ160**

Сумма высоких уровней на входах D0—D11	Выход Q
Четная ΣЕ	Н
Нечетная Σ0	В

Таблица 3.18. **Выбор режима работы для К500ИМ180**

Входы выбора		Режим
SA	SB	
В	В	$A + B + C_{вх}$
В	Н	$C_{вх} + A - B$
Н	В	$C_{вх} + B - A$
Н	Н	$C_{вх} - A - B$

ном из входов присутствует напряжение высокого уровня. Этот сигнал можно подать на младший вход D0 последующего шифратора и тем самым увеличить число входов. Шифратор К500ИВ165 потребляет ток питания 131 мА, время $t_{зд,р,ср}$ для сигналов от входа D до выхода Q составляет 2...7 нс, время $t_в = 6$ нс.

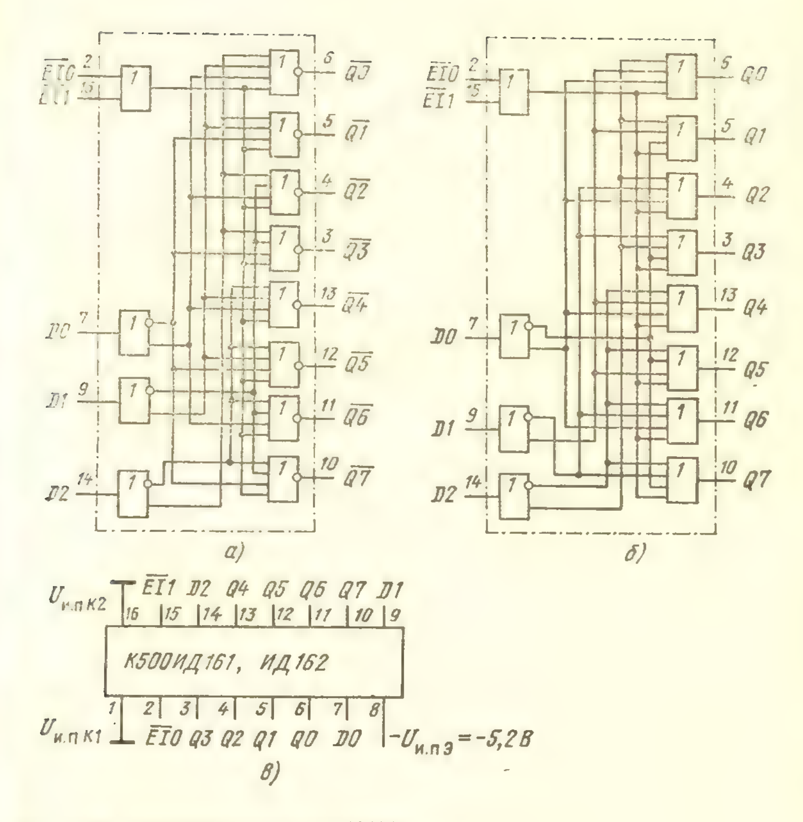


Рис. 3.26. Дешифраторы серии К500:

а — схема ИД161; *б* — схема ИД162; *в* — их цоколевка

Микросхема К500ИВ160 (рис. 3.28) предназначена для проверки на четность 12-разрядного кода. На кристалле расположено девять элементов исключающее ИЛИ. Если на четном числе входов из группы D0—D11 присутствуют напряжения высокого уровня (единица), на выходе схемы Q появится напряжение низкого уровня (см. табл. 3.17). При нечетном числе входных единиц на выходе Q появляется напряжение высокого уровня.

Чтобы схема могла проверять на четность слова, длина которых менее 12 бит, на неиспользуемые входы следует подать низкие логические уровни (либо оставить эти входы неприсоединенными). Проверка 12-битового слова проводится за 4 нс. Если необходимо проверять более длинные слова, следует объединить соответствующее количество корпусов К500ИВ160 с помощью дополнительных элементов исключающее ИЛИ. На рис. 3.28, *в* показана 48-битовая схема проверки кода на четность.

Микросхема К500ИМ180 (рис. 3.29) содержит два быстродействую-

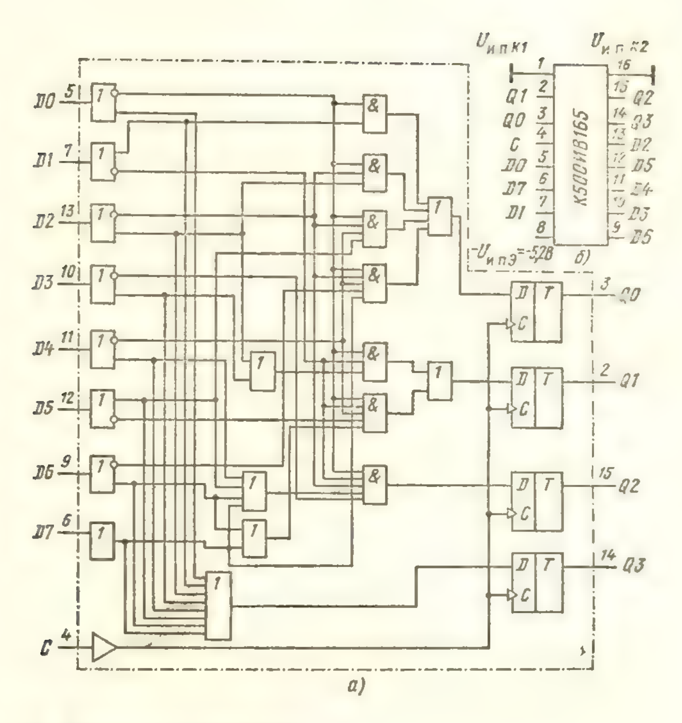


Рис. 3.27. Шифратор К500ИВ165:

а — принципиальная схема; б — цоколевка

щих двухразрядных сумматора-вычитателя. Функциональная схема одного из них показана на рис. 3.29, *в*. Входы выбора SA и SB общие, они служат для раздельного суммирования операндов —B, —A или вместе —A—B. Подав на эти входы логические уровни согласно табл. 3.18, можем установить один из трех режимов работы: суммирования слов A, B с приемом входного переноса $C_{вх}$, вычитания одного операнда (B или A), а также вычитания обоих операндов.

Каждый операнд состоит из двух разрядов A1, A2 и B1, B2. Каждая поразрядная схема суммирования-вычитания имеет выходы суммы S и $\overline{S}$, а также выход разряда переноса $C_{вых}$.

Скорость выполнения операций велика, поскольку среднее время задержки распространения от входов операндов до выхода переноса и суммы равно 4,5 нс. Время задержки от входа переноса до выхода переноса составляет 2,2 нс. Микросхема потребляет ток 86 мА.

Для схемы (рис. 3.29, *в*) при положительной логике выполняются уравнения:

$$S = \overline{C}_{вх}(\overline{A}'B' + A'\overline{B}') + C_{вх}(A'B' + \overline{A}'\overline{B}'), \quad (3.6)$$

$$C_{вых} = C_{вх}A' + C_{вх}B' + A'B', \quad (3.7)$$

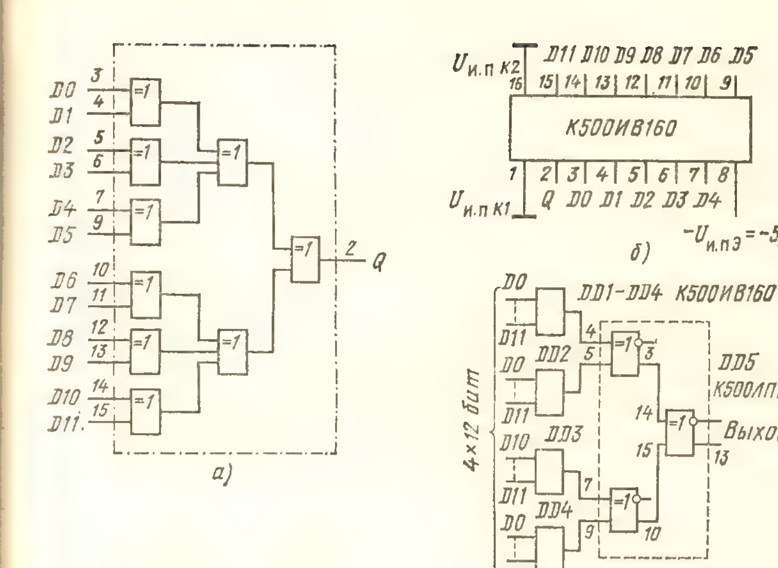


Рис. 3.28. Схема проверки четности кода К500ИВ160:

а — структура; *б* — цоколевка; *в* — устройство проверки 48-разрядного кода

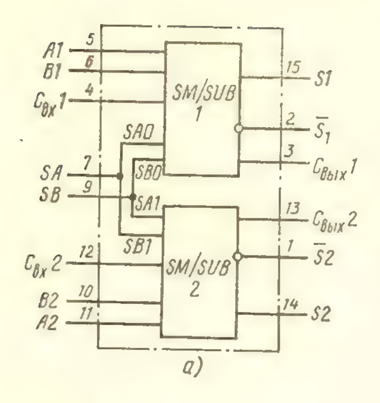
$$A' = \overline{A \oplus SA},\ B' = \overline{B \oplus SB}. \quad (3.8)$$

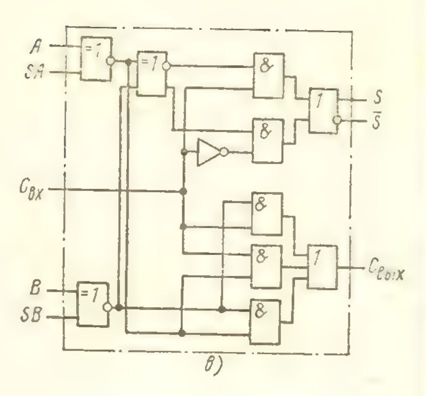
Состояния логических уровней, возможные в схеме (рис. 3.29, *в*), сведены в табл. 3.19.

Микросхема К500ИП181 (рис. 3.30) — арифметическо-логическое устройство, по принципу действия аналогичное соответствующим микросхемам ТТЛ и КМОП (т. е. К155ИП3—рис. 1.130 и К564ИП3 — рис. 2.71). Данное АЛУ выполняет 16 арифметических операций с двумя четырехразрядными словами-операндами A0—A3 и B0—B3, а также может служить генератором 16 логических функций от этих операндов. Корпус микросхемы имеет 24 вывода. Символами S0—S3 обозначены входы выбора логической или арифметической функции, которую должно выполнять АЛУ. Чтобы АЛУ выполняло арифметические операции, на вход M надо подать напряжение низкого уровня. В этом случае разрешаются внутренние пульсирующие переносы. На вывод C_n (вход сигнала быстрого переноса) также следует подать низкий уровень.

Если на вход M подано напряжение высокого уровня, АЛУ генерирует логические функции. Сводка режимов работы АЛУ К500ИП181 приведена в табл. 3.20. Генерируемые двоичные слова выделяются на выводах F0—F3.

Арифметическо-логическое устройство имеет выход сигнала быстрого переноса C_{n+4}, а также вспомогательные выводы G_G и P_G — выходы генерации переноса и группового распространения переноса. Данные вы-





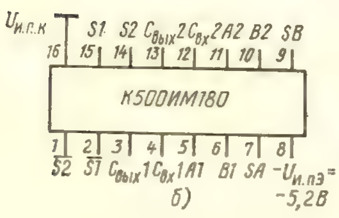


Рис. 3.29. Сумматор-вычитатель К500ИМ180:

а — структура; *б* — цоколевка; *в* — схема

ходы требуются для схем АЛУ, работающих с более длинными словами.

Значения времени $t_{зд.р.ср}$ при выполнении большинства функций находятся в пределах 2...7 с. Наибольшее время задержки слова F (от 3 до 10 нс) наблюдается при смене команд управления по входам S0—S3 и М. Арифметическо-логическое устройство потребляет ток питания **145 мА при $U_{и.пэ}$ = —5,2 В.**

Микросхема К500ИП179 (рис. 3.31) — это схема ускоренного переноса, которая позволяет объединить сумматоры К500ИМ180 или АЛУ К500ИП181 в структуры более высокого порядка. На рис. 3.31, *в* дается схема организации переносов в 32-разрядном арифметическо-логическом блоке, который построен с помощью двух СУП. Таким образом, здесь показано соединение двух 16-разрядных АЛУ. Перенос высшего порядка позволяет сократить время суммирования 32-разрядных слов до 18 нс.

Микросхема К500РЕ149 (рис. 3.32) — постоянное запоминающее устройство однократного программирования. Основа ПЗУ — матрица ячеек однократного программирования с организацией 32×32=1024 бита. При считывании на четырех выходах ПЗУ Q0—Q3 появляется параллельное слово — байт на 4 бита.

Как при программировании (т. е. при записи единицы в ячейку), так и при считывании данных, записанных в ПЗУ, используются восемь адресных входов А0—А7. Входы А0—А4 связаны с матрицей через внутренний дешифратор, имеющий 32 выходных провода. По линиям адресации А5—А7 переключаются состояния сразу четырех мультиплексоров

Таблица 3.19. **Состояния в схеме (рис. 3.29, *в*) для сумматора из микросхемы К500ИМ180**

Режим	Вход					Выход		
	SA	SB	A	B	$C_{вх}$	S	$\bar{S}$	$C_{вых}$
Суммирование ($A+B+C_{вх}$)	В	В	Н	Н	Н	Н	В	Н
	В	В	Н	Н	В	В	Н	Н
	В	В	Н	В	Н	В	Н	Н
	В	В	Н	В	В	Н	В	В
	В	В	В	Н	Н	В	Н	Н
	В	В	В	Н	В	Н	В	В
	В	В	В	В	Н	Н	В	В
	В	В	В	В	В	В	Н	В
Вычитание В ($C_{вх}+A-B$)	В	Н	Н	Н	Н	В	Н	Н
	В	Н	Н	Н	В	Н	В	В
	В	Н	Н	В	Н	Н	В	Н
	В	Н	Н	В	В	В	Н	Н
	В	Н	В	Н	Н	Н	В	В
	В	Н	В	Н	В	В	Н	В
	В	Н	В	В	Н	В	Н	Н
	В	Н	В	В	В	Н	В	В
Вычитание А ($C_{вх}+B-A$)	Н	В	Н	Н	Н	В	Н	Н
	Н	В	Н	Н	В	Н	В	В
	Н	В	Н	В	Н	Н	В	В
	Н	В	Н	В	В	В	Н	В
	Н	В	В	Н	Н	Н	В	Н
	Н	В	В	Н	В	В	Н	Н
	Н	В	В	В	Н	В	Н	Н
Вычитание суммы $C_{вх}-B-A$	Н	Н	Н	Н	Н	Н	В	В
	Н	Н	Н	Н	В	В	Н	В
	Н	Н	Н	В	Н	В	Н	Н
	Н	Н	Н	В	В	Н	В	В
	Н	Н	В	Н	Н	В	Н	Н
	Н	Н	В	Н	В	Н	В	В
	Н	Н	В	В	Н	Н	В	Н
	Н	Н	В	В	В	В	Н	Н

MUX0—MUX3 и после выходных буферных каскадов, которые могут работать на нагрузку 50 Ом, появляется считываемый байт. Выходные буферные каскады имеют вход выбора кристалла $\overline{CS}$. Он необходим при конструировании ПЗУ большой емкости из нескольких К500РЕ149. Тогда требуемая часть блока памяти (кристалл, точнее микросхема) выбирается напряжением низкого уровня на его входе $\overline{CS}$. На рис. 3.33, *а* показан выходной сигнал Q_n, выбранный импульсом адресации A_n. На

Таблица 3.20. **Логические функции и арифметические операции АЛУ К500ИП181**

Вход выбора				Логические функции (M = B)	Арифметические операции (M = H, C_n = H)
S3	S2	S1	S0		
H	H	H	H	$\bar{A}$	A
H	H	H	B	$\bar{A}+\bar{B}$	$A+(A\bar{B})$
H	H	B	H	$\bar{A}+B$	$A+(AB)$
H	H	B	B	1	$A+A$
H	B	H	H	$\bar{A}\bar{B}$	$(A+B)+0$
H	B	H	B	$\bar{B}$	$(A+B)+(A\bar{B})$
H	B	B	H	$AB+\overline{AB}$	$A+B$
H	B	B	B	$A+\bar{B}$	$A+(A+B)$
B	H	H	H	$\bar{A}B$	$(A+\bar{B})+0$
B	H	H	B	$A\bar{B}+\bar{A}B$	$A-B-1$
B	H	B	H	B	$(A+\bar{B})+AB$
B	H	B	B	$A+B$	$A+(A+\bar{B})$
B	B	H	H	0	-1
B	B	H	B	$A\bar{B}$	$(A\bar{B})-1$
B	B	B	H	AB	$AB-1$
B	B	B	B	A	$A-1$

рис. 3.33, *б* приведена аналогичная диаграмма выбора выхода Q_n по входу $\overline{CS}$.

В цифровых системах на основе этих ПЗУ строятся схемы управления-контроллеры, узлы хранения микропрограмм и алгоритмов. В ПЗУ удобно записывать стандартные коды и последовательности, а также цифровые эквиваленты сложных стандартных аналоговых сигналов (например, телевизионных). Микросхема К500РЕ149 имеет максимальное время доступа к данным 20 нс при удельной мощности потребления 0,66 мВт/бит. По каждому адресу входное сопротивление составляет 50 кОм и определяется сопротивлением утечки.

На рис. 3.34, *а* дана упрощенная эквивалентная структура запоминающей матрицы: 32 провода по горизонтали и четыре группы по восемь проводов по вертикали. Программирование точки пересечения шин получается пережиганием избыточным током нихромовой перемычки между ними (аналогично плавкому предохранителю).

На рис. 3.34, *а* показано, что кодом А5—А7 все мультиплексоры MUX0—MUX3 выбрали четыре первых провода. Если адресом А0—А4 выбрать горизонтальный провод 1, то точек пересечения окажется 4. Чтобы записать единицу только на перекрестке 1п, в данном ПЗУ через буфер Q_n при программировании требуется пропустить форсирующий ток программирования $I_{прф}$ (это третья переменная программирования).

На рис. 3.34, *б* изображена схема программирования по трем переменным. Если через цепи управления выбора слова и пережигания перемычки (УВС и ПП) выбрать (т. е. открыть) транзисторы первой строки VT11, VT12, VT13, ..., а с помощью схемы УПП (управление прожиганием перемычки) открыть транзистор VT5 и подать открывающее смещение на транзистор VT4, то через резисторную перемычку пер-

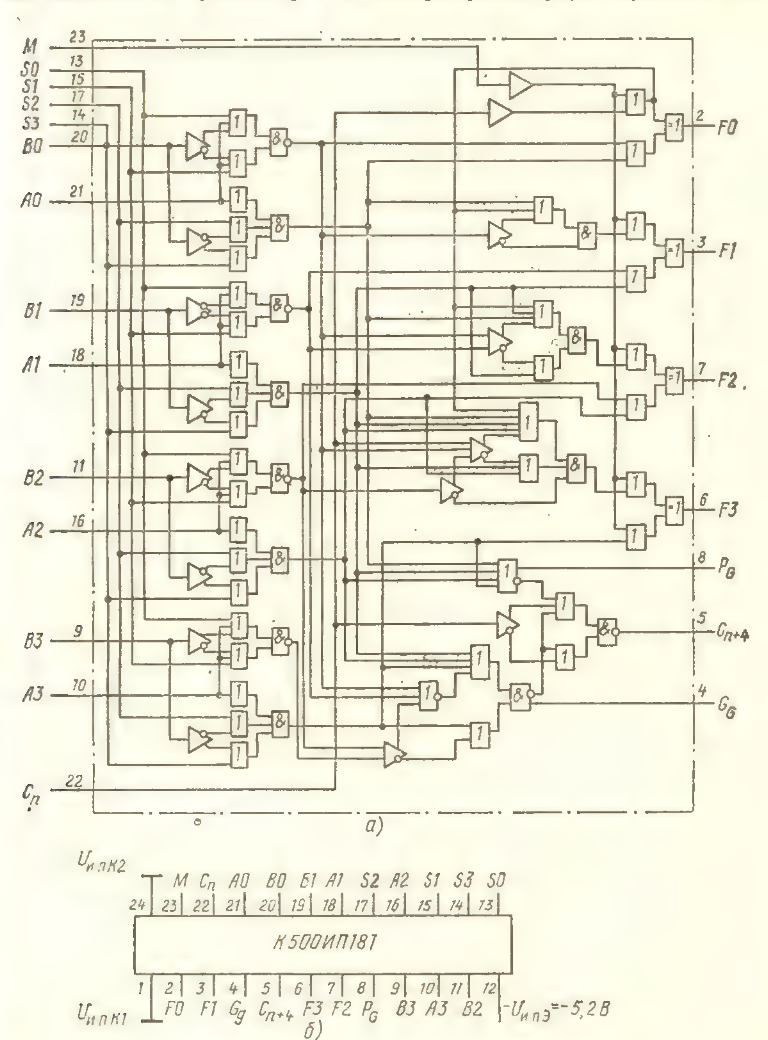


Рис. 3.30. Арифметико-логическое устройство К500ИП181:

а — схема; *б* — цоколевка (входы выбора S0—14, S1—17, S2—15, S3—13)

вой строки и первой колонки r_{11} пойдет ток пережигания перемычки $I_{пя}$.

Когда r_{11} в схеме рис. 3.34, *б* присутствует, на выходе буферного элемента VT1, VT2 имеется напряжение низкого логического уровня (база VT1 заземлена через выбранную адресным кодом перемычку r_{11}). Если r_{11} пережечь, VT1 (эмиттерный повторитель) даст на выходе Q_n напряжение высокого уровня (единицу), поскольку на базе VT1 окажется высокий потенциал от источника $U_{и.пК2}$.

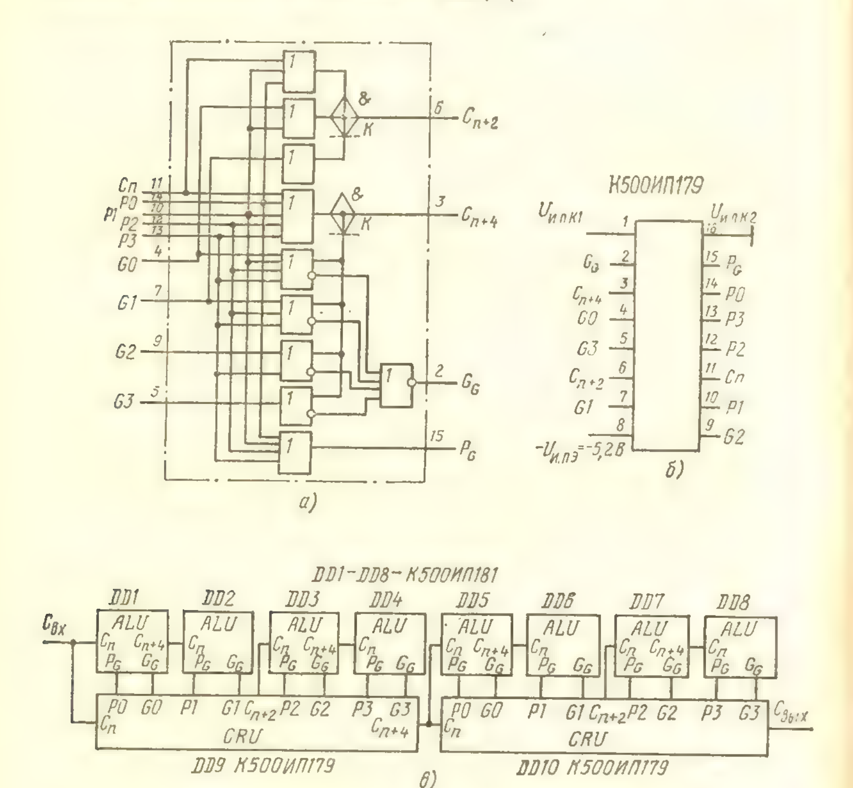


Рис. 3.31. Схема ускоренного переноса СУП К500ИП179:

а — структура; *б* — цоколевка; *в* — присоединение СУП к АЛУ

Для программирования микросхема специальных выводов не имеет. Пережигание выбранной перемычки произойдет, если на выводы питания $U_{и.пК1}$ и $U_{и.пК2}$ и на выход Q_n будет подана последовательность импульсов определенной формы. На рис. 3.35, *а* показана схема подключения импульсных источников питания. Напряжение программирования, форсирующее $U_{прф}$, подключается через S1 к выводу $U_{и.пК1}$, тем самым создается условие отпирания VT4 (см. рис. 3.34, *б*). Напряжение

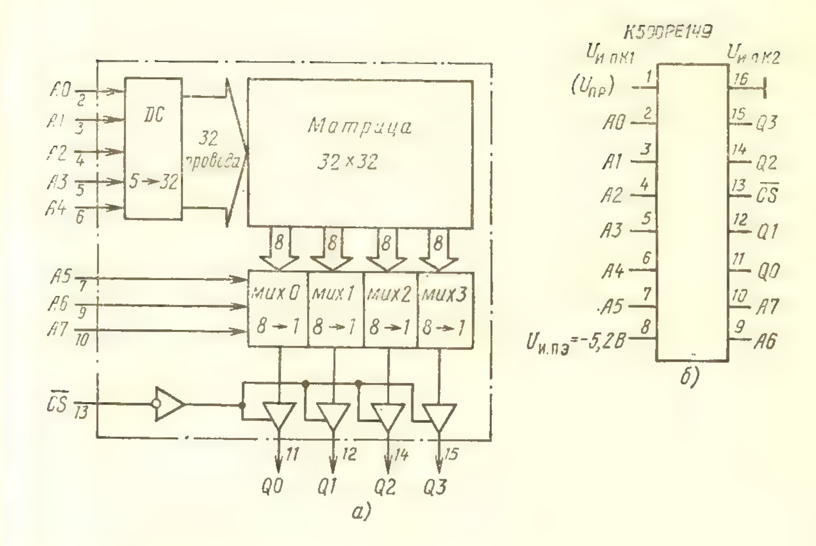


Рис. 3.32. Программируемое ПЗУ К500РЕ149:

а — структурная схема; *б* — цоколевка

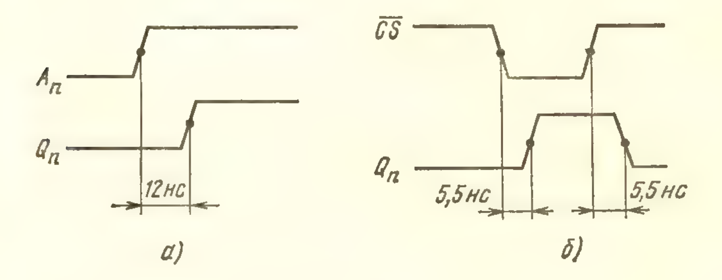


Рис. 3.33. Импульсные диаграммы выбора по входам $A_п$ (*а*) и $\overline{CS}$ (*б*)

проверки $U_{прв}$ необходимо для контроля пережигания перемычки. Если в момент подачи $U_{прв}$ на выходе $Q_п$ окажется напряжение не высокого, а низкого уровня, программирование не состоялось. Таким образом, суммарное напряжение программирования $U_{пр}$ дает мощный импульс тока пережигания перемычки $I_{пп}$, форсирующий ток программирования $I_{прф}$ (см. рис. 3.34, *б*), а также обеспечивает проверку пережигания.

На рис. 3.35, *б* показана временна́я диаграмма импульсов программирования. Исходное состояние ПЗУ — записаны все нули. Для записи 1 подадим код адреса и повысим напряжение на выводе питания $U_{и.пК1}$ до уровня $U_{пр}=6{,}4\pm0{,}4$ В (см. второй график рис. 3.35, *б*). По

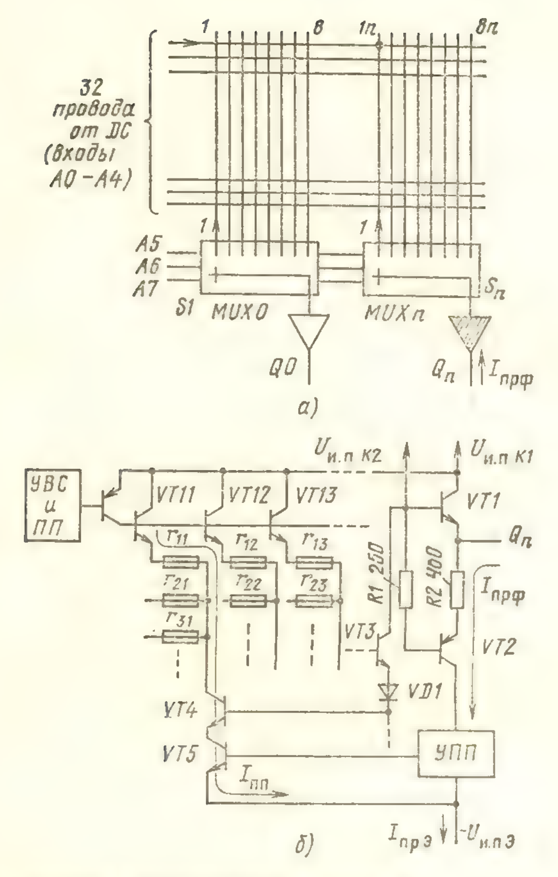


Рис. 3.34. Структура программируемой матрицы:

а — эквивалентная схема выбора перемычки пережигания; *б* — схема протекания токов программирования

истечении защитного интервала времени $t_з$ подадим через внешний делитель напряжение $U_{прф} = U_{пр} + U^1_{прв} = 6{,}4 + 5{,}6 = 12(\pm 0{,}5)$ В на адресный вход A_n (по которому требуется записать 1). Напряжение $U_{прф}$ должно иметь пологий нарастающий фронт $t^{0,1} = 0{,}1...1$ мкс; длительность импульса программирования $t_{пр}$ должна быть 100...125 мкс. Сила тока в импульсе программирования $I_{пр} = 150 \pm 25$ мА. Одним таким импульсом программируется по выбранному адресу один бит. Для программирования других таких точек пересечения проводов матрицы (пусть — трех), расположенных по этому адресу (см. рис. 3.35, *а*), следует подать три импульса (И0—И2) напряжения программирования $U_{прф}$. Для проверки программирования по заданному адресу необходи-

мо уменьшить напряжение на выводах $U_{и.пК1}$ и $U_{и.пК2}$ до уровня $U^1_{прв}=5{,}6\pm0{,}1$ В (высокий уровень проверяющего напряжения). На всех запрограммированных выходах Q0—Q3 должны быть напряжения высокого уровня. Достаточно время проверки $t_{прв}=1$ мкс.

Затем следует сменить адрес (A1) и провести программирование очередной области памяти по вышеизложенной последовательности. По

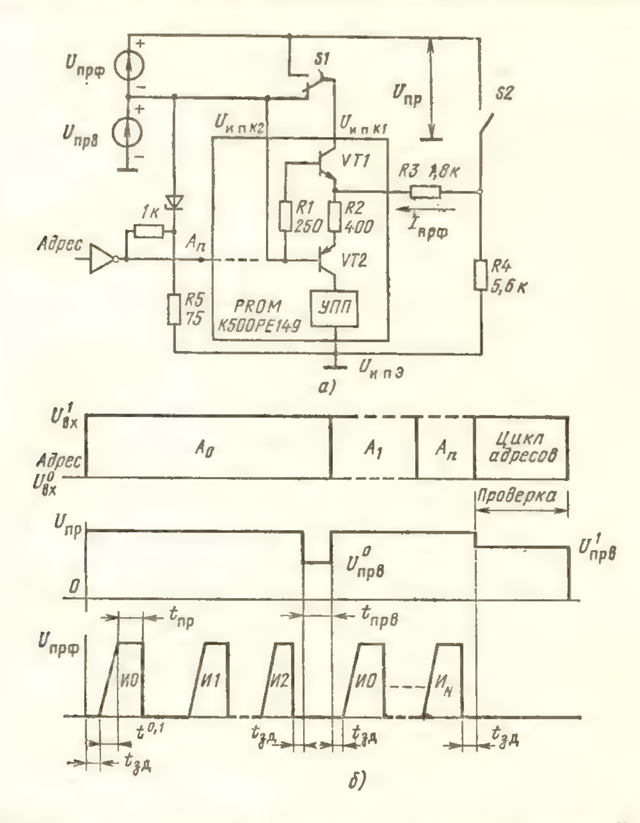


Рис. 3.35. Схема подключения импульсных источников питания для программирования *(а)* и диаграмма импульсов программирования *(б)*

окончании программирования всей микросхемы следует проверить его результаты, подав на выводы $U_{и.пК1}$ и $U_{и.пК2}$ пониженное проверяющее напряжение $U^0_{прв}=4{,}8\pm0{,}1$ В. На входы A0—A7 следует подать циклическую последовательность адресов. Адресные выходные логические напряжения $A_п$ для схемы рис. 3.35, *а* должны находиться на уровнях ($U_{прв}+0{,}8$ В) и ($U_{прв}-0{,}5$ В) $\pm0{,}3$ В. Форсирующий ток программирования $I_{прф}=2...3$ мА при $U_{прф}=6{,}4\pm0{,}4$ В.

Выходное напряжение порога сигнала для запрограммированного ПЗУ составляет $U_{и.пК}$—1,3 В. Микросхема К500РЕ149 потребляет ток питания $I_{пот}=150$ мА.

3.5. КОМБИНАТОРНЫЕ МИКРОСХЕМЫ СЕРИИ К1500

Субнаносекундные цифровые микросхемы серии К1500 отличаются большой мощностью потребления $P_{пот}=250...750$ мВт. Такие микросхемы размещаются поэтому в корпусах, имеющих не только большое число выводов, но и способных отводить от кристалла мощности на уровне 1 Вт. Конструктивных исполнений таких малогабаритных корпусов, как правило, несколько. Например, для микросхем серии MECL 100 000 приняты два корпуса: пластмассовый DIP (два ряда выводов) и плоский керамический SLIM (планарное расположение выводов). На рис. 3.36 показано взаимное соответствие нумерации выводов для таких корпусов. Следует отметить, что все временны́е параметры микросхемы в корпусе SLIM лучше примерно на 0,2 нс. Нумерация выводов для микросхем серии К1500, размещенных в керамическом корпусе с планарно расположенными выводами (шаг 1,25 мм), соответствует корпусу (рис. 3.36, *а*).

Таблица 3.21. Состояния одного канала из микросхемы К1500ЛМ102

Вход			Выход	
A	B	EI	Q	$\bar{Q}$
x	x	B	B	H
x	B	x	B	H
B	x	x	B	H
H	H	H	H	B

В дальнейших параграфах на функциональных схемах дана нумерация выводов для микросхем в корпусе (рис. 3.36, *а*). Поскольку в обоих корпусах располагаются одинаковые полупроводниковые кристаллы, нетрудно при необходимости по рис. 3.36, *в* установить взаимное соответствие нумерации выводов двух вариантов упаковки ЭСЛ (номера выводов корпуса SLIM даны в скобках). Микросхемы серий К500 и К1500 с одинаковыми названиями имеют принципиально различные структурные схемы (в отличие от микросхем ТТЛ и КМОП).

Микросхема К1500ЛМ102 (рис. 3.37, *а*) содержит пять элементов ИЛИ/$\overline{ИЛИ}$. Каждый элемент имеет два входа А, В и два выхода Q, $\bar{Q}$. Кроме того, все пять элементов имеют общий вывод разрешения по входу EI. Логические состояния входов и выходов этой микросхемы сведены в табл. 3.21. Средняя потребляемая корпусом мощность — 248 мВт, ток потребления $I_{пот}$ находится в пределах 38...80 мА, наибольшее время задержки (от входа EI до выхода Q) не превышает 1,95 нс. Время $t_{зд.р.ср}$ для остальных сигналов не более 0,95 нс.

Микросхема К1500ЛП107 (рис. 3.37, *б*) состоит из пяти двухвходовых элементов исключающее ИЛИ. Каждый элемент имеет три выхода: Q и $\bar{Q}$ и внутренний, сигнал с которого $A\oplus B$ поступает на пятивходовый элемент ИЛИ. Выход его Q6 дает сигнал сравнения. В табл. 3.22 показана сводка данных для операции исключающее ИЛИ $A\oplus B$ в каждом из пяти каналов. Видно, что на выходе Q сигнал имеет низкий уровень, если A=B (оба уровня напряжения низкие Н или высокие В). Во второй части табл. 3.22 показаны также логические состояния на выходе ИЛИ. На выходе Q6 уровень низкий будет только в случае, если все входные сигналы равны (A1=B1, A2=B2, ..., A5=B5).

Средняя потребляемая К1500ЛП107 мощность составляет 280 мВт,

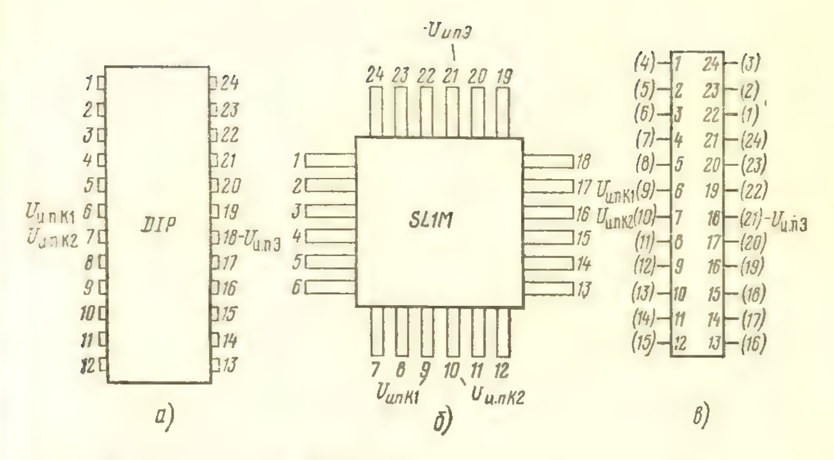


Рис. 3.36. Корпуса серии MECL100 k:

а — пластмассовый DIP; *б* — плоский SLIM; *в* — взаимное соответствие нумерации выводов этих корпусов (в скобках — для плоского корпуса)

Таблица 3.22(а). Операция исключающее ИЛИ в микросхеме К1500ЛП107

Вход A	Вход B	Выход Q	Выход $\bar{Q}$
Н	Н	Н	В
Н	В	В	Н
В	Н	В	Н
В	В	Н	В

Таблица 3.22(б). Состояния на выходе ИЛИ в микросхеме К1500ЛП107

Выходы исключающее ИЛИ					Выход Q6 (ИЛИ)
A5⊕B5	A4⊕B4	A3⊕B3	A2⊕B2	A1⊕B1	
Н	Н	Н	Н	Н	Н
В	x	x	x	x	В
x	В	x	x	x	В
x	x	В	x	x	В
x	x	x	В	x	В
x	x	x	x	В	В

ток потребления $I_{пот}$ находится в пределах 46...96 мА, среднее время задержки распространения равно 0,95 нс, однако сигнал на выходе Q6 может появиться с задержкой 1,25...2,75 нс.

Микросхема К1500ЛП112 (рис. 3.37, *в*) содержит четыре элемента ИЛИ, имеющих разветвленные выходы. Все элементы снабжены общим входом разрешения EI. В табл. 3.23 перечислены логические состояния для данной микросхемы. При среднем времени $t_{зд,р}=1$ нс ЛП112 потребляет мощность 310 мВт (пределы тока потребления 51...106 мА). Уровень и разброс пороговых потенциалов по всем выходам составляет —0,95 В±5 мВ. Входной ток высокого уровня по входам A имеет повышенное значение $I^1_{вх}=350$ мкА.

Микросхема К1500ЛП114 (рис. 3.37, *г*) — пятиканальный дифференциальный приемник сигналов с линии. Каждый элемент здесь имеет дифференциальные входы A и $\bar{A}$ и двухтактные выходы Q и $\bar{Q}$. На вы-

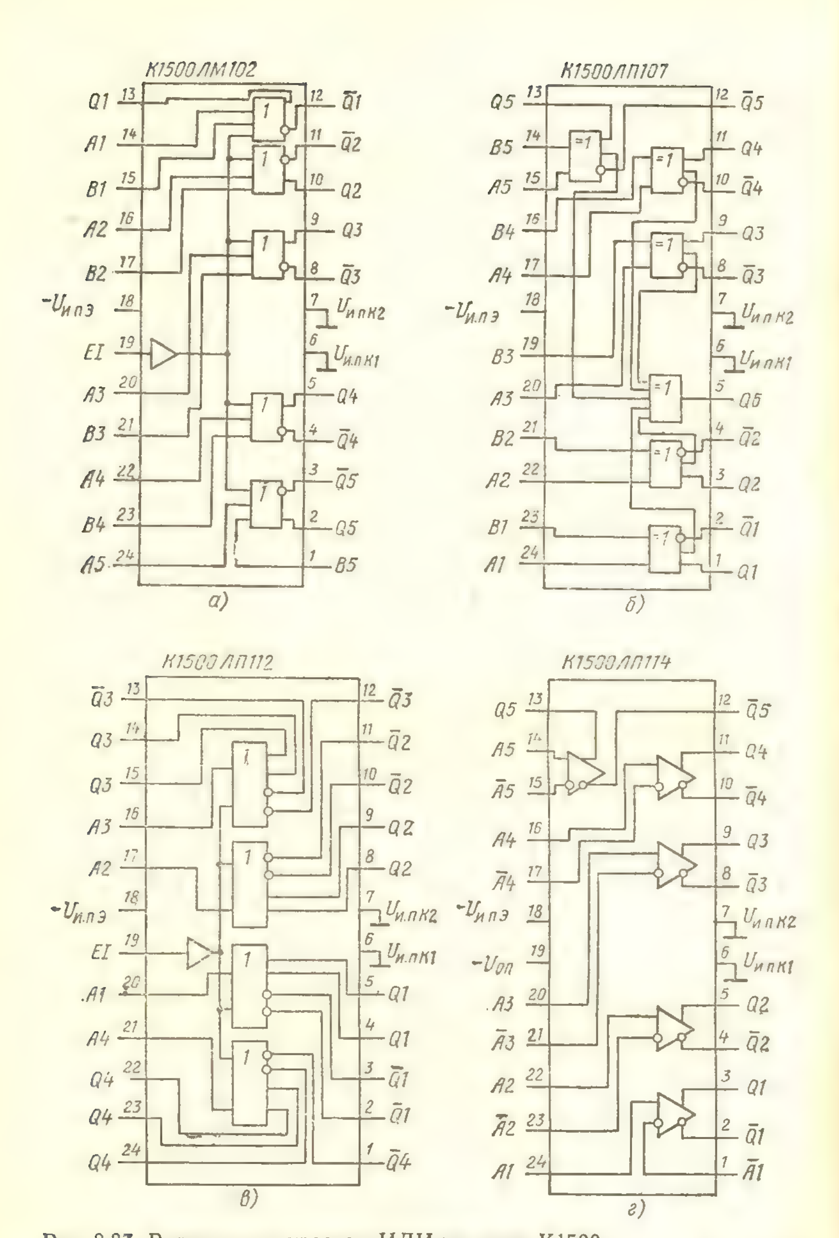


Рис. 3.37. Варианты микросхем ИЛИ из серии К1500:

а — микросхема ИЛИ/$\overline{\text{ИЛИ}}$ ЛМ102; *б* — микросхема исключающее ИЛИ ЛП107; *в* — микросхема ИЛИ с разветвлением ЛП112; *г* — дифференциальный приемник сигналов с линии ЛП114

Таблица 3.23. Состояния в микросхеме К1500ЛП112

Вход		Выход	
A	E1	$\overline{Q}$	Q
В	x	Н	В
x	В	Н	В
Н	Н	В	Н

Таблица 3.24. Состояния инверторов в микросхеме К1500ЛП114

Вход		Выход	
$\overline{A}$	A	$\overline{Q}$	Q
В	$U_{оп}$	В	Н
Н	$U_{оп}$	Н	В
$U_{оп}$	В	Н	В
$U_{оп}$	Н	В	Н
Разомкнуты		В	Н
$U_{н.пК}$	$U_{н.пК}$	В	Н

воде 19 присутствует внутреннее опорное напряжение $U_{оп}$. Если его подать на один из входов (А или $\overline{А}$), выходные сигналы Q и $\overline{Q}$ дифференциального приемника будут соответствовать обычному одновходовому элементу серии К1500.

В табл. 3.24 перечислены логические состояния инверторов в микросхеме К1500ЛП114. Если канал принимает сигнал с линии, то для входного напряжения —0,15 В$<U_{вх}<$0 В на выходах имеется неопределенное состояние. Если $U_{вх}>0$, на выходе Q уровень низкий, на $\overline{Q}$ — высокий. Логические уровни переключаются, если окажется $U_{вх} \leqslant$ $\leqslant$(—0,15 В).

Заметим, что если на оба входа подано одинаковое синфазное напряжение $U_{н.пК}$ либо оба входа оставлены разомкнутыми, состояние выходов однозначное (Q=Н, $\overline{Q}$=В).

Средняя потребляемая мощность составляет 390 мВт, ток потребления $I_{пот}$ меняется в пределах 51...110 мА. Типовое среднее время задержки распространения для каждого канала составляет 1,4 нс. Выход $U_{оп}$ дает опорное напряжение —1,32 В∓6 мВ при токе 0...475 мкА. Типовое значение дифференциального входного сигнала — 150 мВ.

Среди микросхем серии К1500 имеется несколько комбинированных элементов ИЛИ — И.

Микросхема К1500ЛК117 (рис. 3.38, *а*) — трехканальная. Функцио-

Таблица 3.25. Состояния в канале ИЛИ—И микросхемы К1500ЛК117

Вход					Выход	
E	D	C	B	A	$\overline{Q}$	Q
Н	x	x	x	x	В	Н
x	Н	Н	x	x	В	Н
x	x	x	Н	Н	В	Н
В	В	x	В	x	Н	В
В	x	В	x	В	Н	В
В	В	x	x	В	Н	В
В	x	В	В	x	Н	В

Таблица 3.27. Состояния в микросхеме К1500ВА123

Вход			Выход, Q1, Q2
Разрешения		Данных	
Общий, E1	ИЛИ, E112	A1, A2	
x	x	Н	Н
Н	Н	В	Н
В	x	В	В
x	В	В	В

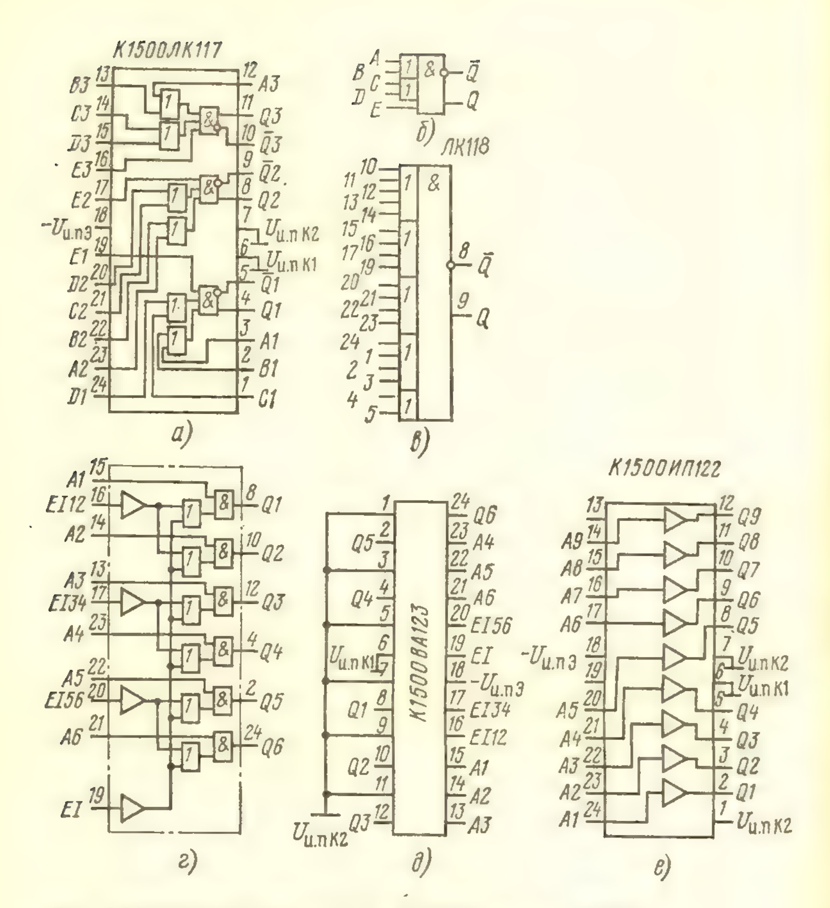


Рис. 3.38. Варианты микросхем И/ИЛИ из серии К1500:

а — трехканальная ЛК117; *б* — функциональная схема одного канала ЛК117; *в* — ЛК118; *г*, *д* — функциональная схема и цоколевка для ВА123; *е* — с буферными элементами ИП122

нальная схема канала (рис. 3.38, *б*) имеет две пары входов ИЛИ (А, В и С, D), а также прямой вход И (вывод Е) и выходы Q и $\bar{Q}$. Состояния для этого канала (рис. 3.38, *б*) сведены в табл. 3.25. Микросхема потребляет ток в пределах 37...79 мА, типовые значения: времени задержки 0,85 нс, мощности потребления 245 мВт (время задержки от входа ИЛИ до выхода может составлять 1...2,3 нс).

Микросхема К1500ЛК118 (рис. 3.38, *в*) имеет девятнадцать входов ИЛИ (группы: 5+4+4+4+2). В табл. 3.26 показано, что одновременное присутствие напряжения низкого уровня на любой из групп входов ИЛИ вызывает одинаковое состояние выходов Q=Н, $\bar{Q}$=В. Типовые

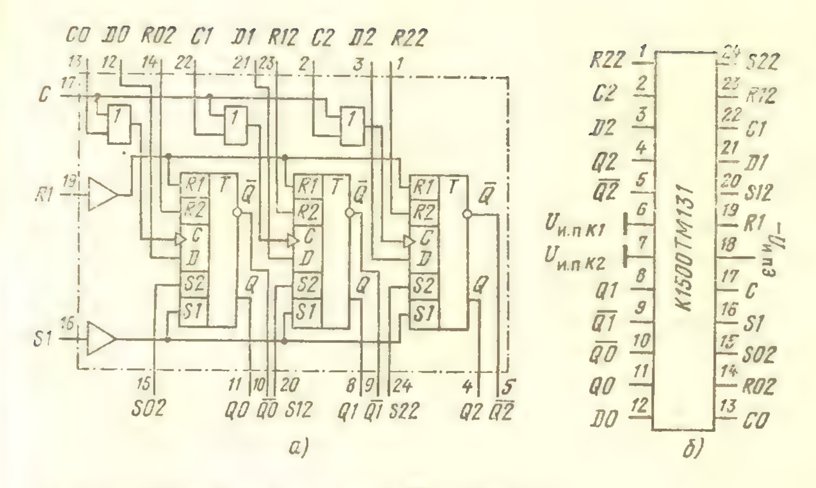


Рис. 3.39. Триггерная микросхема К1500ТМ131:
а — структура; *б* — цоколевка

Таблица 3.26. Состояния для входов и выходов микросхемы К1500ЛК118

Номер входа																			Выход	
10	11	12	13	14	15	16	17	19	20	21	22	23	24	1	2	3	4	5	Q̄ (8)	Q (9)
Н	Н	Н	Н	Н	x	x	x	x	x	x	x	x		x	x	x	x	x	В	Н
x	x	x	x	x	Н	Н	Н	Н	x	x	x	x	x	x	x	x	x	x	В	Н
x	x	x	x	x	x	x	x	x	Н	Н	Н	Н	x	x	x	x	x	x	В	Н
x	x	x	x	x	x	x	x	x	x	x	x	x	Н	Н	Н	Н	x	x	В	Н
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	Н	Н	В	Н
Любые комбинации уровней Н и В																			Н	В

значения мощности потребления 200 мВт, времени задержки распространения 1,15 нс. Ток потребления 32...65 мА.

Микросхема К1500ВА123 (рис. 3.38, *г* — *д*) содержит шесть каналов И (от входов А1 — А6 до выходов Q1 — Q6). Для входных сигналов имеется общий вход разрешения ЕI, а также три входа разрешения ЕI12, ЕI34, ЕI56 для пар входов И. Входы разрешения реализуют функцию ИЛИ. Микросхема К1500ВА123 — это усилитель сигналов для линии передачи с нагрузочной способностью 25. Для этого усилителя низкий уровень выходного напряжения более отрицательный в сравнении с обычными схемами ЭСЛ. Это позволяет выходному эмиттерному

повторителю отключаться, если оконечное напряжение питания линии составляет —2 В±10 %.

Логические состояния микросхемы сведены в табл. 3.27. Типовое значение мощности потребления — 730 мВт, ток потребления может быть от 113 до 235 мА. Если выходной резистор нагрузки 25 Ом присоединен к потенциалу —2,3 В, то низкий логический уровень составляет —2200 мВ. Пределы высокого логического уровня —880...—1025 мВ, если нагрузка 25 Ом присоединена к потенциалу —2 В. Среднее значение времени $t_{зд,р,ср}$ от входа А до выхода Q находится в пределах 1...4,15 нс, аналогичная задержка от входа общего разрешения EI до выхода составляет 1,2...4,9 нс.

Микросхема К1500ИП122 содержит девять буферных ЛЭ (рис. 3.38, *е*). Каждый элемент обеспечивает время $t_{зр}$=0,5...1,3 нс. Типовое значение мощности потребления 340 мВт на корпус.

3.6. ТРИГГЕРЫ И РЕГИСТРЫ СЕРИИ К1500

Микросхема К1500ТМ131 (рис. 3.39) содержит три D-триггера со структурой мастер-помощник. Триггеры имеют как раздельные, так и общие входы такта С, сброса R и установки S. На корпус этой микросхемы приходится средняя потребляемая мощность 430 мВт (пределы тока потребления от 74 до 149 мВ). Максимальная тактовая частота может достигать 400 МГц, пределы времени задержки сигналов от входов управления до выходов 0,7...1,7 нс. Время установления данных по входу D t_s=0,6 нс, аналогичное время задержки данных $t_п$=0,3 нс.

Логические состояния триггеров перечислены в табл. 3.28. Первые четыре строки показывают действие входов сброса R и установки S. В последних четырех строках показано, что данные от входа D принимаются триггером-мастером, когда на обоих тактовых входах триггера

Таблица 3.28. **Состояния триггеров в микросхеме К1500ТМ131**

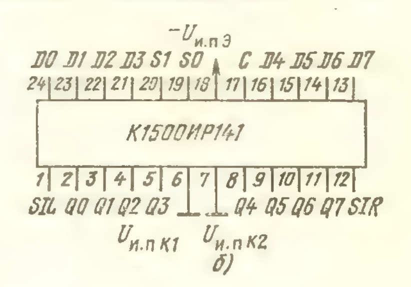
Вход							Выход	
D	C	C0—C2	S1	S02—S22	R1	R02—R22	Q_{n+1}	$\bar{Q}_{n+1}$
x	x	x	Н	Н	В	x	Н	В
x	x	x	Н	Н	x	В	Н	В
x	x	x	В	x	Н	Н	В	Н
x	x	x	x	В	Н	В	В	Н
x	x	_|‾	Н	Н	Н	Н	Q_n	$\bar{Q}_n$
x	_|‾	В	Н	Н	Н	Н	Q_n	$\bar{Q}_n$
x	x	x	Н	Н	Н	Н	Q_n	$\bar{Q}_n$
В	_|‾	Н	Н	Н	Н	Н	В	Н
Н	_|‾	Н	Н	Н	Н	Н	Н	В
В	Н	_|‾	Н	Н	Н	Н	В	Н
Н	Н	_|‾	Н	Н	Н	Н	Н	В

(общем C и частном C0 ... C2) присутствуют низкие уровни. Данные в момент t_{n+1} поступят на выход триггера-помощника по положительному перепаду импульса на тактовом входе (на одном или на обоих). Если на каком-либо входе S и одновременно на входе R присутствует высокий уровень, выходной уровень триггера неопределенный.

Таблица 3.29. **Режим работы регистра К1500ИР141**

Режим регистра	Вход			Выход (t_{n+1})							
	S0	S1	C	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0
Загрузка	Н	Н	_|¯	D7	D6	D5	D4	D3	D2	D1	D0
Сдвиг вправо	Н	В	_|¯	SIL	D7	D6	D5	D4	D3	D2	D1
Сдвиг влево	В	Н	_|¯	D6	D5	D4	D3	D2	D1	D0	SIR
Хранение	В	В	x	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0

а)



б)

Рис. 3.40. Регистр К1500ИР141:

а — структура входов и выходов; *б* — цоколевка

Таблица 3.30. **Состояния триггеров в микросхеме К1500ИР150**

Вход				Выход	
D	$\bar{E}_a$	$\bar{E}_b$	R	$\bar{Q}$	Q
В	Н	Н	Н	Н	В
Н	Н	Н	Н	В	Н
x	x	В	Н	Без изменения	
x	В	x	Н		
x	x	x	В	В	Н

Таблица 3.31. **Состояния триггеров в микросхеме К1500ИР151**

Вход				Выход	
D	C_a	C_b	R	$\bar{Q}$	Q
В	Н	_|¯	Н	Н	В
Н	Н	_|¯	Н	В	Н
В	_|¯	Н	Н	Н	В
Н	_|¯	Н	Н	В	Н
x	x	В	Н	Без изменения	
x	В	x	Н		
x	x	x	В	В	Н
x	Н	Н	Н	Без изменения	

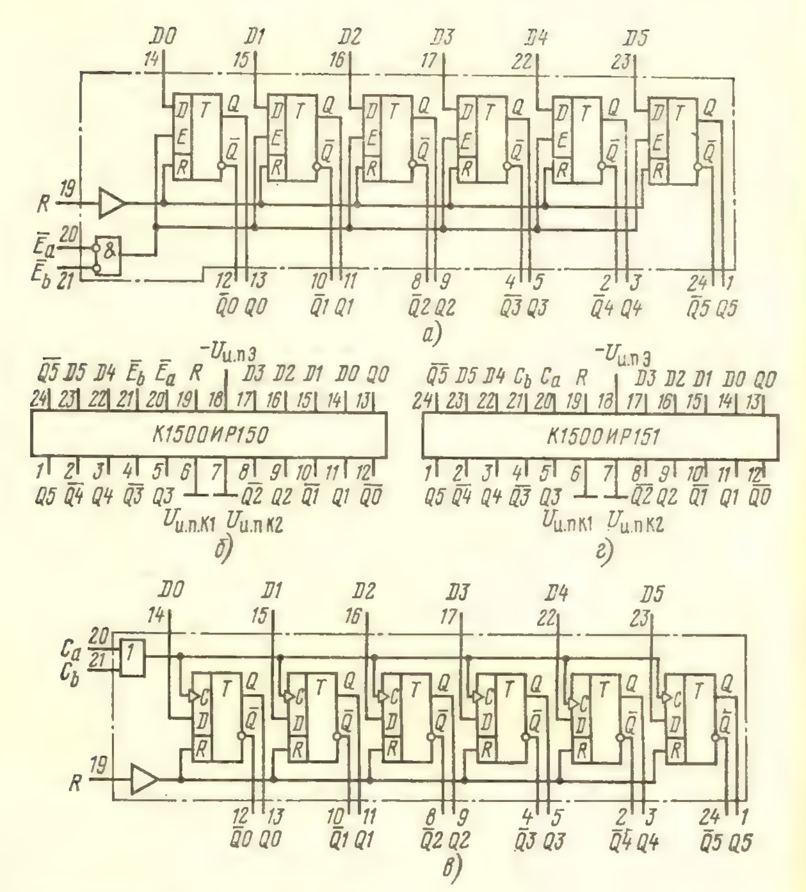


Рис. 3.41. Шестерки D-триггеров:

а — схема К1500ИР150; *б* — цоколевка этой микросхемы; *в*, *г* — схема и цоколевка К1500ИР151

Три средние строки в табл. 3.28 показывают условия сохранения предыдущего состояния триггера.

Микросхема К1500ИР141 (рис. 3.40) — регистр, состоящий из восьми D-триггеров. Здесь входы выбора S0 и S1 позволяют выбрать один из четырех режимов работы регистра: загрузка данных, хранение, сдвиг данных влево или вправо (см. табл. 3.29). Все операции (кроме хранения) происходят по положительному перепаду на тактовом входе С. Регистр имеет два последовательных вхо́да данных SIL и SIR. Первый служит как вход данных слева (они сдвигаются вправо), второй — для приема данных справа (сдвиг влево). При напряжениях высокого уровня на входах S0 и S1 регистр хранит данные независимо от сигналов

на других входах. Для данной микросхемы максимальная тактовая частота сдвига превышает 380 МГц, потребляемая мощность составляет 850 мВт (пределы тока потребления 120...380 мА).

Микросхемы **К1500ИР150 и ИР151** содержат по шесть D-триггеров, имеющих общие входы сброса R (вывод 19). Микросхемы отличаются назначением выводов 20 и 21. У К1500ИР150 (рис. 3.41, *а*) это выводы $\bar{E}_a$, $\bar{E}_b$ разрешения загрузки от входов D. Разрешение дается напряжением низкого уровня (см. табл. 3.30) по логике И. Среднее значение потребляемой мощности составляет 450 мВт на корпус (пределы тока потребления 79...159 мА), типовое время задержки — 0,9 нс. Время задержки от входа сброса R имеет пределы 1,15...2,5 нс.

Для К1500ИР151 (рис. 3.41, *в*) выводы 20 и 21 — это входы тактового импульса C_a и C_b (логика ИЛИ). Действие положительного тактового перепада, подаваемого на эти входы, отображено в табл. 3.31. Сброс триггеров проводится напряжением высокого уровня, подаваемым на вход R. Тактовая частота переключения триггеров может составить 400 МГц. Мощность потребления равна 630 мВт.

СПИСОК ЛИТЕРАТУРЫ

1. **Аналоговые и цифровые интегральные микросхемы**/Под ред. С. В. Якубовского. — 2-е изд., перераб. — М.: Радио и связь, 1984.— 432 с.
2. **Агаханян Т. М.** Интегральные микросхемы. — М.: Высшая школа, 1983.
3. **Digital integrierte Schaltungen.** — Signetix, 1979.
4. **Integrated Circuits catalog.** — Texas Instruments, 1980.
5. **Integrated Circuits catalog.** — RCA, 1979.
1983.
6. **Глухов А. В., Кожемякин А. Н., Меерович Г. П. и др.** Генератор с фазовой автоподстройкой частоты К564ГГ1//Электронная промышленность. — 1985. — № 6 (134).
7. **Абрайтис В. Б.-Б., Гутаускас А. Р., Дугнас И. Л.** Быстродействующие интегральные микросхемы серий К100 и К500//Электронная промышленность. — 1982. — № 1 (107).
8. **Колеснева С. Н., Махонин О. Н., Переверзев В. А.** Логические ЭСЛ схемы серии К1500//Электронная промышленность. — 1985. — № 6 (134).
9. **H. Jungnickel** Übersicht über integrierte TTL-Schaltungen//Radio, Fernsehen, Elektronik. — 1985. — N 8.

ПРИЛОЖЕНИЕ

Таблица П1. **Мнемонические обозначения на функциональных схемах и в таблицах состояний**

Обозначение	Исходное название	Значение, расшифровка
A0—A3	Operand A	Слово, байт, операнд A для четырехразрядного арифметическо-логического устройства (АЛУ)
A=B	Parity	Выход равенства операндов A и B в АЛУ
A<B, A>B		Выходы неравенства операндов A и B в АЛУ
ALU	Arithmetic logic unit	Арифметическо-логическое устройство, АЛУ
A/S	Asynchro/Synchro	Вход переключения асинхронного и синхронного режимов
B0—B3	Operand B	Слово, байт, операнд B (для четырехразрядного АЛУ)
$B/\overline{D}$, $2/\overline{10}$	$Binary/\overline{Decimal}$	Вход переключения счета двоичного (B) на десятичный (D)
C	Clock input	Вход тактовых импульсов
C_D	Count down	Вход тактовых импульсов для уменьшения счета
CE	Clock enable	Вход разрешения тактовым импульсам
CEP	Count enable parallel	Вход параллельного наращивания числа разрядов счетчика
CET	Count enable trickle	«Трюковый» вход разрешения счета, необходимый при наращивании разрядности счетчиков
CLR	Clear	Вход сброса, очистки счетчика
$C_{вх}$, C_{in}	Carry in	Вход для разряда переноса
C_n	Carry in	Вход переноса в сумматор
C_{n+1}, C_{n+4}	Carry out	Выходы переноса: от сумматора (C_{n+1}), от четырехразрядного АЛУ (C_{n+4})
C_{n+x}, C_{n+y}, C_{n+z}.	Carry outputs	Выходы вспомогательных сигналов переноса от узла ускоренного переноса для АЛУ
CPU	Central processor unit	ЦПУ — центральное процессорное (обрабатывающее) устройство
$C_{вых}$, C_{out}	Carry out	Выход старшего разряда для переноса
CS	Chip select	Выбор кристалла; доступ к одной из микросхем, входящих в устройство
C_U	Count up	Вход тактовых импульсов для увеличения счета

Обозначение	Исходное название	Значение, расшифровка
CRU	Carry lock ahead unit	Схема ускоренного переноса (СУП)
D	D-flip-flop	D-триггер
D	Data inputs	Вход данных триггера, счетчика, регистра
D0—D3—D_n	Parallel inputs	Входы параллельной загрузки данных в счетчики, регистры
DEMUX	Demultiplexer	Демультиплексор
DSI	Data serial input	Вход последовательных данных
DS	Data select	Вход выбора данных
DL, DR	Data left, data right	Входы для последовательной загрузки данных слева и справа (в регистр)
DSL, DSR	Data shift left, data shift right	Входы для сдвига данных влево, вправо
DS0—DS7	Data serial inputs	Входы данных последовательные (разряды 0...7)
E	Enable	Вход для сигнала разрешения
EC	Enable count	Вход разрешения счета
EE	Enable even	Вход разрешения, четный
EI	Enable input	Вывод микросхемы, по которому дается разрешение приему входных данных (разрешение входу); вывод стробирования входа
EI0	Enable input/output	Вывод для одновременного разрешения как по входу, так и по выходу
E0	Enable output	Вывод разрешения по выходу
F0—F3	Function outputs	Выходы функции, результата работы АЛУ
G	Carry generation	Вспомогательный сигнал переноса между АЛУ и СУП
GS	group signal	То же, групповой сигнал
H	Histeresys input	Вход управления гистерезисом логического элемента
I/0	Input/Output	Один провод порта вход/выход
I1—I16	Inputs 1—16	Входы 16-разрядного слова
JK	JK-flip-flop	JK-триггер
JK	JK-inputs	Входы J и K управления триггером
LSB	Least significant bit	Младший значащий разряд, МЗР
M	Mode control	Вход переключения режимов «Арифметика- — логика» для АЛУ

Обозначение	Исходное название	Значение, расшифровка
MSB	Most significant bit	Старший значащий разряд, СЗР
MUX	Multiplexer	Мультиплексор
OE	Odd enable	Вход разрешения нечетный
PI	Polarity input	Вход полярности
P	Carry propagation	Вспомогательный сигнал распространения переноса между АЛУ и СУП
PE	Parallel enable load	Вход разрешения параллельной загрузки
P/S	Parallel/serial	Вход переключения режимов работы: параллельного и последовательного
Q, $\bar{Q}$	Outputs	Прямой Q и инверсный $\bar{Q}$ выходы
QCC	Q-output conversion complete	Выход завершения преобразования
Preset	Previous set	Предварительная установка
R	Reset	Асинхронный сброс данных триггера, счетчика, регистра
RD	Read output	Выход чтения
RA, RB	Read adresses A and B	Адреса чтения А и В
RE	Read enable	Вход разрешения чтения
RS	RS-flip-flop, RS-latch	RS-триггер, RS-защелка
R_τ, C_τ	Timing components	Наименование выводов для подключения времязадающих элементов
S	Set	Установка триггера, счетчика, регистра
SE	Set enable	Разрешение предварительной параллельной записи в счетчик, установки
St	Start	Вход запуска регистра последовательного приближения
SAR	Succesive approximation register	Регистр последовательного приближения РПП
SI	Serial input	Вход последовательный
SIR, SIL	Serial inputs right, SI left	Входы последовательные справа и слева
SR	Synchro reset	Вход сброса счетчика, регистра, синхронного с тактовым импульсом
SUB	Subtractor	Вычитатель
SUM	Summator	Сумматор
S0—S3—S_n	Select inputs	Входы выбора режимов работы
Σ0, ΣE	Sum odd, sum even	Выходы сумм четности и нечетности
Σ0—Σ5	Sum outputs	Выходы суммы

Окончание табл. П1

Обозначение	Исходное название	Значение, расшифровка
T	Toggle flip-flop	Триггер, делящий частоту на два
TC	Terminal count	Выход окончания счета
T/C	Thrue/complement	Вход переключения кодов: прямой — дополнительный
TC_D	Terminal count down	Конец уменьшения счета
TC_U	Terminal count up	Конец увеличения счета
$U_{и.пк}$		Напряжение коллекторного питания
$U_{и.пэ}$		Напряжение эмиттерного питания
$U/\overline{D}$	$Up/\overline{Down}$	Вход управления реверсивным счетчиком: больше, меньше
W	Wright input	Вход записи в память
WA, WB	Wright adresses A, B	Адреса записи в память A и B
WE	Wright enable	Вход разрешения записи
Z	Z-State	Z-состояние для выхода логического элемента с тремя состояниями; разрыв цепи выхода
Y	Output	Выход логического элемента
В	Высокий	Высокий статический (входной или выходной) уровень
Н	Низкий	Низкий статический уровень
в, н	Высокий, низкий	Логические уровни перед приходом тактового перепада
x	—	Схема безразлична к любым сигналам на данном входе (см. таблицы состояний)
+	—	Микросхема с таким названием выпускается (см. таблицы номенклатуры)
_⌈‾, ↑	—	Положительный запускающий перепад (фронт) на тактовом входе
‾⌋_, ↓	—	Отрицательный запускающий перепад (срез) на тактовом входе
_⌈‾⌉_	—	Полный импульс запуска на тактовом входе
q, $\overline{q}$	—	Состояния выходов (уровни q=в или q=н) перед приходом тактового импульса (перепада)
Q, $\overline{Q}$	—	Окончательные выходные уровни (Q=В или Н и $\overline{Q}$=Н или В) после прихода тактового импульса (перепада)
Q_n, Q_{n+1}	—	Состояние выхода в моменты t_n и t_{n+1}

Таблица П2. Микросхемы ТТЛ

Обозначение	Номер таблицы, рисунка	Обозначение	Номер таблицы, рисунка
АГ1	Рис. 1.136	ЛА1 — ЛА4, ЛА6 — ЛА13, ЛА16, ЛА19	Табл. 1.12
АГ3	Рис. 1.129	ЛЕ1—ЛЕ7	Табл. 1.15
АП3, АП4	Рис. 1.16	ЛИ1, ЛИ3 — ЛИ6	Табл. 1.11
АП6	Рис. 1.18	ЛД1, ЛД3	Рис. 1.29
ГГ1	Рис. 1.139	ЛЛ1	Рис. 1.27, в
ИВ1, ИВ3	Табл. 1.65	ЛЛ3	Рис. 1.34
ИД1, ИД3, ИД4, ИД6, ИД7, ИД10, ИД14	Табл. 1.65	ЛН1 — ЛН6	Табл. 1.4
ИЕ2, ИЕ4 — ИЕ11, ИЕ14—ИЕ17	Табл. 1.71	ЛР1, ЛР3, ЛР4, ЛР9 — ЛР11, ЛР13	Табл. 1.17
ИМ1 — ИМ3, ИМ6, ИМ7	Табл. 1.85	ЛП4	Рис. 1.12, б
ИП2 — ИП5	Табл. 1.102	ЛП5	Рис. 1.34
ИП6, ИП7	Рис. 1.18	ЛП7, ЛП8	Рис. 1.14
ИП9	Рис. 1.119	ЛП10, ЛП11	Рис. 1.15
ИР1, ИР11 — ИР13, ИР15 — ИР20	Табл. 1.45	ПР6, ПР7	Табл. 1.91
ИР21	Рис. 1.110	РП1, РП3	Табл. 1.91
ИР22 — ИР25	Табл. 1.45	РУ1, РУ2	Табл. 1.91
ИР26	Табл. 1.91	СП1	Табл. 1.102
ИР27	Табл. 1.45	ТВ1, ТВ6, ТВ9 — ТВ11, ТВ15	Табл. 1.21
КП1, КП2, КП5, КП7, КП11 — КП15	Табл. 1.75	ТЛ1 — ТЛ3	Табл. 1.14
		ТМ2, ТМ5, ТМ7 — ТМ9	Табл. 1.16
		ТР2	Рис. 1.53

Таблица П3. Соответствие наименований зарубежных и отечественных микросхем ТТЛ

74, 74LS, 74S, 74F, 74AS, 74ALS	К155, К555, К531, К1531, К1533	74, 74LS, 74S, 74F, 74AS, 74ALS	К155, К555, К531, К1531, К1533	74, 74LS, 74S, 74F, 74AS, 74ALS	К155, К555, К531, К1531, К1533
7400	ЛА3	7414	ТЛ2	7432	ЛЛ1
7401	ЛА8	7415	ЛИ4	7437	ЛА12
7402	ЛЕ1	7416	ЛН5	7438	ЛА13
7403	ЛА9	7417	ЛП4	7440	ЛА6
7404	ЛН1	7420	ЛА1	7442	ИД6
7405	ЛН2	7421	ЛИ6	7450	ЛР1
7406	ЛН3	7422	ЛА7	7451	ЛР11
7407	ЛН4	7423	ЛЕ2	7453	ЛР3
7408	ЛИ1	7425	ЛЕ3	7454	ЛР13
7410	ЛА4	7426	ЛА11	7455	ЛР4
7411	ЛИ3	7427	ЛЕ4	7460	ЛД1
7412	ЛА10	7428	ЛЕ5	7464	ЛР9
7413	ТЛ1	7430	ЛА2	7465	ЛР10

Окончание табл. П3

74, 74LS, 74S, 74F, 74AS, 74ALS	К155, К555, К531, К1531, К1533	74, 74LS, 04S, 74F, 64AS, 74ALS	К155, К555, К531, К1531, К1533	74, 74LS, 74S, 74F, 74AS, 74ALS	К155, К555, К531, К1531, К1533
7472	ТВ1	74 150	КП1	74 243	ИП7
7474	ТМ2	74 151	КП7	74 245	АП6
7475	ТМ7	74 152	КП5	74 251	КП15
7477	ТМ5	74 153	КП2	74 253	КП12
7480	ИМ1	74 154	ИД3	74 257	КП11
7481	РУ1	74 155	ИД4	74 258	КП14
7482	ИМ2	74 160	ИЕ9	74 260	ЛЕ7
7483	ИМ3	74 161	ИЕ10	74 261	ИП8
7485	СП1	74 163	ИЕ18	74 279	ТР2
7486	ЛП5	74 164	ИР8	74 283	ИМ6
7490	ИЕ2	74 165	ИР9	74 295	ИР16
7492	ИЕ4	74 168	ИЕ16	74 298	КП13
7493	ИЕ5	74 169	ИЕ17	74 299	ИР24
7495	ИР1	74 170	РП1	74 322	ИР28
7497	ИЕ8	74 172	РП3	74 358	ИМ7
74 107	ТВ6	74 173	ИР15	74 365	ЛП10
74 109	ТВ15	74 174	ТМ9	74 366	ЛН6
74 112	ТВ9	74 175	ТМ8	74 367	ЛП11
74 113	ТВ10	74 180	ИП2	74 373	ИР22
74 114	ТВ11	74 181	ИП3	74 374	ИР23
74 121	АГ1	74 182	ИП4	74 377	ИР27
74 123	АГ3	74 184	ПР6	74 381	ИК2
74 124	ГГ1	74 185	ПР7	74 384	ИП9
74 125	ЛП8	74 192	ИЕ6	74 385	ИМ7
74 128	ЛЕ6	74 193	ИЕ7	74 395	ИР25
74 132	ТЛ3	74 194	ИР11	74 482	ВГ1
74 134	ЛА19	74 195	ИР12	74 630	ВЖ1
74 136	ЛЛ3	74 196	ИЕ14	74 670	ИР26
74 138	ИД7	74 197	ИЕ15	AM25S05	ИК1
74 139	ИД14	74 198	ИР13	AM25S07	ИР18
74 140	ЛА16	74 240	АП3	AM25S08	ИР19
74 141	ИД1	74 241	АП4	AM25S09	ИР20
74 145	ИД10	74 242	ИП6	AM25S10	ИР21
74 148	ИВ1				

Таблица П4. **Микросхемы КМОП**

Обозначение	Номер рисунка, таблицы	Обозначение	Номер рисунка, таблицы
АГ1	Рис. 2.81	ИЕ2 — ИЕ5, ИЕ8 — ИЕ11, ИЕ14 — ИЕ16, ИЕ19	Табл. 2.16
ГГ1	Рис. 2.73		
ИД1	Рис. 2.58		
ИД4, ИД5	Рис. 2.60	ИМ1	Табл. 2.29

Обозначение	Номер рисунка, таблицы	Обозначение	Номер рисунка, таблицы
ИП2 — ИП4	Табл. 2.29	ЛП1, ЛП2, ЛП4, ЛП11, ЛП12	Табл. 2.5
ИР2, ИР6, ИР9, ИР10, ИР12, ИР13	Табл. 2.22	ПУ1 — ПУ6	Табл. 2.7
КП1, КП2	Табл. 2.9	ПУ7, ПУ8	Рис. 2.15
КТ1, КТ3	Табл. 2.9	РУ2	Табл. 2.29
ЛА7 — ЛА9	Табл. 2.1	СА1	Табл. 2.29
ЛЕ5, ЛЕ6, ЛЕ10	Табл. 2.2	ТВ1	Табл. 2.11
ЛН1, ЛН2	Табл. 2.2	ТЛ1	Рис. 2,9
ЛС2	Рис. 2.12	ТМ1—ТМ3	Табл. 2.11
		ТР2	Табл. 2.11

Таблица П5. **Соответствие наименований зарубежных и отечественных микросхем КМОП**

CD4000A и CD4000B	К176 и К561	CD4000A и CD4000B	К176 и К561	CD4000A и CD4000B	К176 К561
CD4000	ЛП4	CD4023	ЛА9	CD4061	РУ2
CD4001	ЛЕ5	CD4025	ЛЕ10	CD4093	ТЛ1
CD4002	ЛЕ6	CD4027	ТВ1	CD4098	АГ1
CD4006	ИР10	CD4028	ИД1	CD40107	ЛА10
CD4007	ЛП1	CD4029	ИЕ14	CD40108	ИР12
CD4008	ИМ1	CD4030	ЛП2	CD40109	ПУ6
CD4009	ПУ2	CD4034	ИР6	CD40181	ИП3
CD4010	ПУ3	CD4035	ИР9	CD40182	ИП4
CD4011	ЛА7	CD4039	РП1	MC14502	ЛН1
CD4012	ЛА8	CD4042	ТМ3	MC14516	ИЕ11
CD4013	ТМ2	CD4043	ТР2	MC14520	ИЕ10
CD4015	ИР2	CD4046	ГГ1	MC14531	СА1
CD4016	КТ1	CD4049	ЛН2	MC14554	ИП5
CD4017	ИЕ8	CD4050	ПУ4	MC14580	ИР12
CD4018	ИЕ19	CD4051	КП2	MC14581	ИП3
CD4019	ЛС2	CD4052	КП1	MC14582	ИП4
CD4020	ИЕ16	CD4056	ИД5	MC14585	ИП2
CD4022	ИЕ9	CD4059	ИЕ15		

Таблица П6. **Соответствие наименований зарубежных и отечественных микросхем ЭСЛ**

Микросхемы		Рисунок	Микросхемы		Рисунок
Зарубежные	Отечественные		Зарубежные	Отечественные	
MC10101	К500ЛМ101	3.10	MC10173	К500ТМ173	3.22
MC10102	К500ЛМ102	3.10	MC10179	К500ИП179	3.31
MC10105	К500ЛМ105	3.10	MC10180	К500ИМ180	3.29
MC10106	К500ЛЕ106	3.10	MC10181	К500ИП181	3.30
MC10107	К500ЛП107	3.11	MC100102	К1500ЛМ102	3.37
MC10109	К500ЛМ109	3.10	MC100107	К1500ЛП107	3.37
MC10110	К500ЛЛ110	3.10	MC100112	К1500ЛП112	3.37
MC10111	К500ЛЕ111	3.10	MC100114	К1500ЛП114	3.37
MC10115	К500ЛП115	3.13	MC100117	К1500ЛК117	3.38
MC10116	К500ЛП116	3.13	MC100118	К1500ЛК118	3.38
MC10117	К500ЛК117	3.12	MC100122	К1500ИП122	3.38
MC10118	К500ЛК118	3.12	MC100123	К1500ВА123	3.38
MC10123	К500ЛЕ123	3.10	MC100130	К1500ТМ130	—
MC10124	К500ПУ124	3.14	MC100131	К1500ТМ131	3,39
MC10125	К500ПУ125	3.15	MC100136	К1500ИР136	—
MC10129	К500ЛП129	3.16	MC100141	К1500ИР141	3.40
MC10130	К500ТМ130	3.18	MC100150	КР500ИР150	3.41
MC10131	К500ТМ131	3.19	MC100151	К1500ИР151	3.41
MC10133	К500ТМ133	3.20	MC100155	К1500КП155	—
MC10134	К500ТЛ134	3.21	MC100156	К1500ИП156	3.42
MC10136	К500ИЕ136	3.23	MC100160	К1500ИП160	3.43
MC10137	К500ИЕ137	3.23	MC100163	К1500КП163	3.44
MC10141	К500ИР141	3.24	MC100164	К1500КП164	3.44
MC10149	К500РЕ149	3.32	MC100170	К1500ИД170	—
MC10160	К500ИВ160	3.28	MC100171	К1500КП171	—
MC10161	К500ИД161	3.26	MC100194	К1500ИП194	—
MC10162	К500ИД162	3.26	MC100415	К1500РУ415	—
MC10164	К500ИД164	3.25	MC100470	К1500РУ470	—
MC10165	К500ИВ165	3.27			

ОГЛАВЛЕНИЕ

Предисловие 3

1. ЦИФРОВЫЕ МИКРОСХЕМЫ ТТЛ 5

1.1. Общие сведения об элементах ТТЛ 5
1.2. Схемотехника элементов ТТЛ 9
1.3. Традиционные серии ТТЛ 15
1.4. Перспективные серии ТТЛ 23
1.5. Буферные и разрешающие элементы ТТЛ . . 26
1.6 Схемотехника элементов $\overline{И}$, $\overline{ИЛИ}$ и $\overline{И/ИЛИ}$. 35
1.7. Микросхемы ТТЛ: И, $\overline{И}$, И/ИЛИ, расширители . 40
1.8. Автогенераторы на элементах ТТЛ 51
1.9. Логические элементы — триггеры Шмитта . . 53
1.10. Исключающее ИЛИ 56
1.11. Триггерные схемы 62
1.12. RS- и D-триггеры 75
1.13. JK-триггеры 80
1.14. Счетчики ТТЛ 86
1.15. Регистры ТТЛ 105
1.16. Дешифраторы и шифраторы ТТЛ 133
1.17. Мультиплексоры ТТЛ 144
1.18. Сумматоры ТТЛ 155
1.19. Оперативные и постоянные запоминающие устройства ТТЛ 166
1.20. Узлы вычислительных устройств 177
1.21. Ждущие мультивибраторы и автогенераторы . 188

2. ЦИФРОВЫЕ МИКРОСКОПЫ КМОП 196

2.1. Устройство и свойства логического элемента КМОП 197
2.2. Основные логические элементы $\overline{И}$, $\overline{ИЛИ}$, Z . . 207
2.3 Микросхемы с инверторами и их применение . 215
2.4 Схемы генераторов и преобразователей . . . 220
2.5. Преобразователи уровней логических сигналов . 225
2.6. Коммутаторы цифровых и аналоговых сигналов 228
2.7. Триггерные микросхемы КМОП 232
2.8. Счетчики-делители КМОП 238
2.9. Регистры КМОП 252
2.10. Дешифраторы КМОП 264
2.11. Арифметические схемы КМОП 269
2.12. Микросхемы ФАП и мультивибраторы . . . 282
2.13. Прибор для испытания микросхем 291

3. ЦИФРОВЫЕ МИКРОСКОПЫ ЭСЛ 294

3.1 Схемотехника логических элементов 294
3.2 Комбинаторные микросхемы серии К500 . . . 304
3.3 Триггеры, счетчики и регистры серии К500 . . 312
3.4. Элементы вычислительных устройств из серии К500 320
3.5. Комбинаторные микросхемы серии К1500 . . 334
3.6. Триггеры и регистры серии К1500 340
Список литературы 343
Приложение 344

